

ΥΠΟΥΡΓΕΙΟ ΕΘΝΙΚΗΣ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΠΑΙΔΑΓΩΓΙΚΟ ΙΝΣΤΙΤΟΥΤΟ



ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ

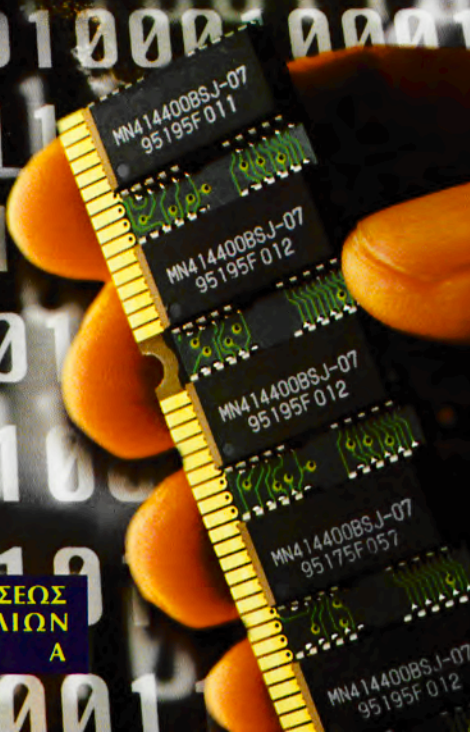
ΜΕΡΟΣ Α' ΘΕΩΡΙΑ

ΗΛΕΚΤΡΟΝΙΚΟΣ ΤΟΜΕΑΣ

ΤΕΧΝΙΚΑ ΕΠΑΓΓΕΛΜΑΤΙΚΑ ΕΚΠΑΙΔΕΥΤΗΡΙΑ



ΟΡΓΑΝΙΣΜΟΣ ΕΚΔΟΣΕΩΣ
ΔΙΔΑΚΤΙΚΩΝ ΒΙΒΛΙΩΝ
Α Θ Η Ν Α



ΥΠΟΥΡΓΕΙΟ ΕΘΝΙΚΗΣ ΠΑΙΔΕΙΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΠΑΙΔΑΓΩΓΙΚΟ ΙΝΣΤΙΤΟΥΤΟ

Ασημάκης Δ. Νικόλαος Μουστάκας Κ. Γεώργιος
Παπαγέωργας Γ. Παναγιώτης

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ

ΜΕΡΟΣ Α'
ΘΕΩΡΙΑ

ΤΕΧΝΟΛΟΓΙΚΑ ΕΠΑΓΓΕΛΜΑΤΙΚΑ ΕΚΠΑΙΔΕΥΤΗΡΙΑ

Β' ΤΑΞΗ 1ου ΚΥΚΛΟΥ

ΗΛΕΚΤΡΟΝΙΚΟΣ ΤΟΜΕΑΣ

24-0311

ΟΡΓΑΝΙΣΜΟΣ ΕΚΔΟΣΕΩΣ ΔΙΔΑΚΤΙΚΩΝ ΒΙΒΛΙΩΝ

ΑΘΗΝΑ

ΟΜΑΔΑ ΣΥΓΓΡΑΦΗΣ

- **Δρ. Ασημάκης Δ. Νικόλαος**, Καθηγητής εφαρμογών, Τμήμα Ηλεκτρονικής, ΤΕΙ Λαμίας.
- **Μουστάκας Κ. Γεώργιος**, Καθηγητής Δευτεροβάθμιας Εκπαίδευσης.
- **Δρ. Παπαγέωργας Γ. Παναγιώτης**, Ερευνητής, Τμήμα Πληροφορικής Πανεπιστήμιο Αθηνών.

ΟΜΑΔΑ ΚΡΙΣΗΣ

- **Γκικόκας Αθανάσιος**, Καθηγητής Δευτεροβάθμιας Εκπαίδευσης.
- **Γρηγοριάδου Μαρία**, Επίκουρος καθηγήτρια τμήματος Πληροφορικής Πανεπιστημίου Αθηνών.
- **Σαλωνίδου Αθηνά**, Καθηγήτρια Δευτεροβάθμιας Εκπαίδευσης.

ΥΠΕΥΘΥΝΟΣ ΣΤΟ ΠΛΑΙΣΙΟ ΤΟΥ ΠΑΙΔΑΓΩΓΙΚΟΥ ΙΝΣΤΙΤΟΥΤΟΥ

Κανελλόπουλος Δ. Χαράλαμπος, Σύμβουλος του Παιδαγωγικού Ινστιτούτου.

ΓΛΩΣΣΙΚΗ ΕΠΙΜΕΛΕΙΑ

Τσαμαλή Δήμητρα, Καθηγήτρια Δευτεροβάθμιας Εκπαίδευσης.

ΣΧΕΔΙΑΣΜΟΣ ΕΞΩΦΥΛΛΟΥ & ΠΡΟΕΚΤΥΠΩΣΗ ΒΙΒΛΙΟΥ

ΣΥΝΘΕΣΗ

ΠΑΙΔΑΓΩΓΙΚΟ ΙΝΣΤΙΤΟΥΤΟ

Επιστημονικός Υπεύθυνος του τομέα «ΗΛΕΚΤΡΟΝΙΚΩΝ»,

ΧΑΤΖΗΕΥΣΤΡΑΤΙΟΥ ΙΓΝΑΤΙΟΣ

(Μόνιμος Πάρεδρος του Παιδαγωγικού Ινστιτούτου)

Με απόφαση της ελληνικής κυβέρνησης τα διδακτικά βιβλία του Δημοτικού, του Γυμνασίου και του Λυκείου τυπώνονται από τον Οργανισμό Εκδόσεως Διδακτικών Βιβλίων και διανέμονται δωρεάν.

ΠΡΟΛΟΓΟΣ

Για τη διδασκαλία των μαθημάτων Ψηφιακών Ηλεκτρονικών (Θεωρία και Εργαστήριο) της Β' Τάξης του Α' κύκλου του Ηλεκτρονικού Τομέα των ΤΕΕ γράφτηκαν αντίστοιχα δύο βιβλία, τα οποία πρέπει να διδάσκονται παράλληλα.

Τα βιβλία αυτά περιέχουν την ύλη που προβλέπεται από το Αναλυτικό Πρόγραμμα του Παιδαγωγικού Ινστιτούτου σε έκταση που αντιστοιχεί στις προτεινόμενες από αυτό ώρες διδασκαλίας και σε βάθος που απαιτείται από έναν Ηλεκτρονικό απόφοιτο ΤΕΕ.

Σε κάθε κεφάλαιο της θεωρίας περιέχονται οι στόχοι, το θεωρητικό μέρος, η ανάλυση των φύλλων δεδομένων (data sheets) των ολοκληρωμένων κυκλωμάτων που χρησιμοποιούνται, η περίληψη, λυμένες ασκήσεις καθώς και ερωτήσεις, εργασίες και προβλήματα. Οι "στόχοι" στην αρχή κάθε κεφαλαίου κατευθύνουν το μαθητή και βοηθούν τον εκπαιδευτικό στην εκπαιδευτική διαδικασία και στην αξιολόγησή της.

Οι εργαστηριακές ασκήσεις οι οποίες αντιστοιχούν στο κάθε κεφάλαιο παρατίθενται σε δεύτερο βιβλίο μαζί και με τα φύλλα δεδομένων όλων των ολοκληρωμένων κυκλωμάτων που αναφέρονται. Σημαντικό βάρος δώσαμε στην ανάλυση φύλλων δεδομένων των ολοκληρωμένων κυκλωμάτων που χρησιμοποιούνται, γιατί θεωρήσαμε απαραίτητο ο μαθητής να έρθει σε μια πρώτη επαφή με τον τρόπο απόκτησης βασικής γνώσης και στοιχείων σχεδίασης ψηφιακών κυκλωμάτων με ολοκληρωμένα κυκλώματα μέσα από μια "πρακτική" διαδικασία, ώστε να βοηθηθεί στην παρακολούθηση των εξελίξεων της ηλεκτρονικής και στην δια βίου εκπαίδευσή του.

Για τις εργαστηριακές ασκήσεις πιστεύουμε ότι καλύτερος τρόπος είναι η συνδεσμολογία των κυκλωμάτων σε "bread board". Αυτό γιατί οι μαθητές εκπαιδεύονται στη συνδεσμολογία κυκλωμάτων, το κόστος είναι μικρό, μπορούν να γίνουν εύκολα προσαρμογές στις ασκήσεις κ.λ.π. Μόνο δύσκολες ασκήσεις, που απαιτούν μεγάλο χρόνο για την συνδεσμολογία τους ή συμπεριλαμβάνουν εξαρτήματα ευαίσθητα, συνιστούμε να πραγματοποιούνται σε προκατασκευασμένες πινακίδες ασκήσεων.

Η διδακτική μας εμπειρία δείχνει ότι η συγγραφή των θεωρητικών και των εργαστηριακών βιβλίων από τους ίδιους συγγραφείς, λύνει σε μεγάλο βαθμό

το πρόβλημα του συγχρονισμού διδασκαλίας θεωρίας και εργαστηρίου. Με την σύγχρονη αυτή διδασκαλία ο μαθητής δεν παραμένει αδρανής αναγνώστης των διαφόρων γνωστικών θεμάτων, αλλά συμμετέχει ενεργά στην απόκτηση της γνώσης.

Παραμένουμε στη διάθεση των εκπαιδευτικών και των μαθητών για οποιεσδήποτε παρατηρήσεις ή εποικοδομητικά σχόλια, ώστε να γίνει αυτό το βιβλίο ένας εύχρηστος και αποτελεσματικός οδηγός για τη διδασκαλία του μαθήματος “Ψηφιακά Ηλεκτρονικά”.

Οι συγγραφείς

ΠΕΡΙΕΧΟΜΕΝΑ

1. ΑΛΓΕΒΡΑ ΒΟΟΛΕ ΚΑΙ ΛΟΓΙΚΕΣ ΠΥΛΕΣ

1.1	ΑΝΑΛΟΓΙΚΑ ΚΑΙ ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ	10
1.2	Η ΔΙΤΙΜΗ ΑΛΓΕΒΡΑ ΒΟΟΛΕ	11
1.2.1	Ορισμός	11
1.2.2	Αξιώματα Huntington	12
1.2.3	Αρχή Διϊσμού	13
1.2.4	Θεωρήματα Άλγεβρας Boole	14
1.2.5	Προτεραιότητα πράξεων	14
1.3	ΛΟΓΙΚΕΣ ΠΥΛΕΣ	15
1.3.1	Λογικά διαγράμματα των λογικών πυλών	15
1.3.2	Πίνακες αληθείας των λογικών πυλών	16
1.3.3	Λογικές πύλες πολλαπλών εισόδων	18
1.4	ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ (Ο.Κ.)	20
1.4.1	Τεχνολογίες κατασκευής ολοκληρωμένων κυκλωμάτων	20
1.4.2	Η σειρά ολοκληρωμένων κυκλωμάτων 74	21
1.4.3	Λογικές τιμές και περιοχές τάσης	23
1.4.4	Οδηγίες για τη μελέτη φύλλων δεδομένων	24
1.5	ΠΕΡΙΛΗΨΗ	25
1.6	ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ	27
1.7	ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ	30
	ΕΡΓΑΣΙΕΣ	31

2. ΑΡΙΘΜΗΤΙΚΑ ΣΥΣΤΗΜΑΤΑ ΚΑΙ ΚΩΔΙΚΕΣ

2.1	ΑΡΧΕΣ ΑΝΑΠΤΥΞΗΣ ΑΡΙΘΜΗΤΙΚΩΝ ΣΥΣΤΗΜΑΤΩΝ	34
2.2	ΔΕΚΑΔΙΚΟ ΣΥΣΤΗΜΑ	34
2.3	ΔΥΑΔΙΚΟ ΣΥΣΤΗΜΑ	35
2.3.1	Ορισμοί	35
2.3.2	Αρίθμηση στο δυαδικό σύστημα	35
2.3.3	Μετατροπή δυαδικού σε δεκαδικό	36
2.3.4	Μετατροπή δεκαδικού σε δυαδικό	37
2.4	ΟΚΤΑΔΙΚΟ ΣΥΣΤΗΜΑ	37
2.4.1	Ορισμοί	37
2.4.2	Αρίθμηση στο οκταδικό σύστημα	38
2.4.3	Μετατροπή οκταδικού σε δεκαδικό	39
2.4.4	Μετατροπή δεκαδικού σε οκταδικό	39
2.4.5	Μετατροπή οκταδικού σε δυαδικό	39
2.4.6	Μετατροπή δυαδικού σε οκταδικό	40
2.5	ΔΕΚΑΕΞΑΔΙΚΟ ΣΥΣΤΗΜΑ	40

2.5.1	Ορισμοί	40
2.5.2	Αρίθμηση στο δεκαεξαδικό σύστημα	41
2.5.3	Μετατροπή δεκαεξαδικού σε δεκαδικό	42
2.5.4	Μετατροπή δεκαδικού σε δεκαεξαδικό	42
2.5.5	Μετατροπή δεκαεξαδικού σε δυαδικό	42
2.5.6	Μετατροπή δυαδικού σε δεκαεξαδικό	43
2.5.7	Μετατροπή δεκαεξαδικού σε οκταδικό	43
2.5.8	Μετατροπή οκταδικού σε δεκαεξαδικό	44
2.6.	ΑΡΙΘΜΗΤΙΚΕΣ ΠΡΑΞΕΙΣ	44
2.6.1	Αριθμητικές πράξεις στο Δυαδικό σύστημα	44
2.6.1.1	Πρόσθεση δυαδικών αριθμών	44
2.6.1.2	Αφαίρεση δυαδικών αριθμών	45
2.6.2	Αριθμητικές πράξεις στο Δεκαεξαδικό σύστημα	45
2.6.2.1	Πρόσθεση δεκαεξαδικών αριθμών	45
2.6.2.2	Αφαίρεση δεκαεξαδικών αριθμών	46
2.7	ΚΩΔΙΚΕΣ	47
2.7.1	Δυαδικοί κώδικες	47
2.7.2	Δυαδικοί κώδικες με βάρη	48
2.7.2.1	Ο κώδικας BCD	48
2.7.2.2	Μετατροπή από BCD σε δεκαδικό	49
2.7.2.3	Μετατροπή από δεκαδικό σε BCD	49
2.7.2.4	Αριθμοί του κώδικα BCD και δυαδικοί αριθμοί	49
2.7.3	Δυαδικοί κώδικες χωρίς βάρη	50
2.7.3.1	Ορισμοί	50
2.7.3.2	Ο κώδικας Gray	50
2.7.4	Αλφαριθμητικοί κώδικες	51
2.7.4.1	Ορισμοί	51
2.7.4.2	Ο κώδικας ASCII	52
2.8	ΠΕΡΙΛΗΨΗ	53
2.9	ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ	55
2.10	ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ	58
	ΕΡΓΑΣΙΕΣ	61

3. ΑΝΑΛΥΣΗ ΚΑΙ ΣΧΕΔΙΑΣΗ ΣΥΝΔΥΑΣΤΙΚΩΝ ΚΥΚΛΩΜΑΤΩΝ

3.1	ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ	64
3.1.1	Ορισμός	64

3.1.2	Πίνακας αλήθειας	64	5.2.2	Αποκωδικοποιητής BCD σε 7 τμήματα	118
3.1.3	Συναρτήσεις εξόδων	65	5.3	ΚΩΔΙΚΟΠΟΙΗΤΕΣ	
3.1.4	Λογικό κύκλωμα	65	5.3.1	Ορισμοί	119
3.2	ΑΠΛΟΠΟΙΗΣΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ	66	5.3.2	Κωδικοποιητές με πύλες	120
3.2.1	Απλοποίηση με χρήση άλγεβρας BOOLE	66	5.3.2.1	Κωδικοποιητής 4x2	120
3.2.2	Απλοποίηση με χάρτες KARNAUGH	67	5.3.2.2	Κωδικοποιητής 8x3	120
3.3	ΣΧΕΔΙΑΣΗ ΣΥΝΔΥΑΣΤΙΚΩΝ ΚΥΚΛΩΜΑΤΩΝ	76	5.3.3	Ολοκληρωμένα κυκλώματα κωδικοποιητών	121
3.3.1	Συγκριτής μεγέθους δυαδικών αριθμών	78	5.4	ΠΕΡΙΛΗΨΗ	123
3.4	ΑΝΑΛΥΣΗ ΣΥΝΔΥΑΣΤΙΚΩΝ ΚΥΚΛΩΜΑΤΩΝ	80	5.5	ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ	123
3.5	ΟΙΚΟΥΜΕΝΙΚΕΣ ΠΥΛΕΣ	82	5.6	ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ ΕΡΓΑΣΙΕΣ	126 127
3.6	ΠΕΡΙΛΗΨΗ	83	6. ΜΑΝΤΑΛΩΤΕΣ ΚΑΙ FLIP-FLOPS		
3.7	ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ	84	6.1	ΟΡΙΣΜΟΙ	130
3.8	ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ ΕΡΓΑΣΙΕΣ	91	6.2	ΜΑΝΤΑΛΩΤΕΣ	131
4. ΠΟΛΥΠΛΕΚΤΕΣ – ΑΠΟΠΟΛΥΠΛΕΚΤΕΣ			6.2.1	Μανταλωτής με πύλες NAND	131
4.1	ΠΟΛΥΠΛΕΚΤΕΣ	94	6.2.2	Μανταλωτής με πύλες NOR	133
4.1.1	Ορισμοί	94	6.3	FLIP-FLOPS	135
4.1.2	Πολυπλέκτης 2 εισόδων	94	6.3.1	R-S FLIP-FLOP	135
4.1.3	Πολυπλέκτης 4 εισόδων	96	6.3.2	D FLIP-FLOP	136
4.1.4	Ολοκληρωμένα κυκλώματα πολυπλεκτών	97	6.3.3	J-K FLIP-FLOP	138
4.2	ΕΦΑΡΜΟΓΕΣ ΠΟΛΥΠΛΕΚΤΩΝ	98	6.3.4	T FLIP-FLOP	139
4.3	ΑΠΟΠΟΛΥΠΛΕΚΤΕΣ	101	6.3.5	Διέγερση FLIP-FLOP	140
4.3.1	Ορισμοί	101	6.3.6	Ασύγχρονες εισόδοι	141
4.3.2	Αποπολυπλέκτης 1X2	102	6.3.6.1	Ορισμοί	141
4.3.3	Αποπολυπλέκτης 1X4	103	6.3.6.2	Ολοκληρωμένα κυκλώματα FLIP-FLOPS	143
4.3.4	Ολοκληρωμένα κυκλώματα αποπολυπλεκτών	104	6.4	ΠΕΡΙΛΗΨΗ	145
4.4	ΠΕΡΙΛΗΨΗ	105	6.5	ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ	146
4.5	ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ	105	6.6	ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ ΕΡΓΑΣΙΕΣ	154 156
4.6	ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ	109	7. ΚΑΤΑΧΩΡΗΤΕΣ		
5. ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ – ΚΩΔΙΚΟΠΟΙΗΤΕΣ			7.1	ΕΙΣΑΓΩΓΗ	158
5.1	ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ	112	7.2	ΚΑΤΑΧΩΡΗΤΕΣ	158
5.1.1	Ορισμοί	112	7.3	ΚΑΤΑΧΩΡΗΤΕΣ ΟΛΙΣΘΗΣΗΣ	159
5.1.2	Αποκωδικοποιητές με πύλες	112	7.3.1	Καταχωρητές ολισθήσης σειριακής εισόδου με σειριακή έξοδο SISO	160
5.1.2.1	Αποκωδικοποιητής 3x8	112	7.3.2	Καταχωρητές ολισθήσης σειριακής εισόδου με παράλληλη έξοδο SIPO	165
5.1.2.2	Αποκωδικοποιητής BCD σε δεκαδικό (4x10)	114	7.3.3	Καταχωρητές ολισθήσης παράλληλης εισόδου με σειριακή έξοδο PISO	168
5.1.3	Υλοποίηση συνδυαστικών κυκλωμάτων με αποκωδικοποιητές	114	7.3.4	Καταχωρητές ολισθήσης παράλληλης εισόδου με παράλληλη έξοδο PIPO	168
5.1.4	Ολοκληρωμένα κυκλώματα αποκωδικοποιητών	115	7.4	ΣΕΙΡΙΑΚΗ ΚΑΙ ΠΑΡΑΛΛΗΛΗ ΜΕΤΑΦΟΡΑ ΔΕΔΟΜΕΝΩΝ	169
5.2	ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ ΟΔΗΓΟΙ	117	7.5	ΚΑΤΑΧΩΡΗΤΗΣ ΟΛΙΣΘΗΣΗΣ ΜΕ ΤΟ Ο.Κ. 74194	173
5.2.1	Ενδείκτης 7 τμημάτων	117	7.6	ΠΕΡΙΛΗΨΗ	175
			7.7	ΕΡΩΤΗΣΕΙΣ ΘΕΩΡΙΑΣ-ΑΣΚΗΣΕΙΣ	176

8. ΑΠΑΡΙΘΜΗΤΕΣ	
8.1 ΕΙΣΑΓΩΓΗ	180
8.2 ΒΑΣΙΚΕΣ ΕΝΝΟΙΕΣ	180
8.3 ΑΣΥΓΧΡΟΝΟΙ ΑΠΑΡΙΘΜΗΤΕΣ	180
8.3.1 Ασύγχρονος Διαδικός Απαριθμητής	180
8.3.2 Ασύγχρονος Διαδικός Απαριθμητής με το Ο.Κ. 74293	183
8.3.3 Ασύγχρονος Απαριθμητής BCD	184
8.3.4 Ασύγχρονος Απαριθμητής BCD με το Ο.Κ. 7490	185
8.4 ΣΥΓΧΡΟΝΟΙ ΔΥΑΔΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ	186
8.4.1 Προς τα πάνω Απαριθμητές	187
8.4.2 Προς τα κάτω Απαριθμητές	188
8.4.3 Αμφιδρομοί Απαριθμητές	190
8.4.4 Απαριθμητής με το Ο.Κ. 74193	190
8.5 ΑΠΑΡΙΘΜΗΤΕΣ modulo N	192
8.5.1 Η έννοια του modulo	192
8.5.2 Αλλαγή του modulo	193
8.6 ΔΙΑΙΡΕΣΗ ΣΥΧΝΟΤΗΤΑΣ	195
8.7 ΠΕΡΙΛΗΨΗ	196
8.8 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ	196
9. ΑΡΙΘΜΗΤΙΚΑ ΚΥΚΛΩΜΑΤΑ	
9.1 Αναπαράσταση Αρνητικών Αριθμών	200
9.1.1 Αναπαράσταση Προσημασμένου Μέτρου	200
9.1.2 Αναπαράσταση Συμπληρώματος ως προς Ένα	201
9.1.3 Αναπαράσταση Συμπληρώματος ως προς Δύο	202
9.1.4 Πρόσθεση και Αφαίρεση αριθμών	203
9.2 ΚΥΚΛΩΜΑΤΑ ΔΥΑΔΙΚΩΝ ΑΘΡΟΙΣΤΩΝ	207
9.2.1 Ημισθροιστής	207
9.2.2 Πλήρης Αθροιστής	208
9.2.3 Παράλληλος Διαδικός Αθροιστής	209
9.3 ΑΘΡΟΙΣΤΗΣ BCD	210
9.4 ΔΥΑΔΙΚΟΣ ΑΘΡΟΙΣΤΗΣ ΜΕ ΟΛΟΚΛΗΡΩΜΕΝΟ ΚΥΚΛΩΜΑ	213
9.5 ΠΕΡΙΛΗΨΗ	213
9.6 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ	214
10. ΜΝΗΜΕΣ	
10.1 ΕΙΣΑΓΩΓΗ	218
10.2 ΒΑΣΙΚΕΣ ΕΝΝΟΙΕΣ ΟΡΟΛΟΓΙΑ ΜΝΗΜΩΝ	220
10.3 ΜΝΗΜΕΣ ROM	224
10.3.1 Εσωτερική δομή μνήμης ROM	225
10.3.2 Τύποι ROM	227
10.3.3 Εφαρμογές των μνημών ROM	229
10.4 ΜΝΗΜΕΣ RAM	231
10.4.1 Εσωτερική δομή μνήμης RAM	233
10.4.2 Τύποι RAM	234
10.4.3 Χρονισμός μνήμης RAM	235
10.4.4 Μνήμη RAM σε Ολοκληρωμένο Κύκλωμα	237
10.4.5 Εφαρμογές των μνημών RAM	241
10.5 ΕΠΕΚΤΑΣΗ ΜΝΗΜΗΣ	241
10.5.1 Επέκταση της διάστασης της λέξης της μνήμης	242
10.5.2 Επέκταση της χωρητικότητας της μνήμης	243
10.6 ΣΥΓΚΡΙΤΙΚΗ ΠΑΡΟΥΣΙΑΣΗ ΤΥΠΩΝ ΜΝΗΜΩΝ	245
10.7 ΠΕΡΙΛΗΨΗ	246
10.8 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ	247
11. ΜΕΤΑΤΡΟΠΕΙΣ D/A ΚΑΙ A/D	
11.1 ΕΙΣΑΓΩΓΗ	250
11.2 ΣΥΣΤΗΜΑ ΛΗΨΗΣ, ΕΠΕΞΕΡΓΑΣΙΑΣ ΚΑΙ ΔΙΑΝΟΜΗΣ ΔΕΔΟΜΕΝΩΝ	250
11.3 ΜΕΤΑΤΡΟΠΕΑΣ D/A	254
11.4 ΚΥΚΛΩΜΑΤΑ ΜΕΤΑΤΡΟΠΕΩΝ D/A	257
11.4.1 Μετατροπέας D/A τύπου R/2R	257
11.4.2 Μετατροπέας D/A σε ολοκληρωμένο κύκλωμα	259
11.5 ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΜΕΤΑΤΡΟΠΕΩΝ D/A	260
11.6 ΜΕΤΑΤΡΟΠΕΑΣ A/D	261
11.7 ΚΒΑΝΤΙΣΗ ΚΑΙ ΔΕΙΓΜΑΤΟΛΗΨΙΑ ΣΗΜΑΤΟΣ	262
11.8 ΚΥΚΛΩΜΑΤΑ ΜΕΤΑΤΡΟΠΕΩΝ A/D	265
11.8.1 Μετατροπέας A/D διαδοχικών προσεγγίσεων	265
11.8.2 Μετατροπέας A/D σε ολοκληρωμένο κύκλωμα	267
11.9 ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΜΕΤΑΤΡΟΠΕΩΝ A/D	268
11.10 ΕΦΑΡΜΟΓΕΣ ΜΕΤΑΤΡΟΠΕΩΝ D/A ΚΑΙ A/D	269
11.11 ΠΕΡΙΛΗΨΗ	271
11.12 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ	272
12. ΚΥΚΛΩΜΑΤΑ ΧΡΟΝΙΣΜΟΥ	
12.1 ΚΥΚΛΩΜΑΤΑ ΧΡΟΝΙΣΜΟΥ	276
12.2 ΤΟ Ο.Κ. 555	277
12.3 ΤΟ Ο.Κ. 555 ΩΣ ΜΟΝΟΣΤΑΘΗΣ ΠΟΛΥΔΟΝΗΤΗΣ	278
12.4 ΤΟ Ο.Κ. 555 ΩΣ ΑΣΤΑΘΗΣ ΠΟΛΥΔΟΝΗΤΗΣ	280
12.5 ΠΕΡΙΛΗΨΗ	283
12.6 ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ	283
12.7 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ	284
ΕΥΡΕΤΗΡΙΟ ΟΡΩΝ	285
ΒΙΒΛΙΟΓΡΑΦΙΑ	291

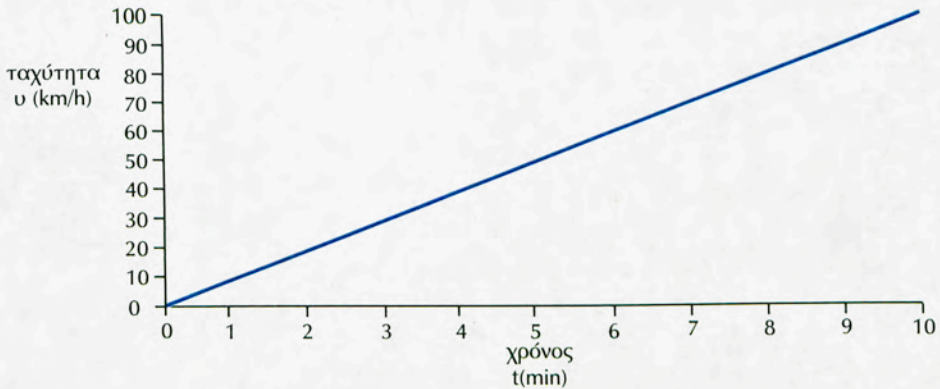
1. Να γνωρίζετε τα αναλογικά και ψηφιακά μεγέθη και κυκλώματα.
2. Να γνωρίζετε πράξεις, αξιώματα και θεωρήματα της Άλγεβρας Boole.
3. Να γνωρίζετε πίνακες αληθείας, λογικά διαγράμματα (σύμβολα) και λογικές συναρτήσεις των λογικών πυλών: NOT, AND, OR, NAND, NOR, XOR και XNOR.
4. Να μπορείτε να χρησιμοποιείτε Ολοκληρωμένα Κυκλώματα που περιέχουν πύλες.
5. Να μπορείτε να μελετάτε τα φύλλα δεδομένων (data sheets) Ολοκληρωμένα Κυκλώματα που περιέχουν πύλες.

1 κεφάλαιο

ΑΛΓΕΒΡΑ BOOLE
ΚΑΙ ΛΟΓΙΚΕΣ ΠΥΛΕΣ

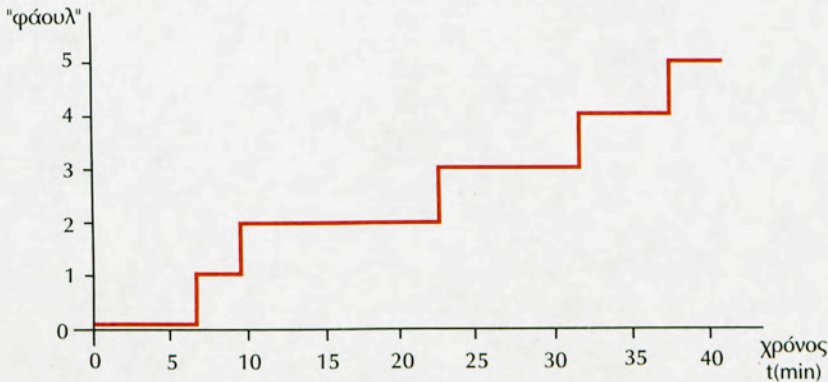
1.1 ΑΝΑΛΟΓΙΚΑ ΚΑΙ ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ

Αναλογικό μέγεθος ονομάζεται ένα μέγεθος που μπορεί να πάρει οποιαδήποτε τιμή σε μία περιοχή τιμών. Για παράδειγμα, αναλογικά μεγέθη είναι: η ταχύτητα ενός αυτοκινήτου, η θερμοκρασία ενός δωματίου, το βάρος ενός ανθρώπου, το ύψος ενός δένδρου. Έτσι, κατά την επιτάχυνση ενός αυτοκινήτου από 0 χλμ/ώρα (αρχική ταχύτητα) έως 100 χλμ/ώρα (τελική ταχύτητα), η ταχύτητά του λαμβάνει όλες τις δυνατές τιμές στο διάστημα από 0 χλμ/ώρα έως 100 χλμ/ώρα (άπειρο πλήθος τιμών), όπως φαίνεται στο Σχήμα 1.1.1.



Σχήμα 1.1.1 Αναλογικό μέγεθος

Ψηφιακό μέγεθος ονομάζεται το μέγεθος που μπορεί να πάρει συγκεκριμένες (διακριτές) τιμές σε μία περιοχή τιμών. Για παράδειγμα, ψηφιακά μεγέθη είναι: το πλήθος των «φάουλ» ενός παίκτη μπάσκετ κατά τη διάρκεια ενός αγώνα, οι βαθμοί μίας ομάδας ποδοσφαίρου κατά τη διάρκεια του πρωταθλήματος. Έτσι, κατά τη διάρκεια ενός αγώνα μπάσκετ, ένας παίκτης μπορεί να κάνει 1, 2, 3, 4 ή 5 «φάουλ» (καθορισμένο πλήθος διακριτών τιμών), όπως φαίνεται στο Σχήμα 1.1.2.



Σχήμα 1.1.2 Ψηφιακό μέγεθος

Δυαδικό μέγεθος είναι ένα ψηφιακό μέγεθος που μπορεί να πάρει μόνο δύο (2) διακριτές τιμές. Για παράδειγμα, δυαδικά μεγέθη είναι: η λογική πρόταση «σήμερα βρέχει» (η λογική πρόταση μπορεί να είναι αληθής (TRUE) αν πράγματι βρέχει ή ψευδής (FALSE) αν δεν βρέχει), η κατάσταση ενός λαμπτήρα (ο λαμπτήρας μπορεί να είναι αναμμένος (ON) ή σβηστός (OFF)), η κατάσταση ενός διακόπτη (ο διακόπτης μπορεί να είναι ανοικτός ή κλειστός όπως φαίνεται στο Σχήμα 1.1.3).



Σχήμα 1.1.3 Δυαδικό μέγεθος

Τα ηλεκτρονικά κυκλώματα κατατάσσονται σε δύο βασικές κατηγορίες, ανάλογα με τα σήματα που επεξεργάζονται:

- ✓ αναλογικά κυκλώματα (analog circuits)
- ✓ ψηφιακά κυκλώματα (digital circuits)

1.2 Η ΔΙΤΙΜΗ ΑΛΓΕΒΡΑ BOOLE

1.2.1 Ορισμός

Η Άλγεβρα Boole (Boolean algebra) πήρε το όνομά της από τον G. Boole (1815-1864), ο οποίος ανέπτυξε ένα αλγεβρικό σύστημα (1854) για τη συστηματική αντιμετώπιση της λογικής. Τα αξιώματα της Άλγεβρας Boole διατυπώθηκαν από τον E. V. Huntington (1904).

Οι μεταβλητές που χρησιμοποιούνται στην Άλγεβρα Boole ονομάζονται λογικές μεταβλητές γιατί μπορούν να πάρουν δύο (2) μόνο τιμές: 0 και 1. Αυτός είναι ο λόγος που η Άλγεβρα Boole αποτελεί τη βάση για τα ψηφιακά ηλεκτρονικά κυκλώματα.

Στην Άλγεβρα Boole ορίζονται τρεις βασικές πράξεις:

- ☞ η πράξη NOT (OXI) με σύμβολο $\bar{}$
- ☞ η πράξη AND (ΚΑΙ) με σύμβολο \cdot
- ☞ η πράξη OR (Ή) με σύμβολο $+$

Η πράξη NOT

Στην πράξη NOT συμμετέχει μία μόνο λογική μεταβλητή και το αποτέλεσμα της πράξης είναι το συμπλήρωμα της μεταβλητής αυτής, δηλαδή αν η μεταβλη-

τή έχει την τιμή "0", τότε το αποτέλεσμα είναι "1" και αντίστροφα αν η μεταβλητή έχει την τιμή "1", τότε το αποτέλεσμα είναι "0".

Πίνακας 1.2.1 Πίνακας Αληθείας της πράξης NOT

A	$Y = \bar{A}$
0	1
1	0

Αν A είναι μία λογική μεταβλητή, τότε η πράξη NOT εκφράζεται με τη σχέση:

$$Y = \bar{A}$$

Ο πίνακας αληθείας της πράξης NOT παρουσιάζεται στον Πίνακα 1.2.1.

Η πράξη AND

Στην πράξη AND συμμετέχουν δύο λογικές μεταβλητές και το αποτέλεσμα της πράξης είναι "1", αν και οι δύο μεταβλητές είναι "1".

Πίνακας 1.2.2 Πίνακας Αληθείας της πράξης AND

A	B	$Y = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Αν A και B είναι δύο λογικές μεταβλητές, τότε η πράξη AND εκφράζεται με τη σχέση:

$$Y = A \cdot B$$

Σημείωση: το σύμβολο της πράξης AND (\cdot) μπορεί να παραλείπεται στις εκφράσεις της Άλγεβρας Boole ($A \cdot B = AB$).

Ο πίνακας αληθείας της πράξης AND παρουσιάζεται στον Πίνακα 1.2.2.

Η πράξη OR

Στην πράξη OR συμμετέχουν δύο λογικές μεταβλητές και το αποτέλεσμα της πράξης είναι "1", αν τουλάχιστον μία από τις δύο μεταβλητές είναι "1".

Πίνακας 1.2.3 Πίνακας Αληθείας της πράξης OR

A	B	$Y = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

Αν A και B είναι δύο λογικές μεταβλητές, τότε η πράξη OR εκφράζεται με τη σχέση:

$$Y = A + B$$

Ο πίνακας αληθείας της πράξης OR παρουσιάζεται στον Πίνακα 1.2.3.

1.2.2 Αξιώματα Huntington

1. Ουδέτερα στοιχεία των πράξεων AND και OR

Το ουδέτερο στοιχείο της πράξης AND είναι το 1 και το ουδέτερο στοιχείο της πράξης OR είναι το 0.

$$\alpha. x \cdot 1 = 1 \cdot x = x$$

$$\beta. x + 0 = 0 + x = x$$

Το αξίωμα αυτό μπορεί να επαληθευτεί από τους πίνακες αληθείας των πράξεων AND και OR, από όπου φαίνεται ότι:

$$0 \cdot 1 = 1 \cdot 0 = 0 \text{ και } 1 \cdot 1 = 1$$

και

$$0 + 0 = 0 \text{ και } 1 + 0 = 0 + 1 = 1$$

2. Αντιμεταθετική ιδιότητα των πράξεων AND και OR

Οι πράξεις AND και OR έχουν την αντιμεταθετική ιδιότητα.

$$\alpha. x \cdot y = y \cdot x$$

$$\beta. x + y = y + x$$

3. Επιμεριστική ιδιότητα των πράξεων AND και OR

Η πράξη AND έχει την επιμεριστική ιδιότητα ως προς την πράξη OR και η πράξη OR έχει την επιμεριστική ιδιότητα ως προς την πράξη AND.

$$\alpha. x \cdot (y + z) = (x \cdot y) + (x \cdot z)$$

$$\beta. x + (y \cdot z) = (x + y) \cdot (x + z)$$

4. Συμπλήρωμα (NOT)

Κάθε λογική μεταβλητή x έχει ένα συμπλήρωμα \bar{x} με τις ακόλουθες ιδιότητες:

$$\alpha. x \cdot \bar{x} = 0$$

$$\beta. x + \bar{x} = 1$$

Το αξίωμα αυτό μπορεί να επαληθευτεί από τους πίνακες αληθείας της πράξης NOT, από όπου φαίνεται ότι:

$$0 \cdot \bar{0} = 0 \cdot 1 = 0 \text{ και } 1 \cdot \bar{1} = 1 \cdot 0 = 0$$

και

$$0 + \bar{0} = 0 + 1 = 1 \text{ και } 1 + \bar{1} = 1 + 0 = 1$$

1.2.3 Αρχή Δυϊσμού

Η ισχύς των εκφράσεων της Άλγεβρας Boole εξακολουθεί να υφίσταται, αν γίνει αλλαγή των πράξεων AND και OR και των ουδέτερων στοιχείων μεταξύ τους ($\cdot \leftrightarrow +$ και $0 \leftrightarrow 1$).

Για παράδειγμα, αν ισχύει η έκφραση $x + 1 = 1$, τότε ισχύει και η έκφραση $x \cdot 0 = 0$ και η μία έκφραση ονομάζεται δυϊκή της άλλης.

1.2.4 Θεωρήματα Άλγεβρας Boole

Θεώρημα 1.

α. $x \cdot x = x$

β. $x + x = x$

Θεώρημα 2.

α. $x \cdot 0 = 0$

β. $x + 1 = 1$

Θεώρημα 3.

$x = \overline{\overline{x}}$

Θεώρημα 4. Προσεταιριστική ιδιότητα

α. $x \cdot y \cdot z = x \cdot (y \cdot z) = (x \cdot y) \cdot z$

β. $x + y + z = x + (y + z) = (x + y) + z$

Θεώρημα 5. Θεώρημα απορρόφησης

α. $x + x \cdot y = x$

β. $x \cdot (x + y) = x$

Θεώρημα 6. Θεώρημα De Morgan

α. $\overline{x \cdot y} = \overline{x} + \overline{y}$

β. $\overline{x + y} = \overline{x} \cdot \overline{y}$

Παρατήρηση:

Το Θεώρημα De Morgan ισχύει και για περισσότερες από δύο μεταβλητές, για παράδειγμα:

α. $\overline{x \cdot y \cdot z} = \overline{x} + \overline{y} + \overline{z}$

β. $\overline{x + y + z} = \overline{x} \cdot \overline{y} \cdot \overline{z}$

1.2.5. Προτεραιότητα πράξεων

Για την εκτέλεση των πράξεων στις εκφράσεις της Άλγεβρας Boole είναι ανάγκη να καθορισθεί η προτεραιότητα της εκτέλεσής τους, όπως γίνεται στην γνωστή από τα μαθηματικά άλγεβρα.

Πίνακας 1.2.4 Προτεραιότητα πράξεων

Προτεραιότητα	Πράξη
1	()
2	NOT
3	AND
4	OR

Ο Πίνακας προτεραιότητας των πράξεων παρουσιάζεται στον Πίνακα 1.2.4.

Από τον Πίνακα προτεραιότητας των πράξεων προκύπτει ότι σε μία έκφραση της Άλγεβρας Boole εκτελούνται πρώτα οι πράξεις μέσα σε παρενθέσεις, μετά υπολογίζονται τα συμπληρώματα, στην συνέχεια εκτελούνται οι πράξεις AND και τέλος εκτελούνται οι πράξεις OR.

1.3 ΛΟΓΙΚΕΣ ΠΥΛΕΣ

1.3.1 Λογικά διαγράμματα των λογικών πυλών






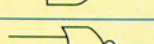

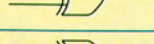
Οι λογικές πύλες είναι τα βασικά δομικά στοιχεία στα ψηφιακά κυκλώματα. Όπως έχουμε στις οικοδομές τα τούβλα και με αυτά κατασκευάζουμε τοίχους και σύνθετες κατασκευές χρησιμοποιώντας παρόμοια υλικά ξανά και ξανά, έτσι και στα ψηφιακά κυκλώματα χρησιμοποιούμε τις λογικές πύλες για να κατασκευάσουμε σύνθετα κυκλώματα.

Οι λογικές πύλες μίας και δύο εισόδων παρουσιάζονται στον Πίνακα 1.3.1 όπου η έξοδος εκφράζεται ως συνάρτηση των εισόδων.

Πίνακας 1.3.1 Λογικές Πύλες - Συναρτήσεις

Λογική Πύλη	Είσοδοι	Έξοδος	Συνάρτηση
Απομονωτής Buffer	A	Y	$Y=A$
Αντιστροφέας NOT	A	Y	$Y=\bar{A}$
AND	A,B	Y	$Y=A \cdot B$
OR	A,B	Y	$Y=A+B$
NAND	A,B	Y	$Y=\overline{A \cdot B}$
NOR	A,B	Y	$Y=\overline{A+B}$
XOR	A,B	Y	$Y=A \cdot \bar{B} + \bar{A} \cdot B = A \oplus B$
XNOR	A,B	Y	$Y=A \cdot B + \bar{A} \cdot \bar{B} = \overline{A \oplus B} = A \odot B$

Τα λογικά διαγράμματα (οι συμβολισμοί) των πυλών αυτών παρουσιάζονται στον Πίνακα 1.3.2.

Λογική Πύλη	Λογικό Διάγραμμα
Απομονωτής Buffer	A  Y=A
Αντιστροφέας NOT	A  Y = \bar{A}
AND	A B  Y = A · B
OR	A B  Y = A + B
NAND	A B  Y = $\overline{A \cdot B}$
NOR	A B  Y = $\overline{A + B}$
XOR	A B  Y = A ⊕ B
XNOR	A B  Y = A ⊙ B

1.3.2 Πίνακες αληθείας των λογικών πυλών

Πίνακας 1.3.3 Πίνακας αληθείας του απομονωτή

A	Y=A
0	0
1	1

Πίνακας 1.3.4 Πίνακας αληθείας της πύλης NOT

A	Y = \bar{A}
0	1
1	0

Πίνακας 1.3.5 Πίνακας Αληθείας της πύλης AND

A	B	Y=A · B
0	0	0
0	1	0
1	0	0
1	1	1

Ο απομονωτής (buffer)

Ο απομονωτής (buffer) είναι μία πύλη με μία είσοδο και μία έξοδο που είναι ίση με την είσοδο. Η συνάρτηση του απομονωτή είναι:

$$Y=A$$

και ο πίνακας αληθείας του απομονωτή παρουσιάζεται στον Πίνακα 1.3.3.

Η πύλη NOT

Η πύλη NOT έχει μία είσοδο και μία έξοδο που είναι ίση με το συμπλήρωμα της εισόδου. Η συνάρτηση της πύλης NOT είναι:

$$Y = \bar{A}$$

και ο πίνακας αληθείας της πύλης NOT παρουσιάζεται στον Πίνακα 1.3.4.

Η πύλη AND

Η πύλη AND έχει δύο εισόδους και μία έξοδο που είναι "1", αν και οι δύο εισοδοι είναι "1". Η συνάρτηση της πύλης AND είναι:

$$Y=A \cdot B$$

και ο πίνακας αληθείας της πύλης AND παρουσιάζεται στον Πίνακα 1.3.5.

Η πύλη OR

Η πύλη OR έχει δύο εισόδους και μία έξοδο που είναι "1", αν τουλάχιστον μία από τις δύο εισόδους είναι "1".

Η συνάρτηση της πύλης OR είναι:

$$Y=A+B$$

και ο πίνακας αληθείας της πύλης OR παρουσιάζεται στον Πίνακα 1.3.6.

Η πύλη NAND

Η πύλη NAND προκύπτει από μία πύλη AND ακολουθούμενη από μία πύλη NOT. Η πύλη NAND έχει δύο εισόδους και μία έξοδο που είναι "1", αν τουλάχιστον μία από τις δύο εισόδους είναι "0". Η συνάρτηση της πύλης NAND είναι:

$$Y = \overline{A \cdot B}$$

και ο πίνακας αληθείας της πύλης NAND παρουσιάζεται στον Πίνακα 1.3.7.

Η πύλη NOR

Η πύλη NOR προκύπτει από μία πύλη OR ακολουθούμενη από μία πύλη NOT. Η πύλη NOR έχει δύο εισόδους και μία έξοδο που είναι "1", αν και οι δύο εισόδους είναι "0". Η συνάρτηση της πύλης NOR είναι:

$$Y = \overline{A + B}$$

και ο πίνακας αληθείας της πύλης NOR παρουσιάζεται στον Πίνακα 1.3.8.

Η πύλη XOR

Η πύλη XOR (exclusive OR) έχει δύο εισόδους και μία έξοδο που είναι "1", αν οι δύο εισόδους είναι διαφορετικές μεταξύ τους (για αυτό ονομάζεται και πύλη διαφωνίας ή σύγκρισης). Η συνάρτηση της πύλης XOR είναι:

$$Y=A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B$$

και ο πίνακας αληθείας της πύλης XOR παρουσιάζεται στον Πίνακα 1.3.9.

Πίνακας 1.3.6 Πίνακας Αληθείας της πύλης OR

A	B	Y=A+B
0	0	0
0	1	1
1	0	1
1	1	1

Πίνακας 1.3.7 Πίνακας Αληθείας της πύλης NAND

A	B	Y = $\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

Πίνακας 1.3.8 Πίνακας Αληθείας της πύλης NOR

A	B	Y = $\overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

Πίνακας 1.3.9 Πίνακας Αληθείας της πύλης XOR

A	B	Y=A⊕B
0	0	0
0	1	1
1	0	1
1	1	0

Πίνακας 1.3.10 Πίνακας Αληθείας της πύλης ΧΝΟR

A	B	$Y=A\odot B$
0	0	1
0	1	0
1	0	0
1	1	1

Η πύλη ΧΝΟR

Η πύλη ΧΝΟR (exclusive NOR) έχει δύο εισόδους και μία έξοδο που είναι "1", αν οι δύο εισοδοί είναι ίσες.

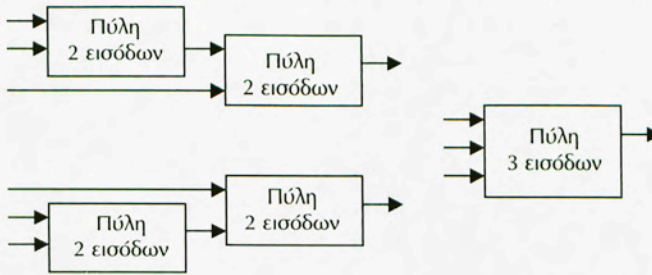
Η συνάρτηση της πύλης ΧΝΟR είναι:

$$Y=A\odot B=A\cdot B+\bar{A}\cdot\bar{B}$$

και ο πίνακας αληθείας της πύλης ΧΝΟR παρουσιάζεται στον Πίνακα 1.3.10.

1.3.3 Λογικές πύλες πολλαπλών εισόδων

Οι πύλες δύο εισόδων μπορούν να επεκταθούν ώστε να έχουν περισσότερες από δύο εισόδους, εάν οι πράξεις τους έχουν την *αντιμεταθετική* και την *προσεταιριστική* ιδιότητα. Η υλοποίηση μίας τέτοιας πύλης τριών (3) εισόδων με χρήση ομοίων πυλών δύο (2) εισόδων παρουσιάζεται στο Σχήμα 1.3.1.



Σχήμα 1.3.1 Τεχνική επέκτασης εισόδων πυλών

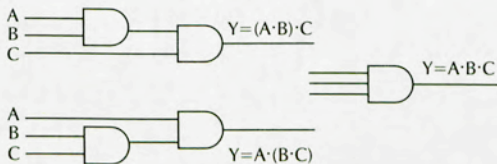
Για παράδειγμα, μία πύλη AND τριών εισόδων μπορεί να υλοποιηθεί χρησιμοποιώντας δύο πύλες AND δύο εισόδων όπως φαίνεται στο Σχήμα 1.3.2, γιατί ισχύει:

- η αντιμεταθετική ιδιότητα

$$Y=A\cdot B=B\cdot A$$

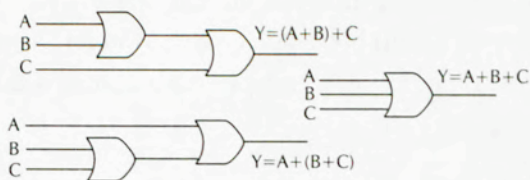
- η προσεταιριστική ιδιότητα

$$Y=A\cdot B\cdot C=(A\cdot B)\cdot C=A\cdot (B\cdot C)$$



Σχήμα 1.3.2 Υλοποίηση πύλης AND τριών εισόδων με πύλες AND δύο εισόδων

Με την ίδια λογική, μία πύλη OR τριών εισόδων μπορεί να υλοποιηθεί χρησιμοποιώντας δύο πύλες OR δύο εισόδων όπως φαίνεται στο Σχήμα 1.3.3.



Σχήμα 1.3.3 Υλοποίηση πύλης OR τριών εισόδων με πύλες OR δυο εισόδων

Η πύλη NAND τριών εισόδων ορίζεται ως το συμπλήρωμα της πύλης AND τριών εισόδων. Επομένως, η έξοδος της πύλης NAND τριών εισόδων είναι "1", αν τουλάχιστον μία από τις τρεις εισόδους είναι "0".

Μία πύλη NAND τριών εισόδων **δεν** μπορεί να υλοποιηθεί χρησιμοποιώντας δύο πύλες NAND δύο εισόδων, γιατί ισχύει η αντιμεταθετική ιδιότητα, αλλά δεν ισχύει η προσεταιριστική ιδιότητα αφού:

$$\overline{A \cdot B \cdot C} \neq \overline{\overline{A \cdot B} \cdot C} = A \cdot B + \overline{C}$$

$$\overline{A \cdot B \cdot C} \neq \overline{A \cdot \overline{\overline{B \cdot C}}} = \overline{A} + B \cdot C$$

όπως φαίνεται στον Πίνακα 1.3.11.

Πίνακας 1.3.11 Πύλη NAND: δεν ισχύει η προσεταιριστική ιδιότητα

A	B	C	$\overline{A \cdot B \cdot C}$	$\overline{\overline{A \cdot B} \cdot C}$	$\overline{A \cdot \overline{\overline{B \cdot C}}}$
0	0	0	1	1	1
0	0	1	1	0	1
0	1	0	1	1	1
0	1	1	1	0	1
1	0	0	1	1	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	0	1	1

Με την ίδια λογική, μία πύλη NOR τριών εισόδων **δεν** μπορεί να υλοποιηθεί χρησιμοποιώντας δύο πύλες NOR δύο εισόδων.

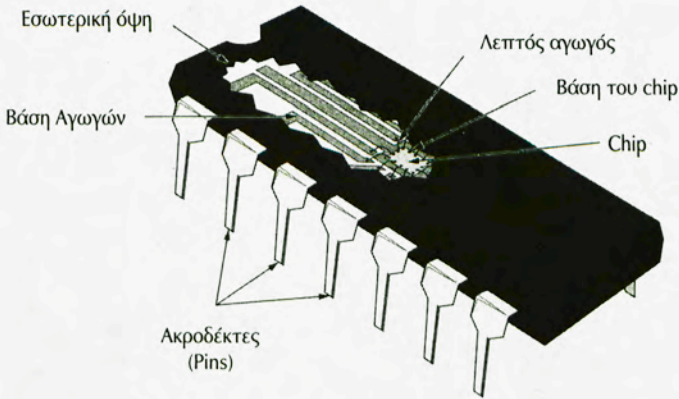
Η λογική της επέκτασης του πλήθους των εισόδων των πυλών, μπορεί να εφαρμοστεί και για πύλες τεσσάρων εισόδων.

Για παράδειγμα, μία πύλη AND τεσσάρων εισόδων μπορεί να υλοποιηθεί χρησιμοποιώντας τρεις πύλες AND δύο εισόδων και μία πύλη OR τεσσάρων εισόδων μπορεί να υλοποιηθεί χρησιμοποιώντας τρεις πύλες OR δύο εισόδων.

1.4 ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ (Ο.Κ.)

1.4.1 Τεχνολογίες κατασκευής ολοκληρωμένων κυκλωμάτων

Τα ολοκληρωμένα κυκλώματα (integrated circuits) είναι συστατικά στοιχεία των ψηφιακών κυκλωμάτων. Ένα ολοκληρωμένο κύκλωμα είναι ένας ημιαγωγός κρύσταλλος από πυρίτιο (chip) που περιέχει ηλεκτρονικά στοιχεία με τα οποία κατασκευάζονται οι πύλες. Το chip τοποθετείται σε ένα πλαστικό περίβλημα και συγκολλούνται επαφές σε εξωτερικούς ακροδέκτες (pins) για να σχηματιστεί το ολοκληρωμένο κύκλωμα. Στο Σχήμα 1.4.1 φαίνεται η εσωτερική όψη ενός ολοκληρωμένου κυκλώματος σε συσκευασία ακροδεκτών διπλής σειράς (Dual In-line Package - DIP).



Σχήμα 1.4.1 Εσωτερική όψη ολοκληρωμένου κυκλώματος

Τα ολοκληρωμένα κυκλώματα ανήκουν σε μία Κλίμακα Ολοκλήρωσης (Scale Integration) ανάλογα με το πλήθος των ισοδύναμων με πύλες κυκλωμάτων που περιέχουν. Έτσι, τα ολοκληρωμένα κυκλώματα ανήκουν σε μία από τις ακόλουθες κατηγορίες:

- ✓ **SSI** (Small Scale Integration) περιλαμβάνει λιγότερα από 12 ισοδύναμα με μία πύλη κυκλώματα

- ✓ **MSI** (Medium Scale Integration) περιλαμβάνει 12-100 ισοδύναμα με μία πύλη κυκλώματα
- ✓ **LSI** (Large Scale Integration) περιλαμβάνει 100-1000 ισοδύναμα με μία πύλη κυκλώματα
- ✓ **VLSI** (Very Large Scale Integration) περιλαμβάνει περισσότερα 1000-100000 ισοδύναμα με μία πύλη κυκλώματα
- ✓ **ULSI** (Ultra Large Scale Integration) περιλαμβάνει περισσότερα από 100000 ισοδύναμα με μία πύλη κυκλώματα

Οι λογικές πύλες κατασκευάζονται με μία από τις παρακάτω τεχνολογίες ολοκληρωμένων κυκλωμάτων:

- BIPOLAR
- CMOS (Complementary Metal-Oxide Semiconductor)
- BICMOS (Bipolar CMOS)
- ECL (Emitter Coupled Logic)

Τα χαρακτηριστικά των ολοκληρωμένων κυκλωμάτων λογικών πυλών είναι τα ακόλουθα:

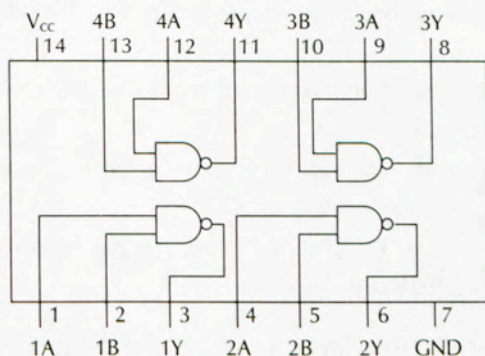
- ☛ **Ικανότητα οδήγησης εξόδου** (Fun Out) είναι το πλήθος των εισόδων του ολοκληρωμένου κυκλώματος που μπορούν να οδηγηθούν από μία έξοδο του χωρίς να κινδυνεύσει η ομαλή λειτουργία.
- ☛ **Απώλεια ισχύος** (Power Dissipation) είναι η ισχύς η οποία καταναλώνεται από τις πύλες κατά τη λειτουργία τους με αποτέλεσμα την παραγωγή θερμότητας που διαχέεται στο περιβάλλον.
- ☛ **Καθυστέρηση διάδοσης** (Propagation Delay) είναι ο χρόνος που απαιτείται για να διαδοθεί η αλλαγή ενός σήματος από την είσοδο στην έξοδο.
- ☛ **Περιθώριο θορύβου** (Noise Margin) είναι η ελάχιστη τάση εξωτερικού θορύβου που προκαλεί ανεπιθύμητη αλλαγή στην έξοδο.

1.4.2 Η σειρά ολοκληρωμένων κυκλωμάτων 74

Τα ολοκληρωμένα κυκλώματα της σειράς 74 είναι ευρέως χρησιμοποιούμενα. Η ονομασία τους αρχίζει με γράμματα που αφορούν στην κατασκευάστρια εταιρεία, ακολουθεί ο αριθμός 74, στη συνέχεια ακολουθούν γράμματα που προσδιορίζουν την οικογένεια και τελειώνει με αριθμούς που προσδιορίζουν τη λειτουργία τους.

Για παράδειγμα, το ολοκληρωμένο κύκλωμα DM74LS00 είναι της εταιρείας National Semiconductors (DM) της σειράς 74, τεχνολογίας BIPOLAR Low Power Schottky (LS) και περιέχει τέσσερις πύλες NAND δύο εισόδων (00).

Το ολοκληρωμένο κύκλωμα 74LS00 παρουσιάζεται στο Σχήμα 1.4.2.



Σχήμα 1.4.2 Το ολοκληρωμένο κύκλωμα 74LS00

Στον Πίνακα 1.4.1 παρουσιάζονται οι εξωτερικοί ακροδέκτες (pins) του ολοκληρωμένου κυκλώματος 74LS00 και η σημασία τους. Υπάρχουν 14 pins: 12 pins για τις εισόδους και τις εξόδους των τεσσάρων πυλών NAND που περιέχει το ολοκληρωμένο κύκλωμα και 2 pins για την τροφοδοσία του.

Πίνακας 1.4.1 Οι 14 εξωτερικοί παράγοντες (pins) του ολοκληρωμένου κυκλώματος 74LS00

Pin		Σημασία
1	1A	πρώτη είσοδος πύλης 1
2	1B	δεύτερη είσοδος πύλης 1
3	1Y	έξοδος πύλης 1
4	2A	πρώτη είσοδος πύλης 2
5	2B	δεύτερη είσοδος πύλης 2
6	2Y	έξοδος πύλης 2
7	GND	γείωση
8	3Y	έξοδος πύλης 3
9	3A	πρώτη είσοδος πύλης 3
10	3B	δεύτερη είσοδος πύλης 3
11	4Y	έξοδος πύλης 4
12	4A	πρώτη είσοδος πύλης 4
13	4B	δεύτερη είσοδος πύλης 4
14	Vcc	τάση τροφοδοσίας

1.4.3 Λογικές τιμές και περιοχές τάσης.

Τα ολοκληρωμένα κυκλώματα αναγνωρίζουν στις εισόδους τους ηλεκτρικές τάσεις, στις οποίες αντιστοιχούν οι λογικές τιμές "0" ή "1". Επίσης, στις εξόδους τους δίνουν ηλεκτρικές τάσεις που αντιστοιχούν στις λογικές τιμές "0" ή "1".

Στην πράξη όμως δεν είναι δυνατόν να έχουμε απόλυτα ακριβείς τιμές τάσεων. Αυτό συμβαίνει για διάφορους λόγους, όπως διακυμάνσεις της τάσης τροφοδοσίας, επίδραση της θερμοκρασίας και των θορύβων στη λειτουργία των κυκλωμάτων και επίδραση του φορτίου στην τάση εξόδου. Για το λόγο αυτό ορίζονται δύο περιοχές τάσης, η μία που αντιστοιχεί στο λογικό "1" και η άλλη που αντιστοιχεί στο λογικό "0". Ανάμεσα τους υπάρχει μία περιοχή που τις ξεχωρίζει. Μία τιμή τάσης που βρίσκεται σε αυτή δεν μπορεί να θεωρηθεί από το κύκλωμα ούτε ως λογικό "0" ούτε ως λογικό "1" και έτσι η συμπεριφορά του ολοκληρωμένου είναι απρόβλεπτη. Οι περιοχές των τάσεων αναφέρονται στα φύλλα δεδομένων (Data Sheets) των κατασκευαστών. Για παράδειγμα, το ολοκληρωμένο κύκλωμα 7400 αναγνωρίζει στις **εισόδους** του ως λογικό "0" την περιοχή τάσεων από 0 Volts μέχρι 0.8 Volts και ως λογικό "1" την περιοχή τάσεων από 2 Volts μέχρι 5 Volts, όπως φαίνεται στο Σχήμα 1.4.3. Οι αποδεκτές τιμές για τις τάσεις **εξόδου** του είναι από 0 Volts μέχρι 0.4 Volts για λογικό "0" και από 2.7 Volts μέχρι 5 Volts για λογικό "1", όπως φαίνεται στο Σχήμα 1.4.4.

Σχήμα 1.4.3 Αποδεκτές τιμές για τις τάσεις εισόδου



Σχήμα 1.4.4 Αποδεκτές τιμές για τις τάσεις εξόδου



1.4.4 Οδηγίες για τη μελέτη φύλλων δεδομένων

Για να γίνει αντιληπτός ο τρόπος μελέτης των φύλλων δεδομένων (Data Sheets) των ολοκληρωμένων κυκλωμάτων θα μελετήσουμε το ολοκληρωμένο κύκλωμα 74LS00.

Το φύλλο δεδομένων του παραπάνω ολοκληρωμένου κυκλώματος περιλαμβάνεται στο LS/S/TTL DATA BOOK. (Θα το βρείτε στο παράρτημα του βιβλίου εργαστηριακών ασκήσεων)

Στην πρώτη σελίδα δίνονται πληροφορίες για το περιεχόμενο του ολοκληρωμένου κυκλώματος: Quad 2 Input Gates (τέσσερις πύλες AND 2 εισόδων). Ακόμη φαίνονται το διάγραμμα συνδέσεων (Connection diagram), η λογική συνάρτηση $Y=A \cdot B$ και ο πίνακας αληθείας (Function Table).

Στη δεύτερη σελίδα φαίνονται **οι μέγιστες απόλυτες τιμές** (absolute maximum ratings), **οι συνιστώμενες συνθήκες λειτουργίας** (recommended operation conditions), **τα ηλεκτρικά χαρακτηριστικά** (electrical characteristics) και **οι χαρακτηριστικές μεταγωγής** (switching characteristics).

Οι μέγιστες απόλυτες τιμές αναφέρονται: στην τάση τροφοδοσίας, στην τάση εισόδου, στην περιοχή θερμοκρασίας αποθήκευσης και στην περιοχή θερμοκρασίας λειτουργίας. Τιμές μεγαλύτερες από αυτές μπορούν να καταστρέψουν το ολοκληρωμένο.

Οι συνιστώμενες συνθήκες λειτουργίας αναφέρονται: στις τιμές των παραμέτρων που προτείνει ο κατασκευαστής, δηλαδή στην τάση τροφοδοσίας (V_{CC}), στην τάση στην είσοδο για χαμηλή στάθμη (V_{IL}), στην τάση στην είσοδο για υψηλή στάθμη (V_{IH}), στο ρεύμα εξόδου για χαμηλή στάθμη (I_{OL}), στο ρεύμα εξόδου για υψηλή στάθμη (I_{OH}) και στην περιοχή θερμοκρασίας του περιβάλλοντος λειτουργίας (T_A).

Τα ηλεκτρικά χαρακτηριστικά είναι οι τιμές που προκύπτουν για τις παρακάτω παραμέτρους για συγκεκριμένες καταστάσεις λειτουργίας του ολοκληρωμένου:

- Τάση "στραγγαλισμού" εισόδου (V_I)
- Τάση εξόδου για υψηλή στάθμη (V_{OH})
- Τάση εξόδου για χαμηλή στάθμη (V_{OL})
- Ρεύμα εισόδου (I_I)
- Ρεύμα εισόδου για υψηλή στάθμη (I_{IH})
- Ρεύμα εισόδου για χαμηλή στάθμη (I_{IL})
- Ρεύμα εξόδου βραχυκύκλωσης (I_{OS})
- Ρεύμα του Ο.Κ. με τις εξόδους σε υψηλή στάθμη (I_{CCH})
- Ρεύμα του Ο.Κ. με τις εξόδους σε χαμηλή στάθμη (I_{CCL})

Οι χαρακτηριστικές μεταγωγής δείχνουν την ταχύτητα αντίδρασης της εξόδου του ολοκληρωμένου κυκλώματος στη μεταβολή της εισόδου, δηλαδή την καθυστέρηση διάδοσης.

1.5 ΠΕΡΙΛΗΨΗ

1. Αναλογικό μέγεθος ονομάζεται ένα μέγεθος που μπορεί να πάρει οποιαδήποτε τιμή σε μία περιοχή τιμών. Ψηφιακό μέγεθος ονομάζεται το μέγεθος που μπορεί να πάρει συγκεκριμένες (διακριτές) τιμές σε μία περιοχή τιμών.
2. Οι μεταβλητές που χρησιμοποιούνται στην Άλγεβρα Boole ονομάζονται λογικές μεταβλητές, γιατί μπορούν να πάρουν μόνο δύο (2) τιμές: 0 και 1. Αυτός είναι ο λόγος που η Άλγεβρα Boole αποτελεί τη βάση για τα ψηφιακά ηλεκτρονικά κυκλώματα.

Στην Άλγεβρα Boole ορίζονται τρεις βασικές πράξεις: NOT, AND (ΚΑΙ) και OR (Η), με Πίνακες Αληθείας που συνοψίζονται στον Πίνακα 1.5.1.

Πίνακας 1.5.1 Πίνακες αληθείας των πράξεων NOT, AND και OR

NOT		AND		OR	
A	\bar{A}	A B	$A \cdot B$	A B	$A+B$
0	1	0 0	0	0 0	0
1	0	0 1	0	0 1	1
		1 0	0	1 0	1
		1 1	1	1 1	1

3. Τα αξιώματα και τα θεωρήματα της Άλγεβρας Boole συνοψίζονται στο Πίνακα 1.5.2.

Πίνακας 1.5.2 Αξιώματα και θεωρήματα Άλγεβρας Boole

Αξιώματα Άλγεβρας Boole	
Αξίωμα 1. Ουδέτερα στοιχεία	
α) $x \cdot 1 = 1 \cdot x = x$	β) $x + 0 = 0 + x = x$
Αξίωμα 2. Αντιμεταθετική ιδιότητα	
α) $x \cdot y = y \cdot x$	β) $x + y = y + x$
Αξίωμα 3. Επιμεριστική ιδιότητα	
α) $x \cdot (y + z) = (x \cdot y) + (x \cdot z)$	β) $x + (y \cdot z) = (x + y) \cdot (x + z)$
Αξίωμα 4. Συμπλήρωμα (NOT)	
α) $x \cdot \bar{x} = 0$	β) $x + \bar{x} = 1$

Θεωρήματα Άλγεβρας Boole

Θεώρημα 1.	
α) $x \cdot x = x$	β) $x + x = x$
Θεώρημα 2.	
α) $x \cdot 0 = 0$	β) $x + 1 = 1$
Θεώρημα 3.	
$x = \overline{\overline{x}}$	
Θεώρημα 4. Προσεταιριστική ιδιότητα	
α) $x \cdot y \cdot z = x \cdot (y \cdot z) = (x \cdot y) \cdot z$	β) $x + y + z = x + (y + z) = (x + y) + z$
Θεώρημα 5. Θεώρημα απορρόφησης	
α) $x + x \cdot y = x$	β) $x \cdot (x + y) = x$
Θεώρημα 6. Θεώρημα De Morgan	
α) $\overline{x \cdot y} = \overline{x} + \overline{y}$	β) $\overline{x + y} = \overline{x} \cdot \overline{y}$

4. Στον Πίνακα 1.5.3 συνοψίζονται οι Πίνακες Αληθείας των πυλών: Απομονωτής (Buffer), Αντιστροφέας (NOT), AND, OR, NAND, NOR, XOR και XNOR.
5. Οι πύλες δύο εισόδων μπορούν να επεκταθούν ώστε να έχουν περισσότερες από δύο εισόδους, εάν οι πράξεις τους έχουν την αντιμεταθετική και την προσεταιριστική ιδιότητα.
6. Τα ολοκληρωμένα κυκλώματα ανήκουν σε μία Κλίμακα Ολοκλήρωσης (Scale Integration) ανάλογα με το πλήθος των ισοδύναμων με πύλες κυκλωμάτων που περιέχουν:
 - ✓ **SSI** (Small Scale Integration)
 - ✓ **MSI** (Medium Scale Integration)
 - ✓ **LSI** (Large Scale Integration)
 - ✓ **VLSI** (Very Large Scale Integration)
 - ✓ **ULSI** (Ultra Large Scale Integration)

Πίνακας 1.5.3 Πίνακες Αληθείας των πολλών

BUFFER	NOT																														
<table border="1"> <thead> <tr> <th>A</th> <th>Y=A</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	Y=A	0	0	1	1	<table border="1"> <thead> <tr> <th>A</th> <th>Y = \bar{A}</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	Y = \bar{A}	0	1	1	0																		
A	Y=A																														
0	0																														
1	1																														
A	Y = \bar{A}																														
0	1																														
1	0																														
AND	OR																														
<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y=A · B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Y=A · B	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y=A+B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Y=A+B	0	0	0	0	1	1	1	0	1	1	1	1
A	B	Y=A · B																													
0	0	0																													
0	1	0																													
1	0	0																													
1	1	1																													
A	B	Y=A+B																													
0	0	0																													
0	1	1																													
1	0	1																													
1	1	1																													
NAND	NOR																														
<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y = $\overline{A \cdot B}$</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Y = $\overline{A \cdot B}$	0	0	1	0	1	1	1	0	1	1	1	0	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y = $\overline{A + B}$</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Y = $\overline{A + B}$	0	0	1	0	1	0	1	0	0	1	1	0
A	B	Y = $\overline{A \cdot B}$																													
0	0	1																													
0	1	1																													
1	0	1																													
1	1	0																													
A	B	Y = $\overline{A + B}$																													
0	0	1																													
0	1	0																													
1	0	0																													
1	1	0																													
XOR	XNOR																														
<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y=A ⊕ B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Y=A ⊕ B	0	0	0	0	1	1	1	0	1	1	1	0	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y=A ⊙ B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Y=A ⊙ B	0	0	1	0	1	0	1	0	0	1	1	1
A	B	Y=A ⊕ B																													
0	0	0																													
0	1	1																													
1	0	1																													
1	1	0																													
A	B	Y=A ⊙ B																													
0	0	1																													
0	1	0																													
1	0	0																													
1	1	1																													

1.6 ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ

1. Χρησιμοποιώντας Πίνακα Αληθείας, να αποδειχθεί ότι ισχύει:

$$Y = \overline{\bar{A} \cdot B + A \cdot \bar{B}} = A \cdot B + \bar{A} \cdot \bar{B}$$

Πράγματι, η σχέση $\overline{\bar{A} \cdot B + A \cdot \bar{B}} = A \cdot B + \bar{A} \cdot \bar{B}$

ισχύει όπως φαίνεται από τον Πίνακα Αληθείας του Πίνακα 1.6.1.

Πίνακας 1.6.1 Πίνακας Αληθείας

για την απόδειξη της σχέσης $\overline{\overline{A} \cdot B + A \cdot \overline{B}} = A \cdot B + \overline{A} \cdot \overline{B}$

A	B	\overline{A}	\overline{B}	$\overline{A} \cdot B$	$A \cdot \overline{B}$	$A \cdot B$	$\overline{A} \cdot \overline{B}$	$\overline{A} \cdot B + A \cdot \overline{B}$	$\overline{\overline{A} \cdot B + A \cdot \overline{B}}$	$A \cdot B + \overline{A} \cdot \overline{B}$
0	0	1	1	0	0	0	1	0	1	1
0	1	1	0	1	0	0	0	1	0	0
1	0	0	1	0	1	0	0	1	0	0
1	1	0	0	0	0	1	0	0	1	1

2. Χρησιμοποιώντας Πίνακα Αληθείας, να αποδειχθεί ότι ισχύει:

$$A \cdot B + \overline{A} \cdot C + B \cdot C = A \cdot B + \overline{A} \cdot C$$

Πράγματι, η σχέση $A \cdot B + \overline{A} \cdot C + B \cdot C = A \cdot B + \overline{A} \cdot C$ ισχύει όπως φαίνεται από τον Πίνακα Αληθείας του Πίνακα 1.6.2.

Πίνακας 1.6.2 Πίνακας Αληθείας

για την απόδειξη της σχέσης $A \cdot B + \overline{A} \cdot C + B \cdot C = A \cdot B + \overline{A} \cdot C$

A	B	C	\overline{A}	$A \cdot B$	$\overline{A} \cdot C$	$B \cdot C$	$A \cdot B + \overline{A} \cdot C + B \cdot C$	$A \cdot B + \overline{A} \cdot C$
0	0	0	1	0	0	0	0	0
0	0	1	1	0	1	0	1	1
0	1	0	1	0	0	0	0	0
0	1	1	1	0	1	1	1	1
1	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0
1	1	0	0	1	0	0	1	1
1	1	1	0	1	0	1	1	1

3. Χρησιμοποιώντας Άλγεβρα Βοολε, να αποδειχθεί ότι ισχύει: $\overline{A \oplus B} = A \odot B$

$$\begin{aligned}
 \overline{A \oplus B} &= \overline{A \cdot \overline{B} + \overline{A} \cdot B} = \\
 &= \overline{A \cdot \overline{B}} \cdot \overline{\overline{A} \cdot B} = \\
 &= (\overline{A} + B) \cdot (A + \overline{B}) = \\
 &= \overline{A} \cdot A + \overline{A} \cdot \overline{B} + B \cdot A + B \cdot \overline{B} = \\
 &= 0 + \overline{A} \cdot \overline{B} + A \cdot B + 0 = \\
 &= A \cdot B + \overline{A} \cdot \overline{B} = A \odot B
 \end{aligned}$$

4. Να γίνουν οι πράξεις:

$$\alpha. Y1 = (A + \bar{B}) \cdot (B \cdot \bar{B}) + (A+1) \cdot \bar{A}$$

$$\beta. Y2 = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot \bar{C}$$

$$\gamma. Y3 = (\bar{A} + A \cdot B) \cdot (\bar{A} + B)$$

$$\delta. Y4 = ((A \cdot 1) + \bar{B}) + (A \cdot (0 + B))$$

$$\begin{aligned} \alpha. Y1 &= (A + \bar{B}) \cdot (B \cdot \bar{B}) + (A+1) \cdot \bar{A} = \\ &= (A + \bar{B}) \cdot 0 + 1 \cdot \bar{A} = \\ &= 0 + \bar{A} = \\ &= \bar{A} \end{aligned}$$

$$\begin{aligned} \beta. Y2 &= \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot \bar{C} = \\ &= (\bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C}) + (\bar{A} \cdot B \cdot \bar{C} + A \cdot B \cdot \bar{C}) = \\ &= (\bar{A} + A) \cdot \bar{B} \cdot \bar{C} + (\bar{A} + A) \cdot B \cdot \bar{C} = \\ &= 1 \cdot \bar{B} \cdot \bar{C} + 1 \cdot B \cdot \bar{C} = \\ &= \bar{B} \cdot \bar{C} + B \cdot \bar{C} = \\ &= (\bar{B} + B) \cdot \bar{C} = \\ &= 1 \cdot \bar{C} = \\ &= \bar{C} \end{aligned}$$

$$\begin{aligned} \gamma. Y3 &= (\bar{A} + A \cdot B) \cdot (\bar{A} + B) = \\ &= \bar{A} \cdot \bar{A} + \bar{A} \cdot B + A \cdot B \cdot \bar{A} + A \cdot B \cdot B = \\ &= \bar{A} + \bar{A} \cdot B + (A \cdot \bar{A}) \cdot B + A \cdot (B \cdot B) = \\ &= \bar{A} + \bar{A} \cdot B + 0 \cdot B + A \cdot B = \\ &= \bar{A} + \bar{A} \cdot B + A \cdot B = \\ &= \bar{A} + (\bar{A} + A) \cdot B = \\ &= \bar{A} + 1 \cdot B = \\ &= \bar{A} + B \end{aligned}$$

$$\begin{aligned} \delta. Y4 &= ((A \cdot 1) + \bar{B}) + (A \cdot (0 + B)) = \\ &= (A + \bar{B}) + (A \cdot B) = \\ &= A + \bar{B} + A \cdot B = \\ &= (A + A \cdot B) + \bar{B} = \\ &= A + \bar{B} \text{ (Θεώρημα απορρόφησης)} \end{aligned}$$

1. Να γνωρίζετε αρχές ανάπτυξης των αριθμητικών συστημάτων.
2. Να γνωρίζετε δυαδικούς και αλφαριθμητικούς κώδικες.
3. Να μπορείτε να πραγματοποιείτε μετατροπές αριθμών από ένα σύστημα σε άλλο.
4. Να μπορείτε να εκτελείτε αριθμητικές πράξεις στο δυαδικό και στο δεκαεξαδικό σύστημα.

2

κεφάλαιο

**ΑΡΙΘΜΗΤΙΚΑ
ΣΥΣΤΗΜΑΤΑ ΚΑΙ ΚΩΔΙΚΕΣ**

2.1 ΑΡΧΕΣ ΑΝΑΠΤΥΞΗΣ ΑΡΙΘΜΗΤΙΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

Ένα αριθμητικό σύστημα είναι ένα σύνολο από ψηφία (αριθμοί και χαρακτήρες) που χρησιμοποιούνται για αρίθμηση και υπολογισμούς (πρόσθεση, αφαίρεση, πολλαπλασιασμό, διαίρεση).

Η ανάπτυξη των αριθμητικών συστημάτων βασίζεται σε δύο αρχές:

1. την ύπαρξη **βάσης** (base, radix) του συστήματος
2. την ύπαρξη αξίας - **βάρους** (weight) των θέσεων των συμβόλων

Το περισσότερο χρησιμοποιούμενο αριθμητικό σύστημα είναι το δεκαδικό (αραβικό σύστημα). Άλλα συστήματα με τα οποία και θα ασχοληθούμε είναι το δυαδικό, το οκταδικό και το δεκαεξαδικό.

2.2 ΔΕΚΑΔΙΚΟ ΣΥΣΤΗΜΑ

Το δεκαδικό σύστημα χρησιμοποιεί δέκα ψηφία (τους αριθμούς 0-9), έχει βάση το 10 και η αξία των ψηφίων εξαρτάται από τις θέσεις τους (το βάρος των θέσεων υπολογίζεται από την αντίστοιχη δύναμη του 10).

Για παράδειγμα, ο αριθμός 5832 του δεκαδικού συστήματος παριστάνει μία ποσότητα που είναι ίση με 5 χιλιάδες συν 8 εκατοντάδες συν 3 δεκάδες συν 2 μονάδες, αφού:

$$5832 = 5 \times 10^3 + 8 \times 10^2 + 3 \times 10^1 + 2 \times 10^0$$

Το πρώτο ψηφίο του αριθμού είναι το Περισσότερο Σημαντικό Ψηφίο (Most Significant Digit - **MSD**), γιατί έχει την μεγαλύτερη αξία, ενώ το τελευταίο ψηφίο είναι το Λιγότερο Σημαντικό Ψηφίο (Least Significant Digit - **LSD**), γιατί έχει την μικρότερη αξία.

Από τις θέσεις των ψηφίων προκύπτουν τα βάρη τους (οι αντίστοιχες δυνάμεις του 10),*όπως φαίνεται στο Σχήμα 2.2.1.

	MSD			LSD
Ψηφία	5	8	3	2
Θέση	3	2	1	0
Βάρος	10^3	10^2	10^1	10^0
Αξία	$5 \times 10^3 = 5000$	$8 \times 10^2 = 800$	$3 \times 10^1 = 30$	$2 \times 10^0 = 2$

Σχήμα 2.2.1 Βάρη θέσεων δεκαδικού αριθμού

Κάθε αριθμός εκφρασμένος σε αριθμητικό σύστημα με βάση (radix) το r παριστάνεται με μία σειρά από ψηφία οι τιμές των οποίων κυμαίνονται από 0 μέχρι $r-1$, δηλαδή:

$$(A)_r = a_n a_{n-1} \dots a_2 a_1 a_0$$

Ο αντίστοιχος δεκαδικός αριθμός (αριθμητικό σύστημα με βάση το 10) είναι:

$$(A)_{10} = a_n x r^n + a_{n-1} x r^{n-1} + \dots + a_2 x r^2 + a_1 x r^1 + a_0 x r^0$$

2.3 ΔΥΑΔΙΚΟ ΣΥΣΤΗΜΑ

2.3.1 Ορισμοί

Το δυαδικό σύστημα έχει βάση τον αριθμό 2. Επομένως, χρησιμοποιεί τα ψηφία 0 και 1. Κάθε δυαδικός αριθμός παριστάνεται από μία σειρά από τέτοια ψηφία που ονομάζονται δυαδικά ψηφία (bits). Από τις θέσεις των ψηφίων προκύπτουν τα βάρη τους (οι αντίστοιχες δυνάμεις του 2). Το πρώτο ψηφίο του αριθμού είναι το Περισσότερο Σημαντικό Δυαδικό Ψηφίο (Most Significant Bit - **MSB**), γιατί έχει την μεγαλύτερη αξία, ενώ το τελευταίο ψηφίο είναι το Λιγότερο Σημαντικό Δυαδικό Ψηφίο (Least Significant Bit - **LSB**), γιατί έχει την μικρότερη αξία.

	MSB			LSB
Ψηφία	1	0	1	1
Θέση	3	2	1	0
Βάρος	2^3	2^2	2^1	2^0

Σχήμα 2.3.1 Βάρη θέσεων δυαδικού αριθμού

Για παράδειγμα, τα βάρη των θέσεων του δυαδικού αριθμού 1011 φαίνονται στο Σχήμα 2.3.1.

Ο αντίστοιχος δεκαδικός αριθμός είναι:

$$1011 = 1x2^3 + 0x2^2 + 1x2^1 + 1x2^0 = 8+0+2+1=11$$

2.3.2 Αρίθμηση στο δυαδικό σύστημα

Στο δεκαδικό σύστημα χρησιμοποιώντας n ψηφία μπορούμε να μετρήσουμε 10^n αριθμούς (από το 0 μέχρι και το $10^n - 1$).

Για παράδειγμα με 1 ψηφίο μπορούμε να μετρήσουμε τους αριθμούς 0-9, με δύο ψηφία τους αριθμούς 0-99, με τρία ψηφία τους αριθμούς 0-999.

Αντίστοιχα, στο δυαδικό σύστημα χρησιμοποιώντας n ψηφία (bits) μπορούμε να μετρήσουμε 2^n αριθμούς (από το 0 μέχρι και το $2^n - 1$).

Για παράδειγμα με 1 ψηφίο μπορούμε να μετρήσουμε τους αριθμούς 0-1, με δύο ψηφία τους αριθμούς 0-3, με τρία ψηφία τους αριθμούς 0-7, με τέσσερα ψηφία τους αριθμούς 0-15.

Η ακολουθία δυαδικής αρίθμησης, χρησιμοποιώντας τέσσερα ψηφία (bits) παρουσιάζεται στον Πίνακα 2.3.1, από όπου προκύπτει ότι:

το λιγότερο σημαντικό bit (LSB - τελευταία στήλη) αλλάζει (από 0 σε 1 και από 1 σε 0) σε κάθε βήμα αρίθμησης, το αμέσως προηγούμενο bit αλλάζει κάθε δύο βήματα αρίθμησης, το αμέσως προηγούμενο bit αλλάζει κάθε τέσσερα βήματα αρίθμησης και το περισσότερο σημαντικό bit (MSB) αλλάζει κάθε οκτώ βήματα.

Αυτή η παρατήρηση αποτελεί έναν εύκολο μνημονικό κανόνα για να θυμάστε την ακολουθία δυαδικής αρίθμησης.

Πίνακας 2.3.1 Δυαδική αρίθμηση

Δεκαδικό Βάση 10	Δυαδικό Βάση 2
00	0000
01	0001
02	0010
03	0011
04	0100
05	0101
06	0110
07	0111
08	1000
09	1001
10	1010
11	1011
12	1100
13	1101
14	1110
15	1111

2.3.3 Μετατροπή δυαδικού σε δεκαδικό

Για τη μετατροπή του δυαδικού αριθμού

$$(A)_2 = a_n a_{n-1} \dots a_2 a_1 a_0$$

σε δεκαδικό αριθμό χρησιμοποιείται ο ακόλουθος τύπος:

$$(A)_{10} = a_n x 2^n + a_{n-1} x 2^{n-1} + \dots + a_2 x 2^2 + a_1 x 2^1 + a_0 x 2^0$$

Για παράδειγμα, ο δυαδικός αριθμός $(1110)_2$ αντιστοιχεί στον δεκαδικό αριθμό $(14)_{10}$

$$\text{αφού: } (1110)_2 = 1x2^3 + 1x2^2 + 1x2^1 + 0x2^0 = 1x8 + 1x4 + 1x2 + 0x1 = (14)_{10}$$

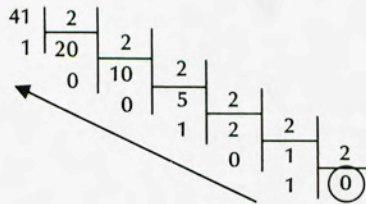
2.3.4 Μετατροπή δεκαδικού σε δυαδικό

Για τη μετατροπή ενός ακέραιου δεκαδικού αριθμού σε δυαδικό αριθμό χρησιμοποιείται η ακόλουθη διαδικασία:

Ο δεκαδικός αριθμός διαιρείται δια του 2, οπότε προκύπτει ακέραιο πηλίκο και υπόλοιπο (που είναι 0 ή 1). Το πηλίκο της προηγούμενης διαίρεσης διαιρείται εκ νέου δια του 2, οπότε προκύπτει νέο ακέραιο πηλίκο και νέο υπόλοιπο. Η διαδικασία επαναλαμβάνεται μέχρι να προκύψει πηλίκο ίσο με 0. Τα υπόλοιπα των διαιρέσεων αποτελούν τα ψηφία του ακέραιου μέρους του δυαδικού αριθμού με LSB, το υπόλοιπο της πρώτης διαίρεσης και MSB το υπόλοιπο της τελευταίας διαίρεσης.

Για παράδειγμα, ο δεκαδικός αριθμός $(41)_{10}$ αντιστοιχεί στο δυαδικό αριθμό $(101001)_2$ αφού:

$$(41)_{10} = (101001)_2$$



2.4 ΟΚΤΑΔΙΚΟ ΣΥΣΤΗΜΑ

2.4.1 Ορισμοί

Το οκταδικό σύστημα έχει βάση τον αριθμό 8. Επομένως, χρησιμοποιεί τα ψηφία 0, 1, 2, 3, 4, 5, 6 και 7. Κάθε οκταδικός αριθμός παριστάνεται από μία σειρά από τέτοια ψηφία. Από τις θέσεις των ψηφίων προκύπτουν τα βάρη τους (οι αντίστοιχες δυνάμεις του 8). Το πρώτο ψηφίο του αριθμού ονομάζεται Περισσότερο Σημαντικό Ψηφίο (Most Significant Digit - **MSD**), ενώ το τελευταίο ψηφίο ονομάζεται Λιγότερο Σημαντικό Ψηφίο (Least Significant Digit - **LSD**).

	MSB		LSB
Ψηφία	4	5	2
Θέση	2	1	0
Βάρος	8^2	8^1	8^0

Για παράδειγμα, τα βάρη των θέσεων του οκταδικού αριθμού 452 φαίνονται στο Σχήμα 2.4.1.

Ο αντίστοιχος δεκαδικός αριθμός είναι:

$$452 = 4 \times 8^2 + 5 \times 8^1 + 2 \times 8^0 = 298$$

Σχήμα 2.4.1 Βάρη θέσεων οκταδικού αριθμού

2.4.2 Αρίθμηση στο οκταδικό σύστημα

Στο οκταδικό σύστημα, χρησιμοποιώντας η ψηφία μπορούμε να μετρήσουμε 8^n αριθμούς (από το 0 μέχρι και το $8^n - 1$).

Για παράδειγμα, με 1 ψηφίο μπορούμε να μετρήσουμε τους αριθμούς 0-7, με δύο ψηφία τους αριθμούς 0-63, με τρία ψηφία τους αριθμούς 0-511, με τέσσερα ψηφία τους αριθμούς 0-4095.

Η ακολουθία οκταδικής αρίθμησης παρουσιάζεται στον Πίνακα 2.4.1.

Πίνακας 2.4.1 Οκταδική αρίθμηση

Δεκαδικό Βάση 10	Οκταδικό Βάση 8
00	00
01	01
02	02
03	03
04	04
05	05
06	06
07	07
08	10
09	11
10	12
11	13
12	14
13	15
14	16
15	17

2.4.3 Μετατροπή οκταδικού σε δεκαδικό

Για τη μετατροπή του οκταδικού αριθμού

$$(A)_8 = a_n a_{n-1} \dots a_2 a_1 a_0$$

σε δεκαδικό αριθμό χρησιμοποιείται ο ακόλουθος τύπος:

$$(A)_{10} = a_n x 8^n + a_{n-1} x 8^{n-1} + \dots + a_2 x 8^2 + a_1 x 8^1 + a_0 x 8^0$$

Για παράδειγμα, ο οκταδικός αριθμός $(372)_8$ αντιστοιχεί στο δεκαδικό αριθμό $(14)_{10}$ αφού:

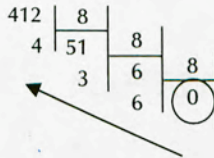
$$(372)_8 = 3x8^2 + 7x8^1 + 2x8^0 = 3x64 + 7x8 + 2x1 = (250)_{10}$$

2.4.4 Μετατροπή δεκαδικού σε οκταδικό

Για τη μετατροπή ενός δεκαδικού αριθμού σε οκταδικό αριθμό χρησιμοποιείται η μέθοδος διαδοχικών διαιρέσεων δια του 8 (η διαδικασία είναι ανάλογη με τη διαδικασία για μετατροπή ενός δεκαδικού αριθμού σε δυαδικό αριθμό).

Για παράδειγμα, ο δεκαδικός αριθμός $(412)_{10}$ αντιστοιχεί στον οκταδικό αριθμό $(634)_8$ αφού:

$$(412)_{10} = (634)_8$$



2.4.5 Μετατροπή οκταδικού σε δυαδικό

Για τη μετατροπή ενός οκταδικού αριθμού σε δυαδικό αριθμό μετατρέπεται κάθε ψηφίο του οκταδικού αριθμού σε μία ομάδα **τριών** (3) δυαδικών ψηφίων, επειδή με τρία δυαδικά ψηφία μπορούν να αναπαρασταθούν όλα τα ψηφία του οκταδικού συστήματος.

Η αντιστοιχία των οκτώ πιθανών ψηφίων ενός οκταδικού αριθμού με τις οκτώ τριάδες bits φαίνεται στον Πίνακα 2.4.2.

Πίνακας 2.4.2 Η αντιστοιχία των οκτώ ψηφίων ενός οκταδικού αριθμού με τις οκτώ τριάδες bits

7	6	5	4	3	2	1	0
111	110	101	100	011	010	001	000

Για παράδειγμα, ο οκταδικός αριθμός $(3764)_8$ αντιστοιχεί στον δυαδικό αριθμό $(011111110100)_2$ αφού:

$$(3764)_8 = (011111110100)_2$$

3	7	6	4
011	111	110	100

2.4.6 Μετατροπή δυαδικού σε οκταδικό

Για τη μετατροπή ενός δυαδικού αριθμού σε οκταδικό αριθμό, χωρίζεται ο δυαδικός αριθμός σε ομάδες **τριών** (3) bits και κάθε ομάδα μετατρέπεται στο ισοδύναμο οκταδικό ψηφίο (δηλαδή ακολουθείται η αντίστροφη διαδικασία από την διαδικασία μετατροπής ενός οκταδικού αριθμού σε δυαδικό αριθμό). Αν ο δυαδικός αριθμός δε χωρίζεται ακριβώς σε τριάδες bits, τότε προστίθενται όσα "0" απαιτούνται στα αριστερά του MSB του δυαδικού αριθμού (γιατί αυτό δεν επηρεάζει τον αριθμό) ώστε να δημιουργηθεί η τελευταία τριάδα bits.

Για παράδειγμα, ο δυαδικός αριθμός $(10101001)_2$ αντιστοιχεί στον οκταδικό αριθμό $(251)_8$ αφού:

$$(10101001)_2 = (251)_8$$

010	101	001
2	5	1

2.5 ΔΕΚΑΕΞΑΔΙΚΟ ΣΥΣΤΗΜΑ

2.5.1 Ορισμοί

Το δεκαεξαδικό σύστημα έχει βάση τον αριθμό 16. Επομένως, χρησιμοποιεί 16 ψηφία που είναι οι αριθμοί 0, 1, 2, 3, 4, 5, 6, 7, 8 και 9 και τα γράμματα A, B, C, D, E και F. Κάθε δεκαεξαδικός αριθμός παριστάνεται από μία σειρά από τέτοια ψηφία. Από τις θέσεις των ψηφίων προκύπτουν τα βάρη τους (οι αντίστοιχες δυνάμεις του 16). Το πρώτο ψηφίο του αριθμού ονομάζεται Περισσότερο Σημαντικό Ψηφίο (Most Significant Digit - **MSD**), ενώ το τελευταίο ψηφίο ονομάζεται Λιγότερο Σημαντικό Ψηφίο (Least Significant Digit - **LSD**).

	MSB		LSB
Ψηφία	8	F	9
Θέση	2	1	0
Βάρος	16^2	16^1	16^0

Σχήμα 2.5.1 Βάρη θέσεων δεκαεξαδικού αριθμού

Για παράδειγμα, τα βάρη των θέσεων του δεκαεξαδικού αριθμού 8F9 φαίνονται στο Σχήμα 2.5.1.

Ο αντίστοιχος δεκαδικός αριθμός είναι:

$$8F9 = 8 \times 16^2 + 15 \times 16^1 + 9 \times 16^0 = 2297$$

2.5.2 Αρίθμηση στο δεκαεξαδικό σύστημα

Στο δεκαεξαδικό σύστημα χρησιμοποιώντας η ψηφία μπορούμε να μετρήσουμε 16^n αριθμούς (από το 0 μέχρι και το $16^n - 1$).

Για παράδειγμα, με 1 ψηφίο μπορούμε να μετρήσουμε τους αριθμούς 0-15, με δύο ψηφία τους αριθμούς 0-255, με τρία ψηφία τους αριθμούς 0-4095, με τέσσερα ψηφία τους αριθμούς 0-65535.

Η ακολουθία δεκαεξαδικής αρίθμησης παρουσιάζεται στον Πίνακα 2.5.1.

Πίνακας 2.5.1
Δεκαεξαδική αρίθμηση

Δεκαδικό Βάση 10	Δεκαεξαδικό Βάση 16
00	0
01	1
02	2
03	3
04	4
05	5
06	6
07	7
08	8
09	9
10	A
11	B
12	C
13	D
14	E
15	F
16	10
17	11
18	12
...	...
31	1F
32	20

2.5.3 Μετατροπή δεκαεξαδικού σε δεκαδικό

Για τη μετατροπή του δεκαεξαδικού αριθμού

$$(A)_{16} = a_n a_{n-1} \dots a_2 a_1 a_0$$

σε δεκαδικό αριθμό χρησιμοποιείται ο ακόλουθος τύπος:

$$(A)_{10} = a_n \times 16^n + a_{n-1} \times 16^{n-1} + \dots + a_2 \times 16^2 + a_1 \times 16^1 + a_0 \times 16^0$$

Για παράδειγμα, ο δεκαεξαδικός αριθμός $(B5D)_{16}$ αντιστοιχεί στον δεκαδικό αριθμό $(2909)_{10}$ αφού:

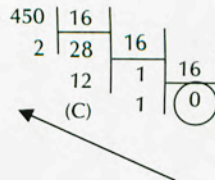
$$(B5D)_{16} = 11 \times 16^2 + 5 \times 16^1 + 13 \times 16^0 = 11 \times 256 + 5 \times 16 + 13 \times 1 = (2909)_{10}$$

2.5.4 Μετατροπή δεκαδικού σε δεκαεξαδικό

Για τη μετατροπή ενός δεκαδικού αριθμού σε δεκαεξαδικό αριθμό χρησιμοποιείται η μέθοδος διαδοχικών διαιρέσεων δια του 16 (η διαδικασία είναι ανάλογη με τη διαδικασία για μετατροπή ενός δεκαδικού αριθμού σε δυαδικό αριθμό).

Για παράδειγμα, ο δεκαδικός αριθμός $(450)_{10}$ αντιστοιχεί στον δεκαεξαδικό αριθμό $(1C2)_{16}$ αφού:

$$(450)_{10} = (1C2)_{16}$$



2.5.5 Μετατροπή δεκαεξαδικού σε δυαδικό

Για τη μετατροπή ενός δεκαεξαδικού αριθμού σε δυαδικό αριθμό μετατρέπεται κάθε ψηφίο του δεκαεξαδικού αριθμού σε μία ομάδα **τεσσάρων** (4) δυαδικών ψηφίων επειδή με τέσσερα δυαδικά ψηφία μπορούν να αναπαρασταθούν όλα τα ψηφία του δεκαεξαδικού συστήματος.

Η αντιστοιχία των δεκαεξί πιθανών ψηφίων ενός δεκαεξαδικού αριθμού με τις δεκαεξί τετράδες bits φαίνεται στον Πίνακα 2.5.2.

Πίνακας 2.5.2 Η αντιστοιχία των δεκαέξι ψηφίων ενός δεκαεξαδικού αριθμού με τις δεκαέξι τετράδες bits

7	6	5	4	3	2	1	0
0111	0110	0101	0100	0011	0110	0001	0000
F	E	D	C	B	A	9	8
1111	1110	1101	1100	1011	1010	1001	1000

Για παράδειγμα, ο δεκαεξαδικός αριθμός $(9E64)_{16}$ αντιστοιχεί στον δυαδικό αριθμό $(1001111001100100)_2$ αφού:

$$(9E64)_{16} = (1001111001100100)_2$$

9	E	6	4
1001	1110	0110	0100

2.5.6 Μετατροπή δυαδικού σε δεκαεξαδικό

Για τη μετατροπή ενός δυαδικού αριθμού σε δεκαεξαδικό αριθμό χωρίζεται ο δυαδικός αριθμός σε ομάδες **τεσσάρων** (4) bits και κάθε ομάδα μετατρέπεται στο ισοδύναμο δεκαεξαδικό ψηφίο. Αν ο δυαδικός αριθμός δε χωρίζεται ακριβώς σε τετράδες bits, τότε προστίθενται όσα "0" απαιτούνται στα αριστερά του MSB του δυαδικού, ώστε να δημιουργηθεί η τελευταία τετράδα bits.

Για παράδειγμα, ο δυαδικός αριθμός $(0010111101010001)_2$ αντιστοιχεί στο δεκαεξαδικό αριθμό $(2F51)_{16}$ αφού:

$$(0010111101010001)_2 = (2F51)_{16}$$

0010	1111	0101	0001
2	F	5	1

2.5.7 Μετατροπή δεκαεξαδικού σε οκταδικό

Για τη μετατροπή ενός δεκαεξαδικού αριθμού σε οκταδικό αριθμό, μετατρέπεται ο δεκαεξαδικός αριθμός σε δυαδικό αριθμό που με την σειρά του μετατρέπεται σε οκταδικό αριθμό.

Για παράδειγμα, ο δεκαεξαδικός αριθμός $(A35)_{16}$ αντιστοιχεί στο οκταδικό αριθμό $(5065)_8$ αφού:

$$(A35)_{16} = (5065)_8$$

A	3	5	
1010	0011	0101	
101	000	110	101
5	0	6	5

2.5.8 Μετατροπή οκταδικού σε δεκαεξαδικό

Για τη μετατροπή ενός οκταδικού αριθμού σε δεκαεξαδικό αριθμό, μετατρέπεται ο οκταδικός αριθμός σε δυαδικό αριθμό που με τη σειρά του μετατρέπεται σε δεκαεξαδικό αριθμό.

Για παράδειγμα, ο οκταδικός αριθμός $(7501)_8$ αντιστοιχεί στο δεκαεξαδικό αριθμό $(F41)_{16}$ αφού:

$$(7501)_8 = (F41)_{16}$$

7	5	0	1
111	101	000	001
1111	0100	0001	
F	4	1	

2.6. ΑΡΙΘΜΗΤΙΚΕΣ ΠΡΑΞΕΙΣ

2.6.1 Αριθμητικές πράξεις στο δυαδικό σύστημα

2.6.1.1 Πρόσθεση δυαδικών αριθμών

Το άθροισμα δύο δυαδικών αριθμών υπολογίζεται με ανάλογη διαδικασία του υπολογισμού του αθροίσματος δύο δεκαδικών αριθμών: η πρόσθεση ξεκινάει από τα LSB προς τα MSB των προσθετέων, κάθε bit του αθροίσματος είναι "0" ή "1" και το κρατούμενο κάθε θέσης προστίθεται στα bits των προσθετέων της επόμενης θέσης.

Οι μνημονικοί κανόνες της δυαδικής πρόσθεσης είναι:

$$0+0=0$$

$$0+1=1$$

$$1+0=1$$

$$1+1=10 \text{ (άθροισμα 0 και κρατούμενο 1)}$$

Παρατήρηση: Το σύμβολο + που χρησιμοποιείται στην πρόσθεση έχει σαφώς διαφορετική σημασία από το σύμβολο + που χρησιμοποιείται στη λογική πράξη OR.

Για παράδειγμα, παρουσιάζεται η δυαδική πρόσθεση:

$$(1001)_2 + (1100)_2 = (10101)_2$$

Κρατούμενο	1				
	1	0	0	1	
+	1	1	0	0	
	1	0	1	0	1

Η αντίστοιχη δεκαδική πρόσθεση είναι:

$$(9)_{10} + (12)_{10} = (21)_{10}$$

2.6.1.2 Αφαίρεση δυαδικών αριθμών

Η διαφορά δύο δυαδικών αριθμών υπολογίζεται με ανάλογη διαδικασία του υπολογισμού της διαφοράς δύο δεκαδικών αριθμών: η αφαίρεση ξεκινάει από τα LSB προς τα MSB του μειωτέου και του αφαιρετέου.

Οι μνημονικοί κανόνες της δυαδικής αφαίρεσης είναι:

$$0-0=0$$

$$0-1=11 \text{ (διαφορά 1 και δανεικό 1)}$$

$$1-0=1$$

$$1-1=0$$

Για παράδειγμα, παρουσιάζεται η δυαδική αφαίρεση:

$$(1001)_2 - (0100)_2 = (0101)_2$$

Δανεικό	1				
	1	0	0	1	
-	0	1	0	0	
	0	1	0	1	

Η αντίστοιχη δεκαδική αφαίρεση είναι:

$$(9)_{10} - (4)_{10} = (5)_{10}$$

2.6.2 Αριθμητικές πράξεις στο δεκαεξαδικό σύστημα

Οι δεκαεξαδικοί αριθμοί χρησιμοποιούνται ευρύτατα στην Πληροφορική, όπως για παράδειγμα στην αρίθμηση των διευθύνσεων μνήμης των ηλεκτρονικών υπολογιστών ή στον προγραμματισμό των μικροϋπολογιστών σε γλώσσα μηχανής. Επομένως, είναι χρήσιμη η γνώση της εκτέλεσης των πράξεων της πρόσθεσης και της αφαίρεσης δεκαεξαδικών αριθμών.

2.6.2.1 Πρόσθεση δεκαεξαδικών αριθμών

Το άθροισμα δύο δεκαεξαδικών αριθμών υπολογίζεται με την ακόλουθη διαδικασία:

Η πρόσθεση ξεκινάει από τα LSD προς τα MSD των προσθετέων. Τα ψηφία των δεκαεξαδικών αριθμών προστίθενται σε κάθε θέση, όπως προστίθενται οι δεκαδικοί αριθμοί.

- ✓ Αν το αποτέλεσμα είναι μικρότερο από 16 ή ίσο με 16, τότε το άθροισμα είναι το αντίστοιχο δεκαεξαδικό ψηφίο.

- ✓ Αν το αποτέλεσμα είναι μεγαλύτερο από 15, τότε το άθροισμα είναι το δεκαεξαδικό ψηφίο που αντιστοιχεί στην διαφορά του αποτελέσματος μείον 16 και μεταφέρεται κρατούμενο 1 στην επόμενη θέση.

Για παράδειγμα, παρουσιάζεται η δεκαεξαδική πρόσθεση:

$$(EB98)_{16} + (4F31)_{16} = (13AC9)_{16}$$

Κρατούμενο	1				
	E	B	9	8	
+	4	F	3	1	
	1	3	A	C	9

Η αντίστοιχη δεκαδική πρόσθεση είναι:

$$(60312)_{10} + (20273)_{10} = (80585)_{10}$$

2.6.2.2 Αφαίρεση δεκαεξαδικών αριθμών

Η διαφορά δύο δεκαεξαδικών αριθμών υπολογίζεται με την ακόλουθη διαδικασία:

Η αφαίρεση ξεκινάει από τα LSD προς τα MSD του μειωτέου και του αφαιρετέου.

- ✓ Αν σε κάθε θέση το ψηφίο του μειωτέου είναι μεγαλύτερο από ή ίσο με το ψηφίο του αφαιρετέου, τότε τα ψηφία των δεκαεξαδικών αριθμών αφαιρούνται, όπως αφαιρούνται οι δεκαδικοί αριθμοί. Η διαφορά είναι το αντίστοιχο δεκαεξαδικό ψηφίο.
- ✓ Αν σε κάθε θέση το ψηφίο του μειωτέου είναι μικρότερο από το ψηφίο του αφαιρετέου, τότε μεταφέρεται δανεικό 1 από την επόμενη θέση (το δεκαεξαδικό ψηφίο της επόμενης θέσης μειώνεται κατά 1). Στο ψηφίο του μειωτέου προστίθεται το 16 και από αυτό το άθροισμα αφαιρείται το ψηφίο του αφαιρετέου. Η διαφορά είναι το αντίστοιχο δεκαεξαδικό ψηφίο του αποτελέσματος αυτής της αφαίρεσης.

Για παράδειγμα, παρουσιάζεται η δεκαεξαδική αφαίρεση:

$$(62C8)_{16} - (2E13)_{16} = (34B5)_{16}$$

	5	18		
	8	2	C	8
-	2	E	1	3
	3	4	B	5

Η αντίστοιχη δεκαδική αφαίρεση είναι:

$$(25288)_{10} - (11795)_{10} = (13493)_{10}$$

2.7 ΚΩΔΙΚΕΣ

2.7.1 Δυαδικοί κώδικες

Ο άνθρωπος χρησιμοποιεί τη δεκαδική λογική. Αντίθετα, οι ηλεκτρονικοί υπολογιστές λειτουργούν με βάση τη δυαδική λογική. Είναι προφανές ότι υπάρχει πρόβλημα επικοινωνίας του χρήστη με τον ηλεκτρονικό υπολογιστή. Ο χρήστης εισάγει δεδομένα σε δεκαδική μορφή. Ο ηλεκτρονικός υπολογιστής επεξεργάζεται τα δεδομένα σε δυαδική μορφή. Επομένως, απαιτείται η κατάλληλη μετατροπή των πληροφοριών που ονομάζεται **κωδικοποίηση**. **Κώδικας** είναι ένας συστηματικός τρόπος παράστασης πληροφοριών.

Τα ηλεκτρονικά ψηφιακά συστήματα χρησιμοποιούν σήματα που έχουν δύο διακριτές τιμές. Όμως, τα ψηφιακά συστήματα αναπαριστούν και χειρίζονται πολλά διακριτά στοιχεία πληροφορίας και όχι μόνο δυαδικές πληροφορίες. Κάθε διακριτό στοιχείο πληροφορίας μπορεί να παρασταθεί με έναν δυαδικό κώδικα. **Δυαδικός κώδικας** είναι ένας συστηματικός τρόπος παράστασης πληροφοριών σε δυαδική μορφή.

Οι δυαδικοί κώδικες χρησιμοποιούν το δυαδικό ψηφίο (binary digit - bit) με δύο πιθανές τιμές "0" και "1". Με έναν δυαδικό κώδικα που χρησιμοποιεί n bits μπορούν να παρασταθούν το πολύ 2^n διακεκριμένα στοιχεία πληροφορίας, αφού τα n bits μπορούν να τοποθετηθούν στη σειρά με 2^n διαφορετικούς τρόπους (συνδυασμοί).

Τέσσερα στοιχεία μπορούν να παρασταθούν με έναν δυαδικό κώδικα των 2 bits. Κάθε στοιχείο παριστάνεται με έναν από τους τέσσερις τρόπους που μπορούν να τοποθετηθούν στη σειρά αυτά τα 2 bits: 00, 01, 10 και 11. Για παράδειγμα, οι τέσσερις εποχές του χρόνου θα μπορούσαν να παρασταθούν ως εξής:

Άνοιξη	↔	00
Καλοκαίρι	↔	01
Φθινόπωρο	↔	10
Χειμώνας	↔	11

Η παραπάνω αντιστοιχία των εποχών με δυαδικούς αριθμούς είναι ένας δυαδικός κώδικας. Η αντιστοιχία αυτή δεν είναι μοναδική και επιλέγεται ανάλογα με την εφαρμογή.

Αν το πλήθος των στοιχείων που πρόκειται να κωδικοποιηθούν δεν είναι δύναμη του 2, τότε μερικοί από τους συνδυασμούς των bits δε χρησιμοποιούνται. Για παράδειγμα, τα 10 ψηφία του δεκαδικού συστήματος μπορούν να παρασταθούν με έναν δυαδικό κώδικα των 4 bits. Με 4 bits, όμως, μπορούν να αναπτυχθούν 16 συνδυασμοί. Επομένως, δε χρησιμοποιούνται 6 συνδυασμοί.

Οι δυαδικοί κώδικες ανήκουν στις δύο ακόλουθες κατηγορίες ανάλογα με τον τρόπο κατασκευής τους:

- ☛ **δυαδικοί κώδικες με βάρη**
- ☛ **δυαδικοί κώδικες χωρίς βάρη**

2.7.2 Δυαδικοί κώδικες με βάρη

Οι δυαδικοί κώδικες με βάρη κατασκευάζονται με τέτοιον τρόπο ώστε στη θέση κάθε bit του κώδικα να αντιστοιχεί ένα βάρος (κάθε θέση έχει μία αξία).

Οι ακόλουθοι δυαδικοί κώδικες με βάρη στα bits ανάλογα με τη θέση τους, χρησιμοποιούνται για την κωδικοποίηση των 10 ψηφίων του δεκαδικού συστήματος:

- ο BCD κώδικας που χρησιμοποιεί 4 bits με βάρη 8 4 2 1
- ο κώδικας με βάρη 7 4 2 1 που χρησιμοποιεί 4 bits με βάρη 7 4 2 1
- ο Biquinary κώδικας που χρησιμοποιεί 7 bits με βάρη 5 0 4 3 2 1 0

2.7.2.1 Ο Κώδικας BCD

Πίνακας 2.7.1
Κώδικας BCD

Δεκαδικό ψηφίο	BCD
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Ο κώδικας BCD είναι δυαδικός κώδικας με βάρη, που χρησιμοποιείται για την κωδικοποίηση των 10 ψηφίων του δεκαδικού συστήματος, όπως δηλώνει άλλωστε το όνομά του: Binary Coded Decimal (δυαδικά κωδικοποιημένο δεκαδικό).

Ο κώδικας BCD χρησιμοποιεί 4 bits με βάρη 8 4 2 1 και παρουσιάζεται στον Πίνακα 2.7.1.

Ο κώδικας BCD είναι ένας τρόπος παράστασης των 10 ψηφίων του δεκαδικού συστήματος, το κάθε ένα από τα οποία αντιστοιχεί σε μία τετράδα bits.

Για παράδειγμα, ο δεκαδικός αριθμός 5 αντιστοιχεί στην τετράδα 0101 ($0 \times 8 + 1 \times 4 + 0 \times 2 + 1 \times 1 = 5$).

2.7.2.2 Μετατροπή από BCD σε δεκαδικό

Για τη μετατροπή ενός BCD αριθμού σε δεκαδικό αριθμό χωρίζεται ο BCD αριθμός σε ομάδες **τεσσάρων** (4) bits και κάθε ομάδα μετατρέπεται στο ισοδύναμο δεκαδικό ψηφίο, σύμφωνα με τον Πίνακα 2.7.1.

Για παράδειγμα, ο BCD αριθμός 100011000101001 αντιστοιχεί στο δεκαδικό αριθμό 8629 αφού:

1000	0110	0010	1001
8	6	2	9

Παρατήρηση: Ο κώδικας BCD χρησιμοποιεί τους 10 από τους 16 δυνατούς συνδυασμούς των 4 bits. Οι 6 συνδυασμοί 1010, 1011, 1100, 1101, 1110 και 1111 δε χρησιμοποιούνται.

2.7.2.3 Μετατροπή από δεκαδικό σε BCD

Για τη μετατροπή ενός δεκαδικού αριθμού σε BCD αριθμό, μετατρέπεται κάθε ψηφίο του δεκαδικού αριθμού σε μία ομάδα **τεσσάρων** (4) bits που αποτελούν τον ισοδύναμο BCD αριθμό του κάθε δεκαδικού ψηφίου, σύμφωνα με τον Πίνακα 2.7.1.

Για παράδειγμα, ο δεκαδικός αριθμός 4638 αντιστοιχεί στον BCD αριθμό 0100011000111000 αφού:

4	6	3	8
0100	0110	0011	1000

2.7.2.4 Αριθμοί του κώδικα BCD και δυαδικό αριθμοί

Ο κώδικας BCD δεν είναι ένα άλλο αριθμητικό σύστημα (όπως το δεκαδικό, το δυαδικό, το οκταδικό, το δεκαεξαδικό), αλλά είναι ένας τρόπος παράστασης των 10 ψηφίων του δεκαδικού συστήματος, το κάθε ένα από τα οποία αντιστοιχεί σε μία τετράδα bits.

Επομένως, είναι σημαντική η διαφορά ανάμεσα στη δυαδική κωδικοποίηση ενός δεκαδικού αριθμού και στη μετατροπή ενός δεκαδικού αριθμού στο δυαδικό σύστημα.

Ο κώδικας BCD είναι ένας άμεσος δυαδικός μετατροπέας μόνο για τους δεκαδικούς αριθμούς 0-9. Για τους δεκαδικούς αριθμούς που είναι μεγαλύτεροι από 9, η κωδικοποίηση και η μετατροπή είναι διαφορετικές.

Για παράδειγμα, ο δεκαδικός αριθμός 253 αντιστοιχεί:

- στον 12-bits BCD αριθμό 001001010011
- στον 8-bits δυαδικό αριθμό 11111101

2.7.3 Δυαδικοί κώδικες χωρίς βάρη

2.7.3.1 Ορισμοί

Στους δυαδικούς κώδικες χωρίς βάρη η θέση κάθε bit του κώδικα δεν αντι-στοιχεί κάποιο βάρος, όπως γίνεται στους δυαδικούς κώδικες με βάρη. Αυτοί οι κώδικες προκύπτουν από κάποιον κανόνα.

Τέτοιοι δυαδικοί κώδικες χωρίς βάρη είναι οι ακόλουθοι:

- ο κώδικας Gray
- ο κώδικας υπερβολής κατά 3 (excess-3)

2.7.3.2 Ο κώδικας GRAY

Ο κώδικας Gray είναι δυαδικός κώδικας χωρίς βάρη που χρησιμοποιείται για την κωδικοποίηση των δεκαδικών αριθμών (όχι μόνο των 10 ψηφίων του δεκαδικού συστήματος, όπως γίνεται στον κώδικα BCD).

Πίνακας 2.7.2
Κώδικας Gray

Δεκαδικός Αριθμός	Gray
0	0000
1	0001
2	0011
3	0010
4	0110
5	0111
6	0101
7	0100
8	1100
9	1101
10	1111
11	1110
12	1010
13	1011
14	1001
15	1000

Ο κώδικας Gray που χρησιμοποιεί 4 bits (κωδικοποίηση των 16 πρώτων δεκαδικών αριθμών 0-15) παρουσιάζεται στον Πίνακα 2.7.2.

Ο κώδικας Gray ονομάζεται κατοπτρικός κώδικας, λόγω του τρόπου κατασκευής του. Στον Πίνακα 2.7.2 φαίνεται ότι:

Η πρώτη στήλη από δεξιά (LSB) ξεκινάει πρώτα με ένα "0" και μετά με ένα "1". Αυτά είναι τα 2 πρώτα κατακόρυφα bits. Τα επόμενα 2 κατακόρυφα bits είναι κατοπτρικά των 2 πρώτων bits (υπάρχει συμμετρία ως προς τη μέση τους). Έτσι, δημιουργούνται 4 bits. Τα επόμενα 4 κατακόρυφα bits είναι κατοπτρικά των 4 πρώτων bits. Έτσι, δημιουργούνται 8 bits. Τα επόμενα 8 bits είναι κατοπτρικά των 8 πρώτων bits.

Η δεύτερη στήλη από δεξιά ξεκινάει πρώτα με δύο "0" και μετά με δύο "1". Τα επόμενα 4 bits είναι κατοπτρικά των 4 πρώτων bits. Έτσι, δημιουργούνται 8 bits. Τα επόμενα 8 bits είναι κατοπτρικά των 8 πρώτων bits.

Αυτή η διαδικασία επαναλαμβάνεται και στις επόμενες στήλες. Η τρίτη στήλη από δεξιά ξεκινάει πρώτα με τέσσερα "0" και μετά με τέσσερα "1" και είναι κατοπτρική ως προς το μέσον της. Η τέταρτη στήλη από δεξιά ξεκινάει πρώτα με οκτώ "0" και μετά με οκτώ "1".

Ο κώδικας Gray έχει το εξής σημαντικό χαρακτηριστικό: **στον κώδικα Gray αλλάζει ένα μόνο bit μεταξύ δύο διαδοχικών αριθμών**. Για παράδειγμα, οι διαδοχικοί αριθμοί 5 και 6 του κώδικα Gray είναι 0111 και 0101, αντίστοιχα, δηλαδή αλλάζει μόνο το δεύτερο bit από δεξιά. Επίσης, οι διαδοχικοί αριθμοί 7 και 8 του κώδικα Gray είναι 0100 και 1100, αντίστοιχα, δηλαδή αλλάζει μόνο το τέταρτο bit από δεξιά. Αυτό δε συμβαίνει στο δυαδικό σύστημα. Οι διαδοχικοί αριθμοί 5 και 6 στο δυαδικό σύστημα είναι 0101 και 0110, αντίστοιχα, δηλαδή αλλάζουν τα 2 bits από δεξιά. Επίσης, οι διαδοχικοί αριθμοί 7 και 8 στο δυαδικό σύστημα είναι 0111 και 1000, αντίστοιχα, δηλαδή αλλάζουν και τα 4 bits.

Αν χρησιμοποιούνται δυαδικοί αριθμοί για τη μετάβαση από έναν αριθμό στον επόμενο, τότε υπάρχει η πιθανότητα σφάλματος: η μετάβαση από το 0111 (7) στο 1000 (8) μπορεί να οδηγήσει (για μικρό χρονικό διάστημα) στο 0110 (4) αν το LSB αλλάζει γρηγορότερα από τα άλλα bits, με αποτέλεσμα να γίνει λάθος στη μετατροπή. Αν χρησιμοποιείται ο κώδικας Gray για τη μετάβαση από έναν αριθμό στον επόμενο, τότε η πιθανότητα σφάλματος εξαλείφεται: η μετάβαση από το 0100 (7) στο 1100 (8) επιτυγχάνεται με την αλλαγή ενός (1) μόνο bit.

2.7.4 Αλφαριθμητικοί κώδικες

2.7.4.1 Ορισμοί

Πολλές εφαρμογές των ηλεκτρονικών υπολογιστών απαιτούν τη χρήση δεδομένων που αποτελούνται από αριθμούς αλλά και από γράμματα και από ειδικούς χαρακτήρες. Για παράδειγμα, το λογιστήριο μίας εταιρείας χρησιμοποιεί ηλεκτρονικό υπολογιστή για να επεξεργάζεται τα αρχεία της μισθοδοσίας της εταιρείας. Για να παρασταθούν τα ονόματα των εργαζομένων σε δυαδική μορφή, πρέπει να υπάρχει ένας δυαδικός κώδικας για το αλφάβητο. Για να παρασταθούν οι μισθοί των εργαζομένων σε δυαδική μορφή πρέπει να υπάρχει ένας δυαδικός κώδικας για τους δεκαδικούς αριθμούς και για κάποιους ειδικούς χαρακτήρες, όπως είναι ο χαρακτήρας "\$".

Οι **αλφαριθμητικοί χαρακτήρες** περιλαμβάνουν:

- ☛ τα 26 κεφαλαία γράμματα του αγγλικού αλφαβήτου A-Z
- ☛ τα 26 μικρά γράμματα του αγγλικού αλφαβήτου a-z
- ☛ τα 10 δεκαδικά ψηφία 0-9
- ☛ τους ειδικούς χαρακτήρες (τα σημεία στίξης όπως ! , ? και άλλους χαρακτήρες όπως @ # \$ % & * + /).

Ένας **αλφαριθμητικός κώδικας** είναι ένας συστηματικός τρόπος παράστασης των αλφαριθμητικών χαρακτήρων σε δυαδική μορφή. Κάθε αλφαριθμητικός χαρακτήρας παριστάνεται με μία ομάδα bits, το μέγεθος της οποίας εξαρτάται από το πλήθος των αλφαριθμητικών χαρακτήρων που παριστάνει ο κώδικας.

Τέτοιοι δυαδικοί αλφαριθμητικοί κώδικες είναι οι ακόλουθοι:

- ο κώδικας ASCII που χρησιμοποιεί 7 bits
- ο κώδικας Baudot που χρησιμοποιεί 5 bits

2.7.4.2 Ο κώδικας ASCII

Ο πλέον συχνά χρησιμοποιούμενος δυαδικός αλφαριθμητικός κώδικας είναι ο κώδικας ASCII (American Standard Code for Information Interchange) ο οποίος χρησιμοποιεί 7 bits για την κωδικοποίηση 128 χαρακτήρων.

Ο κώδικας ASCII περιλαμβάνει 94 εκτυπώσιμους γραφικούς χαρακτήρες και 34 μη εκτυπώσιμους χαρακτήρες ελέγχου (control characters), δηλαδή συνολικά 128 χαρακτήρες που παρουσιάζονται στον Πίνακα 2.7.3.

Πίνακας 2.7.3 Κώδικας ASCII

$b_7b_6b_5$ $b_4b_3b_2b_1$	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	'	p
0001	SOH	DC1	!	1	A	Q	a	q
0010	STX	DC2	"	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	\$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(8	H	X	h	x
1001	HT	EM)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VT	ESC	+	;	K	[k	{
1100	FF	FS	'	<	L	\	l	!
1101	CR	GS	-	=	M]	m	}
1110	SO	RS	.	>	N	Æ	n	~
1111	SI	US	/	?	O	-	o	DEL

Οι εκτυπώσιμοι χαρακτήρες είναι:

- ✓ τα 26 κεφαλαία γράμματα του αγγλικού αλφαβήτου A-Z
- ✓ τα 26 μικρά γράμματα του αγγλικού αλφαβήτου a-z
- ✓ οι 10 αριθμοί 0-9
- ✓ οι 32 ειδικοί χαρακτήρες.

Οι χαρακτήρες ελέγχου χωρίζονται σε:

- ✓ διαμορφωτές μορφής
- ✓ διαχωριστές πληροφορίας
- ✓ χαρακτήρες ελέγχου-επικοινωνίας.

Οι ηλεκτρονικοί υπολογιστές συνήθως χρησιμοποιούν δυαδικές λέξεις των 8 bits (1 byte), ενώ ο κώδικας ASCII χρησιμοποιεί 7 bits. Έτσι, κάθε χαρακτήρας του κώδικα ASCII συνήθως αναπαρίσταται με 1 byte των 8 bits, οπότε μπορεί να γίνει κωδικοποίηση 256 χαρακτήρων. Για την κωδικοποίηση των 128 χαρακτήρων του κώδικα ASCII χρησιμοποιείται το MSB με τιμή "0" (και τα υπόλοιπα 7 bits είναι τα 7 bits του κώδικα ASCII).

Παράδειγμα: Η λέξη **bit** στον κώδικα ASCII είναι:

b	i	t
1100010	1101001	1110100

Για την κωδικοποίηση άλλων χαρακτήρων (για παράδειγμα τα γράμματα του ελληνικού αλφαβήτου) χρησιμοποιείται το MSB με τιμή "1". Με τον τρόπο αυτόν έχει προκύψει το Πρότυπο ΕΛΟΤ-928 του Ελληνικού Οργανισμού Τυποποίησης που είναι εγκεκριμένο από την ISO (International Standards Organisation).

2.8 ΠΕΡΙΛΗΨΗ

1. Ένα αριθμητικό σύστημα είναι ένα σύνολο από ψηφία (αριθμοί και χαρακτήρες) που χρησιμοποιούνται για αρίθμηση και για υπολογισμούς (πρόσθεση, αφαίρεση, πολλαπλασιασμός, διαίρεση). Η ανάπτυξη των αριθμητικών συστημάτων βασίζεται σε δύο αρχές: την ύπαρξη βάσης (base, radix) του συστήματος και την ύπαρξη βάρους (weight) των θέσεων.
2. Κάθε αριθμός εκφρασμένος σε αριθμητικό σύστημα με βάση (radix) το r παριστάνεται με μία σειρά από ψηφία, οι τιμές των οποίων κυμαίνονται από 0 μέχρι $r-1$, δηλαδή:

$$(A)_r = a_n a_{n-1} \dots a_2 a_1 a_0$$

Ο αντίστοιχος δεκαδικός αριθμός (αριθμητικό σύστημα με βάση το 10) είναι:

$$(A)_{10} = a_n x r^n + a_{n-1} x r^{n-1} + \dots + a_2 x r^2 + a_1 x r^1 + a_0 x r^0$$

Το MSB ενός δυαδικού αριθμού είναι το πρώτο από αριστερά bit και έχει το μεγαλύτερο βάρος.

Το LSB ενός δυαδικού αριθμού είναι το πρώτο από δεξιά bit και έχει το μικρότερο βάρος.

Στον Πίνακα 2.8.1 παρουσιάζονται τα ακόλουθα Αριθμητικά Συστήματα:

- δεκαδικό (βάση 10)
- δυαδικό (βάση 2)
- οκταδικό (βάση 8) και
- δεκαεξαδικό (βάση 16)

Πίνακας 2.8.1 Αριθμητικά συστήματα

Δεκαδικό βάση 10	Δυαδικό Βάση 2	Οκταδικό βάση 8	Δεκαεξαδικό βάση 16
00	0000	00	0
01	0001	01	1
02	0010	02	2
03	0011	03	3
04	0100	04	4
05	0101	05	5
06	0110	06	6
07	0111	07	7
08	1000	10	8
09	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F

3. Οι μνημονικοί κανόνες των δυαδικών πράξεων συνοψίζονται στον Πίνακα 2.8.2.

Πρόσθεση	Αφαίρεση
$0+0=0$	$0-0=0$
$0+1=1$	$0-1=11$
$1+0=1$	$1-0=1$
$1+1=10$	$1-1=0$

4. Κώδικας είναι ένας συστηματικός τρόπος παράστασης πληροφοριών.
5. Δυαδικός κώδικας είναι ένας συστηματικός τρόπος παράστασης πληροφοριών σε δυαδική μορφή. Οι δυαδικοί κώδικες χρησιμοποιούν το δυαδικό ψηφίο (bit) με δύο πιθανές τιμές "0" και "1".
6. Ο κώδικας BCD είναι δυαδικός κώδικας με βάρη που χρησιμοποιείται για την κωδικοποίηση των 10 ψηφίων του δεκαδικού συστήματος, όπως δηλώνει άλλωστε το όνομά του: Binary Coded Decimal (δυαδικά κωδικοποιημένο δεκαδικό).
7. Ο κώδικας Gray είναι δυαδικός κώδικας χωρίς βάρη που χρησιμοποιείται για την κωδικοποίηση των δεκαδικών αριθμών (όχι μόνο των 10 ψηφίων του δεκαδικού συστήματος, όπως γίνεται στον κώδικα BCD).
8. Ένας αλφαριθμητικός κώδικας είναι ένας συστηματικός τρόπος παράστασης των αλφαριθμητικών χαρακτήρων σε δυαδική μορφή. Κάθε αλφαριθμητικός χαρακτήρας παριστάνεται με μία ομάδα bits, το μέγεθος της οποίας εξαρτάται από το πλήθος των αλφαριθμητικών χαρακτήρων που παριστάνει ο κώδικας.

2.9 ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ

1. Να μετατραπούν σε δεκαδικούς οι δυαδικοί αριθμοί:

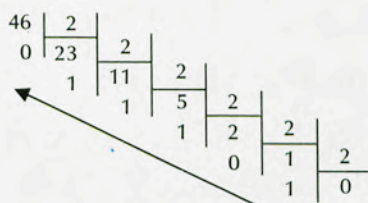
α. 1010, β. 10110011

$$\alpha. (1010)_2 = 1x2^3 + 0x2^2 + 1x2^1 + 0x2^0 = 8 + 0 + 2 + 0 = (10)_{10}$$

$$\beta. (10110011)_2 = 1x2^7 + 0x2^6 + 1x2^5 + 1x2^4 + 0x2^3 + 0x2^2 + 1x2^1 + 1x2^0 = 128 + 0 + 32 + 16 + 0 + 0 + 2 + 1 = (179)_{10}$$

2. Να μετατραπεί σε δυαδικό ο δεκαδικός αριθμός 46.

$$(46)_{10} = (101110)_2$$



$$\beta. (1011000110101110100010)_2 = (2C6BA2)_{16}$$

0010	1100	0110	1011	1010	0010
2	C	6	B	A	2

6. Να μετατραπεί ο δεκαεξαδικός F3A7C2 σε δυαδικό.

$$(F3A7C2)_{16} = (111100111010011111000010)_2$$

F	3	A	7	C	2
1111	0011	1010	0111	1100	0010

7. Να μετατραπεί ο οκταδικός 4370 σε δυαδικό.

$$(4370)_8 = (100011111000)_2$$

100	011	111	000
4	3	7	0

8. Να πραγματοποιηθούν οι δυαδικές πράξεις:

α. $(1111)_2 + (1110)_2$

β. $(1101)_2 - (1010)_2$

α. $(1111)_2 + (1110)_2 = (11101)_2$

Κρατούμενο	1	1			
	1	1	1	1	15
+	1	1	1	0	+ 14
	1	1	0	1	29

β. $(1101)_2 - (1010)_2 = (0101)_2$

Δανεικό	1				
	1	1	0	1	13
-	1	0	1	0	- 10
	0	0	1	1	3

9. Να πραγματοποιηθούν οι δεκαεξαδικές πράξεις:

α. $(10F9)_{16} + (AB28)_{16}$

β. $(E49B)_{16} - (2C73)_{16}$

α. $(10F9)_{16} + (AB28)_{16} = (BC21)_{16}$

Κρατούμενο		1	1		
	1	0	F	9	4345
+	A	B	2	8	+ 43816
	B	C	2	1	48161

$$\beta. (E49B)_{16} - (2C73)_{16} = (B828)_{16}$$

	D	20			
	E	A	9	B	58523
-	2	C	7	3	- 11379
	B	8	2	8	47144

10. Να μετατραπεί ο 11-bits δυαδικός αριθμός 11010001110 σε BCD αριθμό. Ο 11-bits δυαδικός αριθμός 11010001110 αντιστοιχεί στο δεκαδικό αριθμό 1678, αφού:

$$(11010001110)_2 = 1x2^{10} + 1x2^9 + 0x2^8 + 1x2^7 + 0x2^6 + 0x2^5 + 0x2^4 + 1x2^3 + 1x2^2 + 1x2^1 + 0x2^0 = (1678)_{10}$$

Ο δεκαδικός αριθμός 1678 αντιστοιχεί στον 16-bits BCD αριθμό 0001011001111000, αφού:

1	6	7	8
0001	0110	0111	1000

Επομένως, ο 11-bits δυαδικός αριθμός 11010001110 αντιστοιχεί στον 16-bits BCD αριθμό 0001011001111000.

2.10 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ

1. Τι είναι MSB και τι είναι LSB;
2. Ποιος είναι ο μεγαλύτερος δεκαδικός αριθμός που μπορεί να παρασταθεί στο δυαδικό σύστημα χρησιμοποιώντας 10 bits;
3. Ποιο είναι το ελάχιστο πλήθος bits που απαιτούνται για να παρασταθεί στο δυαδικό σύστημα ο δεκαδικός αριθμός 2149;
4. Πόσες είναι οι θέσεις μνήμης ενός ηλεκτρονικού υπολογιστή, οι διευθύνσεις μνήμης του οποίου αριθμούνται από 0000 μέχρι και FFFF στο δεκαεξαδικό σύστημα;
5. Να μετατρέψετε τον 8-bits δυαδικό αριθμό 11100011 σε δεκαδικό.
6. Να μετατρέψετε το δεκαδικό αριθμό 18 σε δυαδικό.
7. Ποιες από τις παρακάτω σχέσεις είναι αληθείς και ποιες ψευδείς;

α. $(73)_8 = (3B)_{16}$

Αληθής Ψευδής

β. $(11011011)_2 = (192)_{10}$

Αληθής Ψευδής

$$\gamma. (2BC)_{16} = (700)_{10}$$

$$\delta. (4095)_{10} = (FFF)_{16}$$

Αληθής Ψευδής Αληθής Ψευδής

8. Να συμπληρώσετε τον παρακάτω Πίνακα ισοδύναμων αριθμών στο δεκαδικό, δυαδικό, οκταδικό και δεκαεξαδικό αριθμητικό σύστημα:

Δεκαδικό Σύστημα	Δυαδικό Σύστημα	Οκταδικό Σύστημα	Δεκαεξαδικό Σύστημα
10			
	1100		
		31	
			2F

9. Να συμπληρώσετε τον παρακάτω Πίνακα ισοδύναμων αριθμών στο δυαδικό, οκταδικό και δεκαεξαδικό αριθμητικό σύστημα:

Δυαδικό Σύστημα	Οκταδικό Σύστημα	Δεκαεξαδικό Σύστημα
100110001111		
	6740	
		B14

10. Να βρείτε τα αποτελέσματα των δυαδικών πράξεων:

$$\alpha. (0111)_2 + (0011)_2$$

$$\beta. (1100)_2 - (1001)_2$$

11. Να βρείτε τα αποτελέσματα των δεκαεξαδικών πράξεων:

$$\alpha. (35E)_{16} + (A1)_{16}$$

$$\beta. (12B)_{16} + (1C)_{16}$$

$$\gamma. (41)_{16} - (C)_{16}$$

$$\delta. (3F2)_{16} - (D1)_{16}$$

12. Το αποτέλεσμα της δεκαεξαδικής πρόσθεσης $A+C$ είναι ο δεκαεξαδικός αριθμός:

$$\alpha) A1 \quad \beta) 16 \quad \gamma) 61 \quad \delta) 1C$$

13. Το αποτέλεσμα της δεκαεξαδικής αφαίρεσης 12F-4E είναι ο δεκαεξαδικός αριθμός:
 α) A1 β) F0 γ) EA δ) E1
14. Να μετατρέψετε το δεκαδικό αριθμό 54 σε
 α. BCD αριθμό
 β. δυαδικό αριθμό
15. Ποιο από τα παρακάτω είναι σωστό και ποιο είναι λάθος;
 α. Ο δεκαδικός αριθμός 72 αντιστοιχεί στον BCD αριθμό 01110010
 ΣΩΣΤΟ ΛΑΘΟΣ
 β. Ο δεκαδικός αριθμός 94 αντιστοιχεί στον BCD αριθμό 10010101
 ΣΩΣΤΟ ΛΑΘΟΣ
 γ. Ο δεκαδικός αριθμός 38 αντιστοιχεί στον BCD αριθμό 00111000
 ΣΩΣΤΟ ΛΑΘΟΣ
 δ. Ο δεκαδικός αριθμός 15 αντιστοιχεί στον BCD αριθμό 10010101
 ΣΩΣΤΟ ΛΑΘΟΣ
16. Να συμπληρώσετε τον παρακάτω Πίνακα ισοδύναμων δεκαδικών, δυαδικών και BCD αριθμών:

Δεκαδικός Αριθμός	Δυαδικός Αριθμός	BCD Αριθμός
25		
	101100	
		10010011

17. Ποιο από τα παρακάτω είναι σωστό και ποιο είναι λάθος;
 α. Ο κώδικας Gray είναι δυαδικός κώδικας με βάρη
 ΣΩΣΤΟ ΛΑΘΟΣ
 β. Μεταξύ δύο διαδοχικών αριθμών του κώδικα Gray αλλάζει ένα μόνο bit
 ΣΩΣΤΟ ΛΑΘΟΣ
18. Να αποκωδικοποιήσετε τους ακόλουθους ASCII κώδικες:
 α. 1010011 1001111 1010011
 β. 1000010 1001111 1001111 1001100 1000101

Εργασία 1

Ένα παιχνίδι παίζεται με τα εξής φύλλα της τράπουλας:

7

8

9

10

J (Βαλές)

Q (Ντάμα)

K (Ρήγας)

1 (Άσσος)

και των τεσσάρων χρωμάτων της τράπουλας, που είναι:

♠ (Μπαστούνια)

♣ (Σπαθιά)

♦ (Καρά)

♥ (Κούπες)

Να σχεδιάσετε έναν δυαδικό κώδικα για την αναπαράσταση των φύλλων της τράπουλας με τα οποία παίζεται το παιχνίδι αυτό, χρησιμοποιώντας το ελάχιστο δυνατό πλήθος bits.

1. Να μπορείτε να αναλύετε συνδυαστικά κυκλώματα.
2. Να μπορείτε να σχεδιάζετε συνδυαστικά κυκλώματα.
3. Να είστε ικανοί να απλοποιείτε λογικές συναρτήσεις.
4. Να σχεδιάζετε συνδυαστικά κυκλώματα με οικουμενικές πύλες
5. Να υλοποιείτε, στο εργαστήριο, συνδυαστικά κυκλώματα.
6. Να υλοποιείτε, στο εργαστήριο, συνδυαστικά κυκλώματα με οικουμενικές πύλες

3 κεφάλαιο

ΑΝΑΛΥΣΗ ΚΑΙ ΣΧΕΔΙΑΣΗ
ΣΥΝΔΥΑΣΤΙΚΩΝ ΚΥΚΛΩΜΑΤΩΝ

3.1 ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ

3.1.1 Ορισμός

Τα ψηφιακά κυκλώματα ανήκουν σε μία από τις δύο ακόλουθες βασικές κατηγορίες:

☞ συνδυαστικά κυκλώματα (combinational circuits)

☞ ακολουθιακά κυκλώματα (sequential circuits)

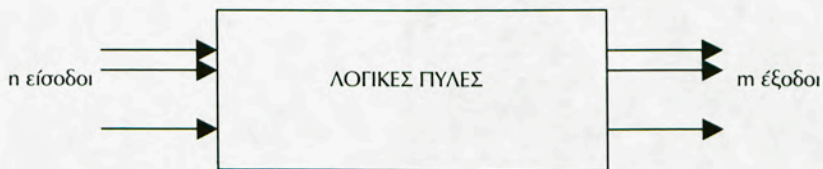
Ένα Συνδυαστικό Κύκλωμα (ΣΚ) αποτελείται από:

✓ εισόδους

✓ λογικές πύλες που συνδέονται μεταξύ τους

✓ εξόδους

όπως φαίνεται στο Σχήμα 3.1.1.



Σχήμα 3.1.1 Συνδυαστικό Κύκλωμα

Όταν ένα συνδυαστικό κύκλωμα έχει n εισόδους και m εξόδους, τότε για κάθε έναν από τους 2^n δυνατούς συνδυασμούς εισόδων υπάρχει ένας και μόνον ένας δυνατός συνδυασμός εξόδων. Κάθε χρονική στιγμή, κάθε μία από τις εξόδους εξαρτάται από τις τιμές των εισόδων την ίδια χρονική στιγμή.

3.1.2 Πίνακας Αλήθειας

Στον Πίνακα Αληθείας ενός Συνδυαστικού Κυκλώματος (ΣΚ) καταγράφονται οι τιμές των εξόδων του ΣΚ για κάθε δυνατό συνδυασμό των τιμών των εισόδων του ΣΚ.

Ένα Συνδυαστικό Κύκλωμα που έχει n μεταβλητές εισόδους και m μεταβλητές εξόδους, έχει έναν Πίνακα Αληθείας. Ο πίνακας αυτός έχει στο αριστερό τμήμα n στήλες, όσες είναι και οι εισόδοι του κυκλώματος και στο δεξί τμήμα m στήλες, όσες είναι και οι εξοδοι του κυκλώματος. Το πλήθος των γραμμών του πίνακα είναι 2^n , όσοι είναι και οι δυνατοί συνδυασμοί των εισόδων. Οι συνδυασμοί παράγονται σύμφωνα με την ακολουθία δυαδικής αρίθμησης του Πίνακα 2.3.1. Για κάθε έναν συνδυασμό εισόδων υπάρχει ένας και μόνον ένας δυνατός συνδυασμός εξόδων, που εξαρτάται από τη λειτουργία του κυκλώματος.

Για παράδειγμα, στον Πίνακα 3.1.1 παρουσιάζεται ο πίνακας αληθείας του συνδυαστικού κυκλώματος που εκτελεί την πρόσθεση δύο δυαδικών ψηφίων (bits). Το κύκλωμα έχει δύο εισόδους x (πρώτος προσθετέος) και y (δεύτερος προσθετέος) και δύο εξόδους S (άθροισμα-sum) και C (κρατούμενο-carry).

Πίνακας 1.2.1 Πίνακας Αληθείας συνδυαστικού κυκλώματος που εκτελεί πρόσθεση

Είσοδοι		Έξοδοι	
x	y	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

3.1.3 Συναρτήσεις εξόδων

Σε ένα ΣΚ, κάθε χρονική στιγμή, κάθε μία από τις εξόδους εξαρτάται από τις εισόδους της ίδιας χρονικής στιγμής και μπορεί να εκφραστεί ως λογική συνάρτηση των μεταβλητών εισόδου. Όταν μία μεταβλητή έχει τιμή "1" στον πίνακα αληθείας, τότε εμφανίζεται ως έχει στη συνάρτηση, ενώ όταν έχει τιμή "0", τότε εμφανίζεται με το συμπλήρωμά της. Κάθε μεταβλητή λαμβάνει την κανονική της μορφή. Οι συναρτήσεις των εξόδων του ΣΚ προκύπτουν από τον Πίνακα Αληθείας του ΣΚ.

Για παράδειγμα, από τον Πίνακα αληθείας 3.1.1 προκύπτει ότι:

✓ η συνάρτηση εξόδου S έχει τιμή $S=1$

όταν $x=1$ και (AND) $y=0$ ($x \cdot \bar{y}$)

ή (OR)

όταν $x=0$ και (AND) $y=1$ ($\bar{x} \cdot y$)

διαφορετικά έχει τιμή $S=0$

επομένως

$$S = x \cdot \bar{y} + \bar{x} \cdot y = x \oplus y$$

✓ η συνάρτηση εξόδου C έχει τιμή $C=1$

όταν $x=1$ και (AND) $y=1$ ($x \cdot y$)

διαφορετικά έχει τιμή $C=0$

επομένως

$$C = x \cdot y$$

3.1.4 Λογικό κύκλωμα

Οι συναρτήσεις εξόδων του ΣΚ μπορούν να υλοποιηθούν χρησιμοποιώντας λογικές πύλες, οπότε προκύπτει το λογικό κύκλωμα.



Σχήμα 3.1.2 Λογικό κύκλωμα

Το λογικό κύκλωμα παρουσιάζεται στο Σχήμα 3.1.2.

Για παράδειγμα, το ΣΚ με τις συναρτήσεις εξόδου που προέκυψαν στην παράγραφο 3.1.3 μπορεί να υλοποιηθεί με τις ακόλουθες πύλες:

- ✓ μία πύλη XOR
- ✓ μία πύλη AND

3.2 ΑΠΛΟΠΟΙΗΣΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ

Η απλοποίηση των συναρτήσεων εξόδου ενός ΣΚ οδηγεί σε απλούστερο (και οικονομικότερο) κύκλωμα.

Στην παράγραφο αυτή θα παρουσιαστούν δύο μέθοδοι απλοποίησης λογικών συναρτήσεων:

- ☛ με χρήση της Άλγεβρας Boole
- ☛ με χρήση των χαρτών Karnaugh

3.2.1 Απλοποίηση με χρήση άλγεβρας BOOLE

Η μέθοδος απλοποίησης λογικών συναρτήσεων με χρήση της Άλγεβρας Boole, βασίζεται στη χρήση των Αξιωμάτων και των Θεωρημάτων της Άλγεβρας Boole (θα ήταν πολύ χρήσιμο να ξαναδιαβάζατε τον αντίστοιχο συγκεντρωτικό Πίνακα της Περιληψης του Κεφαλαίου 1).

Παραδείγματα.

1. Να απλοποιηθεί η λογική συνάρτηση $Y = \bar{A} \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C}$

$$\begin{aligned} Y &= \bar{A} \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C} = \\ &= \bar{A} \cdot B \cdot (C + \bar{C}) = \\ &= \bar{A} \cdot B \end{aligned}$$

2. Να απλοποιηθεί η λογική συνάρτηση $Y = (A+B) \cdot (A+\bar{B})$

$$\begin{aligned} Y &= (A+B) \cdot (A+\bar{B}) = \\ &= A \cdot A + A \cdot \bar{B} + B \cdot A + B \cdot \bar{B} = \\ &= A + A \cdot \bar{B} + A \cdot B + 0 = \\ &= (A + A \cdot B) + A \cdot \bar{B} = \\ &= A + A \cdot \bar{B} = \\ &= A \text{ (Θεώρημα Απορρόφησης)} \end{aligned}$$

3. Να απλοποιηθεί η λογική συνάρτηση $Y = \overline{\overline{A} \cdot \overline{B} + \overline{C}}$

$$\begin{aligned} Y &= \overline{\overline{A} \cdot \overline{B} + \overline{C}} = \\ &= \overline{\overline{A} \cdot \overline{B}} \cdot \overline{\overline{C}} = (\text{Θεώρημα De Morgan}) \\ &= (A+B) \cdot C \end{aligned}$$

3.2.2 Απλοποίηση με χάρτες KARNAUGH

Η μέθοδος απλοποίησης λογικών συναρτήσεων με χρήση των χαρτών Karnaugh είναι μία γραφική μέθοδος που βασίζεται σε μία διαφορετική αναπαράσταση των Πινάκων Αληθείας των λογικών συναρτήσεων και χρησιμοποιείται με ευκολία για απλοποίηση λογικών συναρτήσεων δύο, τριών και τεσσάρων μεταβλητών.

Ελάχιστοι όροι μίας συνάρτησης ονομάζονται τα γινόμενα όλων των όρων της συνάρτησης, όπου ο κάθε όρος (μεταβλητή) εμφανίζεται στην κανονική ή στη συμπληρωματική του μορφή.

Μία συνάρτηση n μεταβλητών έχει 2^n ελάχιστους όρους.

Στον Πίνακα 3.2.1 παρουσιάζονται οι οκτώ ελάχιστοι όροι μίας συνάρτησης τριών μεταβλητών ($2^3=8$).

Πίνακας 3.2.1 Ελάχιστοι Όροι

A	B	C	Ελάχιστοι όροι
0	0	0	$m_0 = \overline{A} \cdot \overline{B} \cdot \overline{C}$
0	0	1	$m_1 = \overline{A} \cdot \overline{B} \cdot C$
0	1	0	$m_2 = \overline{A} \cdot B \cdot \overline{C}$
0	1	1	$m_3 = \overline{A} \cdot B \cdot C$
1	0	0	$m_4 = A \cdot \overline{B} \cdot \overline{C}$
1	0	1	$m_5 = A \cdot \overline{B} \cdot C$
1	1	0	$m_6 = A \cdot B \cdot \overline{C}$
1	1	1	$m_7 = A \cdot B \cdot C$

Κάθε συνάρτηση μπορεί να εκφρασθεί ως άθροισμα ελάχιστων όρων.

Παράδειγμα 1

Να εκφραστεί ως άθροισμα ελάχιστων όρων η συνάρτηση Y τριών μεταβλητών, ο πίνακας αληθείας της οποίας παρουσιάζεται στον Πίνακα 3.2.2.

Πίνακας 3.2.2 Πίνακας Αλήθειας της συνάρτησης Y

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Η συνάρτηση Y γράφεται ως άθροισμα ελάχιστων όρων:

$$Y = \bar{A} \cdot \bar{B} \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C$$

Παράδειγμα 2

Να εκφραστεί η συνάρτηση τριών μεταβλητών $Y = A \cdot B + \bar{A} \cdot C$ ως άθροισμα ελαχίστων όρων

Η συνάρτηση δίνεται σε μορφή αθροίσματος γινομένων. Όμως σε κάθε γινόμενο δεν υπάρχουν όλοι οι όροι (μεταβλητές). Για τις μεταβλητές που λείπουν από κάθε γινόμενο του αθροίσματος, πολλαπλασιάζουμε το γινόμενο αυτό με το άθροισμα της μεταβλητής, που λείπει και του συμπληρώματός της.

Αν για παράδειγμα, λείπει η μεταβλητή A από ένα γινόμενο, τότε πολλαπλασιάζουμε το γινόμενο αυτό με το $(A + \bar{A})$. Έτσι, όλα τα γινόμενα μετατρέπονται σε ελάχιστους όρους. Επομένως, η συνάρτηση εκφράζεται ως άθροισμα ελαχίστων όρων.

Αυτή η διαδικασία εφαρμόζεται παρακάτω:

$$\begin{aligned} Y &= A \cdot B + \bar{A} \cdot C = \\ &= A \cdot B \cdot (C + \bar{C}) + \bar{A} \cdot (B + \bar{B}) \cdot C = \\ &= A \cdot B \cdot C + A \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + \bar{A} \cdot \bar{B} \cdot C \end{aligned}$$

Αναπαράσταση λογικών συναρτήσεων με χάρτες Karnaugh.

Οι χάρτες Karnaugh είναι ένας τρόπος αναπαράστασης των λογικών συναρτήσεων. Ο χάρτης Karnaugh αποτελείται από τετράγωνα, το κάθε ένα από τα οποία αντιστοιχεί σε έναν ελάχιστο όρο της λογικής συνάρτησης που αναπαριστά.

Οι χάρτες Karnaugh δύο, τριών και τεσσάρων μεταβλητών παρουσιάζονται στα Σχήματα 3.2.1, 3.2.2 και 3.2.3, αντίστοιχα.

	\bar{B}	B
\bar{A}	m0	m1
A	m2	m3

Σχήμα 3.2.1 Χάρτης Karnaugh δύο μεταβλητών

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}	m0	m1	m3	m2
A	m4	m5	m7	m6

Σχήμα 3.2.2 Χάρτης Karnaugh τριών μεταβλητών

	$\bar{C} \cdot \bar{D}$	$\bar{C} \cdot D$	$C \cdot D$	$C \cdot \bar{D}$
$\bar{A} \cdot \bar{B}$	m0	m1	m3	m2
$\bar{A} \cdot B$	m4	m5	m7	m6
$A \cdot \bar{B}$	m12	m13	m15	m14
$A \cdot B$	m8	m9	m11	m10

Σχήμα 3.2.3 Χάρτης Karnaugh τεσσάρων μεταβλητών

Η αναπαράσταση μίας λογικής συνάρτησης με χάρτη Karnaugh γίνεται θέτοντας "1" σε κάθε τετράγωνο του χάρτη Karnaugh που αντιστοιχεί σε ελάχιστο όρο, όπου η συνάρτηση έχει τιμή "1" και "0" (ή τίποτα) σε κάθε τετράγωνο του χάρτη Karnaugh που αντιστοιχεί σε ελάχιστο όρο, όπου η συνάρτηση έχει τιμή "0".

Παράδειγμα 1

Να αναπαρασταθεί με χάρτη Karnaugh η λογική συνάρτηση δύο μεταβλητών $Y(A,B) = A \cdot \bar{B} + \bar{A} \cdot B$

Η συνάρτηση γράφεται σε μορφή αθροίσματος ελάχιστων όρων, επομένως μπορεί να αναπαρασταθεί με το χάρτη Karnaugh του Σχήματος 3.2.4.

	\bar{B}	B
\bar{A}		1
A	1	

Σχήμα 3.2.4 Χάρτης Karnaugh της συνάρτησης $Y(A, B) = A \cdot \bar{B} + \bar{A} \cdot B$

Παράδειγμα 2

Να αναπαρασταθεί με χάρτη Karnaugh η λογική συνάρτηση τριών μεταβλητών $Y(A,B,C) = \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot C$

Η συνάρτηση είναι σε μορφή αθροίσματος ελάχιστων όρων, επομένως μπορεί να αναπαρασταθεί με τον χάρτη Karnaugh του Σχήματος 3.2.5.

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}			1	1
A	1	1		

Σχήμα 3.2.5 Χάρτης Karnaugh της συνάρτησης $Y(A, B, C) = \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot C$

Παράδειγμα 3

Να αναπαρασταθεί με χάρτη Karnaugh η λογική συνάρτηση τριών μεταβλητών $Y(A,B,C) = \bar{A} \cdot B \cdot C + A \cdot C$

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}			1	
A		1	1	

Σχήμα 3.2.6 Χάρτης Karnaugh της συνάρτησης

$$Y(A, B, C) = \bar{A} \cdot B \cdot C + A \cdot C$$

Η συνάρτηση γράφεται σε μορφή αθροίσματος ελάχιστων όρων:

$$\begin{aligned} Y(A, B, C) &= \bar{A} \cdot B \cdot C + A \cdot C = \\ &= \bar{A} \cdot B \cdot C + A \cdot (B + \bar{B}) \cdot C = \\ &= \bar{A} \cdot B \cdot C + A \cdot B \cdot C + A \cdot \bar{B} \cdot C \end{aligned}$$

Επομένως η συνάρτηση μπορεί να αναπαρασταθεί με το χάρτη Karnaugh του Σχήματος 3.2.6.

Να παρατηρήσετε ότι:

- ο όρος $\bar{A} \cdot B \cdot C$ της συνάρτησης αντιστοιχεί στο μπλε τετράγωνο του χάρτη Karnaugh, που είναι η τομή των περιοχών $A=0$, $B=1$ και $C=1$
- ο όρος $A \cdot C$ συνάρτησης αντιστοιχεί στα δύο κόκκινα τετράγωνα του χάρτη Karnaugh, που είναι η τομή των περιοχών $A=1$ και $C=1$

Παράδειγμα 4

Να αναπαρασταθεί με χάρτη Karnaugh η λογική συνάρτηση τριών μεταβλητών $Y(A, B, C, D) = A \cdot B \cdot C \cdot D + \bar{A} \cdot B \cdot C + \bar{C} \cdot \bar{D}$

Η συνάρτηση γράφεται σε μορφή αθροίσματος ελάχιστων όρων (να επιβεβαιώσετε το αποτέλεσμα κάνοντας τις απαιτούμενες πράξεις):

$$\begin{aligned} Y(A, B, C, D) &= A \cdot B \cdot C \cdot D + \bar{A} \cdot B \cdot C + \bar{C} \cdot \bar{D} = \\ &= A \cdot B \cdot C \cdot D + \bar{A} \cdot B \cdot C \cdot (D + \bar{D}) + (A + \bar{A}) \cdot (B + \bar{B}) \cdot \bar{C} \cdot \bar{D} = \\ &= \bar{A} \cdot B \cdot C \cdot \bar{D} + \bar{A} \cdot B \cdot C \cdot D + \bar{A} \cdot B \cdot C \cdot \bar{D} + \bar{A} \cdot B \cdot C \cdot D + \\ &\quad + A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + A \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot B \cdot C \cdot D \end{aligned}$$

Επομένως, η συνάρτηση μπορεί να αναπαρασταθεί με τον χάρτη Karnaugh του Σχήματος 3.2.7.

	$\bar{C} \cdot \bar{D}$	$\bar{C} \cdot D$	$C \cdot D$	$C \cdot \bar{D}$
$\bar{A} \cdot \bar{B}$	1			
$\bar{A} \cdot B$	1		1	1
$A \cdot \bar{B}$	1		1	
$A \cdot B$	1			

Σχήμα 3.2.7 Χάρτης Karnaugh της συνάρτησης

$$Y(A, B, C, D) = A \cdot B \cdot C \cdot D + \bar{A} \cdot B \cdot C + \bar{C} \cdot \bar{D}$$

Να παρατηρήσετε ότι:

- ο όρος $A \cdot B \cdot C \cdot D$ της συνάρτησης αντιστοιχεί στο μπλε τετράγωνο του χάρτη Karnaugh, που είναι η τομή των περιοχών $A=1$, $B=1$, $C=1$ και $D=1$
- ο όρος $\bar{A} \cdot B \cdot C$ της συνάρτησης αντιστοιχεί στα δύο κόκκινα τετράγωνα του χάρτη Karnaugh, που είναι η τομή των περιοχών $A=0$, $B=1$ και $C=1$

☞ ο όρος $\overline{C} \cdot \overline{D}$ της συνάρτησης αντιστοιχεί στα τέσσερα πράσινα τετράγωνα του χάρτη Karnaugh, που είναι η τομή των περιοχών $C=0$ και $D=0$

Έτσι, με λίγη προσοχή θα μπορούσαμε να είχαμε αποφύγει τις πράξεις και να τοποθετούσαμε τους "1" της συνάρτησης κατευθείαν στο χάρτη Karnaugh.

Μέθοδος απλοποίησης λογικών συναρτήσεων με χάρτες Karnaugh.

Η βασική ιδέα για την απλοποίηση μίας λογικής συνάρτησης χρησιμοποιώντας χάρτες Karnaugh, είναι η ακόλουθη:

Γειτονικά τετράγωνα σε ένα χάρτη Karnaugh ονομάζονται τα τετράγωνα που είναι σε συνεχόμενες οριζόντιες ή κάθετες θέσεις, αλλά **όχι διαγώνιες** θέσεις.

Το πλήθος των γειτονικών τετραγώνων πρέπει να είναι δύναμη του 2, δηλαδή 2, 4, 8.

Έτσι, στο χάρτη Karnaugh του Σχήματος 3.2.3, τα 2 τετράγωνα που περιέχουν τους ελάχιστους όρους m_0 και m_1 είναι γειτονικά. Επίσης, γειτονικά είναι τα 2 τετράγωνα που περιέχουν τους ελάχιστους όρους m_{11} και m_{15} , τα 4 τετράγωνα που περιέχουν τους ελάχιστους όρους m_4 , m_5 , m_6 και m_7 , καθώς και τα 8 τετράγωνα που περιέχουν τους ελάχιστους όρους m_2 , m_3 , m_6 , m_7 , m_{10} , m_{11} , m_{14} και m_{15} .

Δεν είναι γειτονικά τα 2 τετράγωνα που περιέχουν τους ελάχιστους όρους m_5 και m_{15} .

Ένα σημαντικό χαρακτηριστικό των χαρτών Karnaugh είναι ότι είναι **αναδιπλούμενοι**. Η αναδίπλωση μπορεί να γίνει γύρω από την περίμετρο (τις εξωτερικές γραμμές) του χάρτη Karnaugh.

Έτσι, στο χάρτη Karnaugh του Σχήματος 3.2.3, τα 2 τετράγωνα που περιέχουν τους ελάχιστους όρους m_0 και m_8 είναι γειτονικά. Επίσης, γειτονικά είναι τα 2 τετράγωνα που περιέχουν τους ελάχιστους όρους m_4 και m_6 , τα 4 τετράγωνα που περιέχουν τους ελάχιστους όρους m_2 , m_3 , m_{10} και m_{11} , καθώς και τα 4 τετράγωνα που περιέχουν τους ελάχιστους όρους m_4 , m_6 , m_{12} και m_{14} .

Δύο γειτονικά τετράγωνα σε ένα χάρτη Karnaugh αντιστοιχούν σε ελάχιστους όρους που διαφέρουν κατά μία μόνο μεταβλητή (η οποία εμφανίζεται με την πραγματική τιμή της στον έναν ελάχιστο όρο και με τη συμπληρωματική τιμή της στον άλλον ελάχιστο όρο). Αυτή η μεταβλητή μπορεί να απομακρυνθεί αν και στα δύο γειτονικά τετράγωνα έχει τεθεί "1". Αν λοιπόν ομαδοποιήσουμε 2 γειτονικά τετράγωνα στα οποία έχει τεθεί "1" τότε απομακρύνουμε μία μεταβλητή.

Με την ίδια λογική, αν ομαδοποιήσουμε 4 γειτονικά τετράγωνα στα οποία έχει τεθεί "1", τότε απομακρύνουμε 2 μεταβλητές, αν ομαδοποιήσουμε 8 γειτονικά τετράγωνα στα οποία έχει τεθεί "1", τότε απομακρύνουμε 3 μεταβλητές.

Αν λοιπόν ομαδοποιήσουμε γειτονικά τετράγωνα στα οποία έχει τεθεί "1" (επιτρέπεται να συμπεριληφθεί ένα τετράγωνο σε πολλές ομάδες γειτονικών τετραγώνων), τότε απομακρύνουμε μεταβλητές. Επομένως, επιτυγχάνεται η απλοποίηση της λογικής συνάρτησης που αναπαρίσταται με το χάρτη Karnaugh.

Η μέθοδος απλοποίησης λογικών συναρτήσεων με χάρτες Karnaugh αποτελείται από τα ακόλουθα βήματα:

- ✎ Γράφουμε τη συνάρτηση με μορφή αθροίσματος γινομένων και τοποθετούμε τους "1" της συνάρτησης στο χάρτη Karnaugh.
- ✎ Δημιουργούμε ομάδες με "1" (δηλαδή όρους της συνάρτησης) των 2, 4, 8 μελών από γειτονικά τετράγωνα (οριζόντια, κάθετα και αναδιπλούμενα, αλλά όχι διαγώνια). Προσπαθούμε να δημιουργούμε όσο το δυνατόν μεγαλύτερες ομάδες. Κάθε "1" μπορεί να συμμετάσχει σε περισσότερες από μία ομάδες. Όταν όλοι οι "1", που μπορούν να ομαδοποιηθούν, έχουν συμπεριληφθεί σε κάποια ομάδα, τότε δεν δημιουργούμε νέες ομάδες.
- ✎ Ξαναγράφουμε τη συνάρτηση με όρους που αντιστοιχούν στις ομάδες (παραλείποντας τις μεταβλητές που μέσα στην ομάδα αλλάζουν τιμή) και τους όρους που δεν έχουν ομαδοποιηθεί.

	\bar{B}	B
\bar{A}		
A	1	1

Σχήμα 3.2.8 Χάρτης Karnaugh της συνάρτησης
 $Y = A \cdot \bar{B} + A \cdot B$

Παράδειγμα 1

Να απλοποιηθεί η λογική συνάρτηση δύο μεταβλητών $Y(A,B) = A \cdot \bar{B} + A \cdot B$

Η συνάρτηση είναι σε μορφή αθροίσματος ελαχίστων όρων. Τοποθετούμε τους "1" της συνάρτησης στον χάρτη Karnaugh, όπως φαίνεται στο Σχήμα 3.2.8.

Οι ελάχιστοι όροι $A \cdot \bar{B}$ και $A \cdot B$ δικαιολογούν την απομάκρυνση της μεταβλητής B.

Πράγματι, οι δύο "1" της συνάρτησης ομαδοποιούνται σε μία δυάδα: τα δύο γειτονικά τετράγωνα του χάρτη Karnaugh που βρίσκονται μέσα σε κόκκινο περίγραμμα, αντιστοιχούν στον όρο A. Η ομαδοποίηση των δύο τετραγώνων έχει ως αποτέλεσμα την απομάκρυνση μίας μεταβλητής (της μεταβλητής B) και την απλοποίηση της συνάρτησης ως εξής: $Y = A$

Παράδειγμα 2

Να απλοποιηθεί η λογική συνάρτηση τριών μεταβλητών

$$Y(A,B,C) = \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot C$$

Τοποθετούμε τους "1" της συνάρτησης στο χάρτη Karnaugh, όπως φαίνεται στο Σχήμα 3.2.9.

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}			1	1
A	1	1		

Σχήμα 3.2.9 Χάρτης Karnaugh της συνάρτησης
 $Y(A, B, C) = \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot C$

Οι "1" της συνάρτησης ομαδοποιούνται σε δύο δυάδες:

- ✓ τα δύο γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε κόκκινο περίγραμμα, αντιστοιχούν στον όρο $A \cdot \bar{B}$
- ✓ τα δύο γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε μπλε περίγραμμα, αντιστοιχούν στον όρο $\bar{A} \cdot B$

Η ομαδοποίηση έχει ως αποτέλεσμα την απλοποίηση της συνάρτησης ως εξής:

$$Y = A \cdot \bar{B} + \bar{A} \cdot B$$

Παράδειγμα 3

Να απλοποιηθεί η λογική συνάρτηση τριών μεταβλητών

$$Y(A, B, C) = \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot \bar{C} + A \cdot B \cdot C$$

Η συνάρτηση μπορεί να απλοποιηθεί χρησιμοποιώντας το χάρτη Karnaugh του Σχήματος 3.2.10.

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}			1	
A	1		1	1

Σχήμα 3.2.10 Χάρτης Karnaugh της συνάρτησης
 $Y(A, B, C) = \bar{A} \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot C$

Οι "1" της συνάρτησης ομαδοποιούνται ως εξής:

- ✓ τα δύο γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε κόκκινο περίγραμμα, αντιστοιχούν στον όρο $B \cdot C$
- ✓ τα δύο γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε μπλε περίγραμμα (αναδίπλωση), αντιστοιχούν στον όρο $A \cdot \bar{C}$

Επειδή όλοι οι "1", που μπορούν να ομαδοποιηθούν, έχουν συμπεριληφθεί σε κάποια ομάδα, δεν δημιουργούμε νέες ομάδες (οι "1" της συνάρτησης στα δύο γειτονικά τετράγωνα του χάρτη Karnaugh, που αντιστοιχούν στους όρους $A \cdot B \cdot C$ και $A \cdot B \cdot \bar{C}$ δεν ομαδοποιούνται).

Η ομαδοποίηση έχει ως αποτέλεσμα την απλοποίηση της συνάρτησης ως εξής:

$$Y = A \cdot \bar{C} + B \cdot C$$

Παράδειγμα 4

Να απλοποιηθεί η λογική συνάρτηση τριών μεταβλητών

$$Y(A,B,C) = A \cdot \bar{B} \cdot C + B \cdot \bar{C} + \bar{B} \cdot \bar{C}$$

Η συνάρτηση γράφεται σε μορφή αθροίσματος ελάχιστων όρων (να επιβεβαιώσετε το αποτέλεσμα κάνοντας τις απαιτούμενες πράξεις):

$$\begin{aligned} Y(A,B,C) &= A \cdot \bar{B} \cdot C + B \cdot \bar{C} + \bar{B} \cdot \bar{C} = \\ &= \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} \end{aligned}$$

Η συνάρτηση μπορεί να απλοποιηθεί χρησιμοποιώντας το χάρτη Karnaugh του Σχήματος 3.2.11.

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}	1			1
A	1	1		1

Σχήμα 3.2.11 Χάρτης Karnaugh της συνάρτησης

$$Y(A, B, C) = A \cdot \bar{B} \cdot C + B \cdot \bar{C} + \bar{B} \cdot \bar{C}$$

Οι "1" της συνάρτησης ομαδοποιούνται ως εξής:

- ✓ τα δύο γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε κόκκινο περίγραμμα, αντιστοιχούν στον όρο $A \cdot \bar{B}$
- ✓ τα τέσσερα γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε μπλε περίγραμμα (αναδίπλωση), αντιστοιχούν στον όρο \bar{C}

Η ομαδοποίηση έχει ως αποτέλεσμα την απλοποίηση της συνάρτησης ως εξής:

$$Y = A \cdot \bar{B} + \bar{C}$$

Παράδειγμα 5

Να απλοποιηθεί η λογική συνάρτηση τριών μεταβλητών

$$Y(A,B,C) = \bar{A} \cdot C + \bar{A} \cdot B + A \cdot \bar{B} \cdot C + B \cdot C$$

Η συνάρτηση μπορεί να απλοποιηθεί χρησιμοποιώντας το χάρτη Karnaugh του Σχήματος 3.2.12.

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}		1	1	1
A		1	1	

Σχήμα 3.2.12 Χάρτης Karnaugh της συνάρτησης

$$Y(A, B, C) = \bar{A} \cdot C + \bar{A} \cdot B + A \cdot \bar{B} \cdot C + B \cdot C$$

Οι "1" της συνάρτησης ομαδοποιούνται ως εξής:

- ✓ τα δύο γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε κόκκινο περίγραμμα, αντιστοιχούν στον όρο $\bar{A} \cdot B$

- ✓ τα τέσσερα γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε μπλε περίγραμμα, αντιστοιχούν στον όρο C

Η ομαδοποίηση έχει ως αποτέλεσμα την απλοποίηση της συνάρτησης ως εξής:

$$Y = \bar{A} \cdot B + C$$

Παράδειγμα 6

Να απλοποιηθεί η λογική συνάρτηση τεσσάρων μεταβλητών

$$\begin{aligned} Y(A,B,C,D) = & \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D + \bar{A} \cdot \bar{B} \cdot C \cdot \bar{D} + \\ & + \bar{A} \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{C} \cdot D + \bar{A} \cdot B \cdot C \cdot \bar{D} + \\ & + A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + A \cdot \bar{B} \cdot \bar{C} \cdot D + \\ & + A \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot B \cdot \bar{C} \cdot D + A \cdot B \cdot C \cdot \bar{D} \end{aligned}$$

Η συνάρτηση μπορεί να απλοποιηθεί χρησιμοποιώντας το χάρτη Karnaugh του Σχήματος 3.2.13.

	$\bar{C} \cdot \bar{D}$	$\bar{C} \cdot D$	$C \cdot D$	$C \cdot \bar{D}$
$\bar{A} \cdot \bar{B}$	1	1		1
$\bar{A} \cdot B$	1	1		1
$A \cdot \bar{B}$	1	1		1
$A \cdot B$	1	1		

Σχήμα 3.2.13 Χάρτης Karnaugh της συνάρτησης $Y(A,B,C,D)$

Οι "1" της συνάρτησης ομαδοποιούνται ως εξής:

- ✓ τα τέσσερα γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε κόκκινο περίγραμμα (αναδίπλωση), αντιστοιχούν στον όρο $\bar{A} \cdot \bar{D}$
- ✓ τα τέσσερα γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε πράσινο περίγραμμα (αναδίπλωση), αντιστοιχούν στον όρο $B \cdot \bar{D}$
- ✓ τα οκτώ γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε μπλε περίγραμμα, αντιστοιχούν στον όρο \bar{C}

Η ομαδοποίηση έχει ως αποτέλεσμα την απλοποίηση της συνάρτησης ως εξής:

$$Y = \bar{A} \cdot \bar{D} + B \cdot \bar{D} + \bar{C}$$

Αδιάφοροι Όροι

Μία μεταβλητή εισόδου ή εξόδου ονομάζεται αδιάφορος όρος όταν δεν μας ενδιαφέρει η τιμή της (αν είναι "0" ή "1"). Η τιμή ενός αδιάφορου όρου συμβολίζεται με X.

3.3 ΣΧΕΔΙΑΣΗ ΣΥΝΔΥΑΣΤΙΚΩΝ ΚΥΚΛΩΜΑΤΩΝ

Το πρόβλημα της Σχεδίασης ενός Συνδυαστικού Κυκλώματος (ΣΚ) είναι η σχεδίαση του λογικού κυκλώματος του ΣΚ, όταν δίνεται η περιγραφή της λειτουργίας του.

Η μέθοδος σχεδίασης ενός Συνδυαστικού Κυκλώματος (ΣΚ) αποτελείται από τα ακόλουθα βήματα:

1. Κατασκευή του Πίνακα Αληθείας του ΣΚ
2. Εύρεση των συναρτήσεων εξόδου του ΣΚ
3. Απλοποίηση των συναρτήσεων εξόδου του ΣΚ
4. Σχεδίαση του λογικού κυκλώματος του ΣΚ

Παράδειγμα Σχεδίασης ΣΚ

Να σχεδιαστεί ένα ΣΚ που αναγνωρίζει αν ένας 3-bits αριθμός είναι μικρότερος από 3, χρησιμοποιώντας μόνο πύλες NOT και πύλες AND και OR δύο εισόδων.

Το ΣΚ έχει τρεις εισόδους A, B και C, που αποτελούν τη δυαδική αναπαράσταση ενός δεκαδικού αριθμού από το 0 έως και το 7 (θυμηθείτε ότι με 3 bits μπορούμε να παραστήσουμε $2^3 = 8$ αριθμούς) και μία έξοδο Y. Η έξοδος του ΣΚ είναι "1" όταν το δεκαδικό ισοδύναμο του 3-bits δυαδικού αριθμού των εισόδων του ΣΚ είναι μικρότερο από 3.

Βήμα 1. Κατασκευή του Πίνακα Αληθείας του ΣΚ

Από την περιγραφή της λειτουργίας του ΣΚ κατασκευάζεται ο Πίνακας Αληθείας του ΣΚ που παρουσιάζεται στον Πίνακα 3.3.1.

Πίνακας 3.3.1 Πίνακας Αληθείας του Συνδυαστικού Κυκλώματος

δεκαδικός	A	B	C	Y
0	0	0	0	1
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	0

Βήμα 2. Εύρεση των συναρτήσεων εξόδου του ΣΚ

Από τον Πίνακα Αληθείας του ΣΚ προκύπτει ότι η συνάρτηση εξόδου του ΣΚ είναι $Y=1$ όταν

A=0 και (AND) B=0 και (AND) C=0

ή (OR)

A=0 και (AND) B=0 και (AND) C=1

ή (OR)

A=0 και (AND) B=1 και (AND) C=0

Επομένως, η συνάρτηση εξόδου του ΣΚ ευρίσκεται ως συνάρτηση των εισόδων του ΣΚ:

$$Y = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C}$$

Βήμα 3. Απλοποίηση των συναρτήσεων εξόδου του ΣΚ

Η συνάρτηση εξόδου του ΣΚ μπορεί να υλοποιηθεί χρησιμοποιώντας:

– τρεις πύλες NOT

για την εύρεση \bar{A} , \bar{B} και \bar{C}

– πέντε πύλες AND δύο εισόδων

για τον υπολογισμό $\bar{A} \cdot \bar{B}$, $(\bar{A} \cdot \bar{B}) \cdot C$, $(\bar{A} \cdot \bar{B}) \cdot \bar{C}$, $\bar{A} \cdot B$ και $(\bar{A} \cdot B) \cdot \bar{C}$

– δύο πύλες OR δύο εισόδων

για τον υπολογισμό $\bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C$ και $(\bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C) + \bar{A} \cdot B \cdot \bar{C}$

Η απλοποίηση της συνάρτησης εξόδου του ΣΚ οδηγεί σε απλούστερο (και οικονομικότερο) κύκλωμα.

Η συνάρτηση εξόδου του ΣΚ μπορεί να απλοποιηθεί (χρησιμοποιώντας Άλγεβρα Boole ή χάρτη Karnaugh):

$$Y(A, B, C) = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} = \overline{A + B \cdot C}$$

Βήμα 4. Σχεδίαση του λογικού κυκλώματος του ΣΚ

Για τη σχεδίαση του λογικού κυκλώματος του ΣΚ, ξεκινώντας από την έξοδο προς τις εισόδους του κυκλώματος, σχεδιάζονται οι πύλες του κυκλώματος λαμβάνοντας υπόψη τις λογικές πράξεις των συναρτήσεων εξόδων του ΣΚ. Το λογικό κύκλωμα χωρίζεται σε επίπεδα που περιέχουν τις πύλες, με βάση την προτεραιότητα των πράξεων (παράγραφος 1.2.5 του Κεφαλαίου 1).

Ξεκινώντας από την έξοδο του ΣΚ προς τις εισόδους του ΣΚ, το κύκλωμα χωρίζεται σε τρία επίπεδα πυλών:

Επίπεδο 1.

Μία πύλη NOT που χρησιμοποιείται για την εύρεση της εξόδου $\overline{A + B \cdot C}$ του ΣΚ, αποτελεί το τελευταίο επίπεδο πυλών.

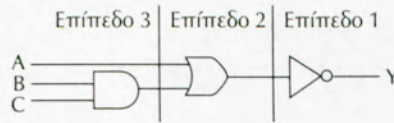
Επίπεδο 2.

Μία πύλη OR δύο εισόδων που χρησιμοποιείται για τον υπολογισμό $A + B \cdot C$, αποτελεί το δεύτερο επίπεδο πυλών.

Επίπεδο 3.

Μία πύλη AND δύο εισόδων, που χρησιμοποιείται για τον υπολογισμό $B \cdot C$, αποτελεί το πρώτο επίπεδο πυλών.

Τα τρία επίπεδα πυλών φαίνονται στο Σχήμα 3.3.1, όπου παρουσιάζεται το λογικό κύκλωμα του ΣΚ που αναγνωρίζει αν ένας 3-bits αριθμός είναι μικρότερος από 3.



Σχήμα 3.3.1 Συνδυαστικό Κύκλωμα

3.3.1 Συγκριτής μεγέθους δυαδικών αριθμών

Ο συγκριτής μεγέθους δύο 2-bits δυαδικών αριθμών είναι ένα συνδυαστικό κύκλωμα που έχει εισόδους τους δύο 2-bits δυαδικούς αριθμούς $A=A_2A_1$ και $B=B_2B_1$ και τρεις εξόδους που είναι "1", όταν οι αριθμοί είναι $A < B$, $A = B$ και $A > B$, αντίστοιχα.

Ο Πίνακας Αληθείας του συγκριτή παρουσιάζεται στον Πίνακα 3.3.2.

Πίνακας 3.3.2 Πίνακας Αληθείας του συγκριτή μεγέθους

A		B		A < B	A = B	A > B
A2	A1	B2	B1	Y1	Y2	Y3
0	0	0	0	0	1	0
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	0	0
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	1	0	0
0	1	1	1	1	0	0
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	0	1	0	0	1
1	1	1	0	0	0	1
1	1	1	1	0	1	0

Οι συναρτήσεις εξόδου του συγκριτή είναι:

$$Y1 = \overline{A2} \cdot \overline{A1} \cdot B1 + \overline{A1} \cdot B2 \cdot B1 + \overline{A2} \cdot B2$$

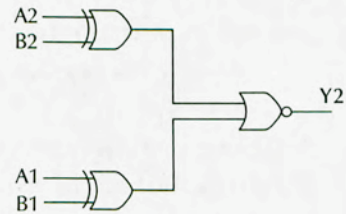
$$Y2 = \overline{A2} \cdot \overline{A1} \cdot \overline{B2} \cdot \overline{B1} + \overline{A2} \cdot A1 \cdot \overline{B2} \cdot B1 + A2 \cdot \overline{A1} \cdot B2 \cdot \overline{B1} + A2 \cdot A1 \cdot B2 \cdot B1$$

$$Y3 = A2 \cdot \overline{B2} + A2 \cdot A1 \cdot \overline{B1} + A1 \cdot \overline{B2} \cdot \overline{B1}$$

Ο συγκριτής ισότητας δύο 2-bits δυαδικών αριθμών είναι το συνδυαστικό κύκλωμα που αναγνωρίζει αν οι δύο 2-bits δυαδικοί αριθμοί είναι ίσοι ($A=B$) και έχει έξοδο τη συνάρτηση $Y2$, η οποία μπορεί να γραφτεί ως εξής:

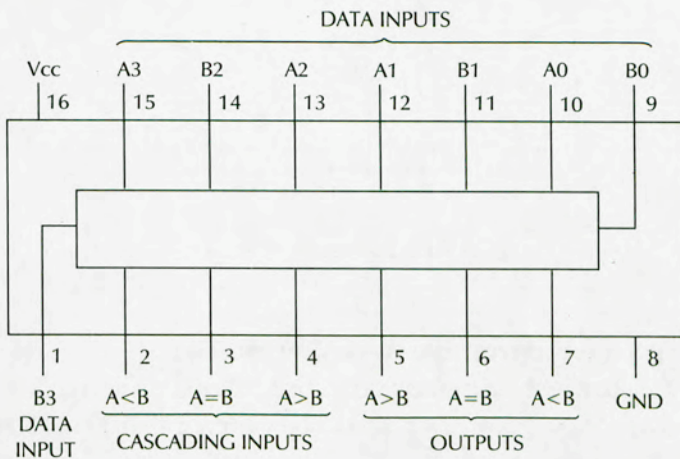
$$Y2 = \overline{(A2 \oplus B2) + (A1 \oplus B1)}$$

Ο συγκριτής ισότητας μπορεί να υλοποιηθεί χρησιμοποιώντας δύο πύλες XOR δύο εισόδων και μία πύλη NOR δύο εισόδων, όπως φαίνεται στο Σχήμα 3.3.2.



Σχήμα 3.3.2 Συγκριτής ισότητας

Στο Σχήμα 3.3.3 φαίνεται το Ο.Κ. 7485 που είναι ένας συγκριτής μεγέθους δύο 4-bits δυαδικών αριθμών.



Σχήμα 3.3.3 Το Ο.Κ. 7485

Το Ο.Κ. έχει εισόδους τους δύο 4-bits δυαδικούς αριθμούς $B=B3B2B1B0$ (ακροδέκτες 1, 14, 11 και 9) και $A=A3A2A1A0$ (ακροδέκτες 15, 13, 12 και 10) και τρεις εξόδους που αντιστοιχούν στις συγκρίσεις $A<B$, $A=B$ και $A>B$ (ακροδέκτες 7, 6 και 5 αντίστοιχα). Στο Ο.Κ. υπάρχουν τρεις εισόδοι (ακροδέκτες 2, 3 και 4)

που χρησιμοποιούνται για την υλοποίηση συγκριτών μεγαλύτερου μεγέθους. Για την σύγκριση δύο 4-bits δυαδικών αριθμών οι ακροδέκτες 2 και 4 τοποθετούνται στην λογική κατάσταση "0" και ο ακροδέκτης 3 τοποθετείται στην λογική κατάσταση "1".

3.4 ΑΝΑΛΥΣΗ ΣΥΝΔΥΑΣΤΙΚΩΝ ΚΥΚΛΩΜΑΤΩΝ

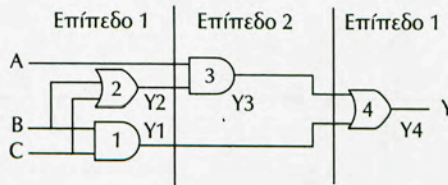
Το πρόβλημα της Ανάλυσης ενός Συνδυαστικού Κυκλώματος (ΣΚ) είναι η περιγραφή της λειτουργίας του ΣΚ, όταν δίνεται το λογικό κύκλωμα.

Η μέθοδος ανάλυσης ενός Συνδυαστικού Κυκλώματος (ΣΚ) αποτελείται από τα ακόλουθα βήματα:

1. Εύρεση των συναρτήσεων εξόδου του ΣΚ
2. Κατασκευή του Πίνακα Αληθείας του ΣΚ
3. Περιγραφή της επιθυμητής λειτουργίας του ΣΚ

Παράδειγμα Ανάλυσης ΣΚ

Να προσδιοριστεί η λειτουργία του ΣΚ το λογικό κύκλωμα του οποίου παρουσιάζεται στο Σχήμα 3.4.1.



Σχήμα 3.4.1 Συνδυαστικό Κύκλωμα

Βήμα 1. Εύρεση των συναρτήσεων εξόδου του ΣΚ

Το ΣΚ του Σχήματος 3.4.1 έχει τρεις εισόδους A, B και C και μία έξοδο Y. Το κύκλωμα αποτελείται από δύο πύλες AND δύο εισόδων (πύλες 1 και 3) και δύο πύλες OR (πύλες 2 και 4) δύο εισόδων.

Για την εύρεση των συναρτήσεων εξόδου του ΣΚ, ξεκινώντας από τις εισόδους προς τις εξόδους του κυκλώματος, το κύκλωμα χωρίζεται σε επίπεδα πυλών και καταγράφονται οι συναρτήσεις εξόδων των πυλών. Οι συναρτήσεις εξόδων των πυλών του πρώτου επιπέδου είναι συναρτήσεις των εισόδων του ΣΚ. Οι συναρτήσεις εξόδων των πυλών των επόμενων επιπέδων είναι συναρτήσεις των εξόδων των πυλών των προηγούμενων επιπέδων. Οι συναρτήσεις εξόδων των πυλών του τελευταίου επιπέδου, που είναι οι συναρτήσεις εξόδων του ΣΚ, θα είναι προφανώς συναρτήσεις των εισόδων του ΣΚ.

Ξεκινώντας από τις εισόδους του ΣΚ προς την έξοδο του ΣΚ, το κύκλωμα χωρίζεται σε τρία επίπεδα πυλών, όπως φαίνεται στο Σχήμα 3.4.1:

Επίπεδο 1.

Οι πύλες 1 και 2 αποτελούν το πρώτο επίπεδο πυλών.

Η έξοδος της πύλης 1 είναι:

$$Y1 = B \cdot C$$

και η έξοδος της πύλης 2 είναι:

$$Y2 = B + C$$

Επίπεδο 2.

Η πύλη 3 αποτελεί το δεύτερο επίπεδο και η έξοδός της είναι:

$$Y3 = A \cdot Y2 = A \cdot (B + C)$$

Επίπεδο 3.

Η πύλη 4 αποτελεί το τρίτο (τελευταίο) επίπεδο και η έξοδός της είναι:

$$Y4 = Y1 + Y3 = B \cdot C + A \cdot (B + C)$$

Η συνάρτηση εξόδου της πύλης 4 του τελευταίου επιπέδου είναι η συνάρτηση εξόδου του ΣΚ:

$$Y = Y4$$

Επομένως, η συνάρτηση εξόδου του ΣΚ ευρίσκεται ως συνάρτηση των εισόδων του ΣΚ:

$$Y = Y4 = A \cdot (B + C) + B \cdot C$$

Βήμα 2. Κατασκευή του Πίνακα Αληθείας του ΣΚ

Από τη συνάρτηση εξόδου του ΣΚ κατασκευάζεται ο Πίνακας Αληθείας του ΣΚ, που παρουσιάζεται στον Πίνακα 3.4.1.

Πίνακας 3.4.1 Πίνακας Αληθείας του Συνδυαστικού Κυκλώματος

A	B	C	$Y1 = B \cdot C$	$Y2 = B + C$	$Y3 = A \cdot (B + C)$	$Y = Y4 = A \cdot (B + C) + B \cdot C$
0	0	0	0	0	0	0
0	0	1	0	1	0	0
0	1	0	0	1	0	0
0	1	1	1	1	0	1
1	0	0	0	0	0	0
1	0	1	0	1	1	1
1	1	0	0	1	1	1
1	1	1	1	1	1	1

Βήμα 3. Περιγραφή της επιθυμητής λειτουργίας του ΣΚ

Από τον Πίνακα αληθείας του ΣΚ, παρατηρούμε ότι:

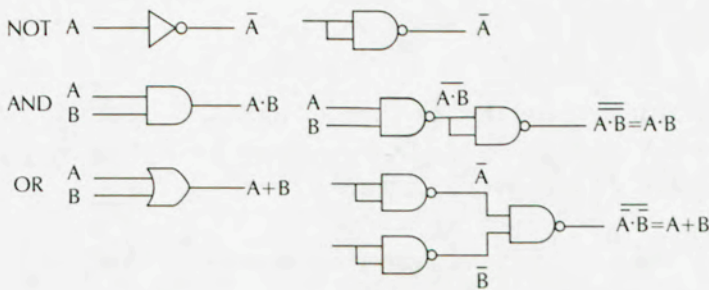
- η έξοδος του ΣΚ είναι "1", όταν οι δύο από τις τρεις εισόδους του είναι "1" ή όταν όλες οι εισοδοί του είναι "1"
- η έξοδος του ΣΚ είναι "0", όταν οι δύο από τις τρεις εισόδους του είναι "0" ή όταν όλες οι εισοδοί του είναι "0"

Επομένως, η έξοδος του ΣΚ είναι "1", όταν οι περισσότερες από τις εισόδους του ΣΚ είναι "1" και η έξοδος του ΣΚ είναι "0", όταν οι περισσότερες από τις εισόδους του ΣΚ είναι "0", δηλαδή το ΣΚ υλοποιεί τη *συνάρτηση πλειοψηφίας*.

3.5 ΟΙΚΟΥΜΕΝΙΚΕΣ ΠΥΛΕΣ

Κάθε ψηφιακό κύκλωμα μπορεί να υλοποιηθεί με πύλες NOT, AND και OR, οι οποίες με τη σειρά τους μπορούν να υλοποιηθούν μόνο με πύλες NAND ή NOR. Επομένως, κάθε ψηφιακό κύκλωμα μπορεί να υλοποιηθεί μόνο με πύλες NAND ή NOR που ονομάζονται **οικουμενικές πύλες** (universal gates). Η υλοποίηση ψηφιακών κυκλωμάτων με οικουμενικές πύλες οδηγεί σε οικονομικές και τεχνικά αποτελεσματικές κατασκευές.

Στη συνέχεια θα ασχοληθούμε μόνο με τις οικουμενικές πύλες NAND. Η υλοποίηση των πυλών NOT, AND και OR μόνο με πύλες NAND φαίνεται στο Σχήμα 3.5.1.



Σχήμα 3.5.1 Υλοποίηση των πυλών NOT, AND και OR μόνο με πύλες NAND

Η μέθοδος σχεδίασης συνδυαστικού κυκλώματος μόνο με πύλες NAND είναι η ακόλουθη:

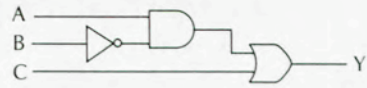
- ☛ σχεδίαση του κυκλώματος με πύλες NOT, AND και OR
- ☛ αντικατάσταση των πυλών NOT, AND και OR από πύλες NAND (σύμφωνα με το Σχήμα 3.5.1)
- ☛ διαγραφή δύο συνεχόμενων πυλών NAND με βραχυκυκλωμένες εισόδους, που λειτουργούν ως πύλες NOT

Στη συνέχεια, δίνεται ένα παράδειγμα υλοποίησης συνδυαστικού κυκλώματος μόνο με πύλες NAND 2 εισόδων

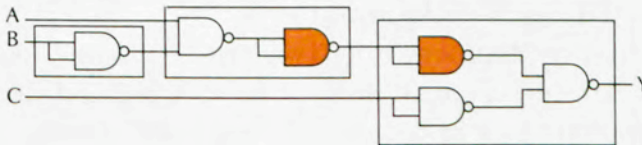
Ένα συνδυαστικό κύκλωμα έχει τρεις εισόδους A, B και C και μία έξοδο $Y = A \cdot \bar{B} + C$

Η υλοποίηση του κυκλώματος με πύλες NOT, AND και OR απαιτεί μία πύλη NOT, μία πύλη AND και μία πύλη OR, όπως φαίνεται στο Σχήμα 3.5.2.

Η αντικατάσταση των πυλών NOT, AND και OR από πύλες NAND (σύμφωνα με το Σχήμα 3.5.1) οδηγεί στην υλοποίηση του κυκλώματος με έξι πύλες NAND, όπως φαίνεται στο Σχήμα 3.5.3.

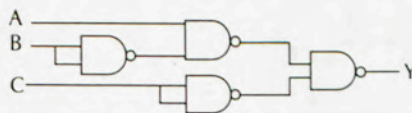


Σχήμα 3.5.2 Υλοποίηση της $Y = A \cdot \bar{B} + C$ με πύλες NOT, AND και OR



Σχήμα 3.5.3 Αντικατάσταση των πυλών NOT, AND και OR από πύλες NAND
Υλοποίηση της $Y = A \cdot \bar{B} + C$ μόνο με πύλες NAND

Η διαγραφή δύο συνεχόμενων πυλών NAND (απαλοιφή NOT-NOT) οδηγεί στην υλοποίηση του κυκλώματος με τέσσερις πύλες NAND 2 εισόδων σε πολλά επίπεδα, όπως φαίνεται στο Σχήμα 3.5.4.



Σχήμα 3.5.4 Διαγραφή δύο συνεχόμενων πυλών NAND με βραχυκυκλωμένες εισόδους
Υλοποίηση της $Y = A \cdot \bar{B} + C$ μόνο με πύλες NAND 2 εισόδων

3.6 ΠΕΡΙΛΗΨΗ

1. Σε ένα συνδυαστικό κύκλωμα που έχει n εισόδους και m εξόδους, για κάθε έναν από τους 2^n δυνατούς συνδυασμούς εισόδων υπάρχει ένας και μόνον ένας δυνατός συνδυασμός εξόδων. Κάθε χρονική στιγμή, κάθε μία από τις εξόδους εξαρτάται από τις τιμές των εισόδων την ίδια χρονική στιγμή.

2. Κάθε συνάρτηση μπορεί να εκφραστεί ως άθροισμα ελάχιστων όρων. Ελάχιστοι όροι μίας συνάρτησης ονομάζονται τα γινόμενα όλων των όρων της συνάρτησης, όπου ο κάθε όρος (μεταβλητή) εμφανίζεται στην κανονική ή στη συμπληρωματική του μορφή.

3. Η απλοποίηση των συναρτήσεων εξόδου ενός συνδυαστικού κυκλώματος οδηγεί σε απλούστερο κύκλωμα. Η απλοποίηση γίνεται με χρήση της Άλγεβρας Boole ή των χαρτών Karnaugh.

4. Το πρόβλημα της σχεδίασης ενός συνδυαστικού κυκλώματος (ΣΚ) είναι η σχεδίαση του λογικού κυκλώματος του ΣΚ, όταν δίνεται η περιγραφή της λειτουργίας του.

Η μέθοδος σχεδίασης ενός Συνδυαστικού Κυκλώματος (ΣΚ) αποτελείται από τα ακόλουθα βήματα:

- ✓ Κατασκευή του Πίνακα Αληθείας του ΣΚ
- ✓ Εύρεση των συναρτήσεων εξόδου του ΣΚ
- ✓ Απλοποίηση των συναρτήσεων εξόδου του ΣΚ
- ✓ Σχεδίαση του λογικού κυκλώματος του ΣΚ

5. Το πρόβλημα της Ανάλυσης ενός Συνδυαστικού Κυκλώματος (ΣΚ) είναι η περιγραφή της λειτουργίας του ΣΚ, όταν δίνεται το λογικό κύκλωμα.

Η μέθοδος ανάλυσης ενός Συνδυαστικού Κυκλώματος (ΣΚ) αποτελείται από τα ακόλουθα βήματα:

- ✓ Εύρεση των συναρτήσεων εξόδου του ΣΚ
- ✓ Κατασκευή του Πίνακα Αληθείας του ΣΚ
- ✓ Περιγραφή της επιθυμητής λειτουργίας του ΣΚ

6. Οι πύλες NAND και NOR ονομάζονται οικουμενικές, γιατί κάθε ψηφιακό κύκλωμα μπορεί να υλοποιηθεί μόνο με πύλες NAND ή μόνο με πύλες NOR.

3.7 ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ

1. Να εκφρασθεί η συνάρτηση τριών μεταβλητών

$$Y(A,B,C) = \bar{A} \cdot \bar{B} + \bar{A} \cdot C + \bar{B} \cdot C$$

– χρησιμοποιώντας μόνο πράξεις OR και NOT

– χρησιμοποιώντας μόνο πράξεις AND και NOT

Η συνάρτηση Y μπορεί να εκφρασθεί χρησιμοποιώντας μόνο πράξεις OR και NOT:

$$Y(A,B,C) = \bar{A} \cdot \bar{B} + \bar{A} \cdot C + \bar{B} \cdot C = \overline{A+B} + \overline{A+\bar{C}} + \overline{B+\bar{C}}$$

Η συνάρτηση Y μπορεί να εκφρασθεί χρησιμοποιώντας μόνο πράξεις AND και NOT:

$$Y = \bar{Y} = \overline{\bar{A} \cdot \bar{B} + \bar{A} \cdot C + \bar{B} \cdot C} = \overline{\bar{A} \cdot \bar{B}} \cdot \overline{\bar{A} \cdot C} \cdot \overline{\bar{B} \cdot C}$$

2. Να εκφρασθεί η λογική συνάρτηση τριών μεταβλητών $Y = (A \cdot B + C) \cdot (B + A \cdot C)$ ως άθροισμα ελαχίστων όρων

$$\begin{aligned}
 Y &= (A \cdot B + C) \cdot (B + A \cdot C) = \\
 &= A \cdot B \cdot B + A \cdot B \cdot A \cdot C + C \cdot B + C \cdot A \cdot C = \\
 &= A \cdot B + A \cdot B \cdot C + C \cdot B + C \cdot A = \\
 &= A \cdot B + B \cdot C + C \cdot A = \\
 &= A \cdot B \cdot (C + \bar{C}) + (A + \bar{A}) \cdot B \cdot C + A \cdot (B + \bar{B}) \cdot C = \\
 &= A \cdot B \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C + \bar{A} \cdot B \cdot C + A \cdot B \cdot C + A \cdot \bar{B} \cdot C = \\
 &= A \cdot B \cdot C + A \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C
 \end{aligned}$$

3. Να απλοποιηθεί η λογική συνάρτηση τριών μεταβλητών

$$Y(A,B,C) = A \cdot B + \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C}$$

Τοποθετούμε τους "1" της συνάρτησης στον παρακάτω χάρτη Karnaugh:

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}	1			1
A			1	1

Χάρτης Karnaugh της συνάρτησης $Y(A,B,C) = A \cdot B + \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C}$

Να παρατηρήσετε ότι:

- ✓ ο όρος $A \cdot B$ συνάρτησης αντιστοιχεί στα δύο τετράγωνα του χάρτη Karnaugh, που είναι η τομή των περιοχών $A=1$ και $B=1$
 - ✓ ο όρος $\bar{A} \cdot \bar{B} \cdot \bar{C}$ της συνάρτησης αντιστοιχεί στο τετράγωνο του χάρτη Karnaugh, που είναι η τομή των περιοχών $A=0$, $B=0$ και $C=0$
 - ✓ ο όρος $\bar{A} \cdot B \cdot \bar{C}$ της συνάρτησης αντιστοιχεί στο τετράγωνο του χάρτη Karnaugh, που είναι η τομή των περιοχών $A=0$, $B=1$ και $C=0$
- Οι "1" της συνάρτησης ομαδοποιούνται ως εξής:
- ✓ τα δύο γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε κόκκινο περίγραμμα, αντιστοιχούν στον όρο $A \cdot B$
 - ✓ τα δύο γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε μπλε περίγραμμα (αναδίπλωση), αντιστοιχούν στον όρο $\bar{A} \cdot \bar{C}$
- Η ομαδοποίηση έχει ως αποτέλεσμα την απλοποίηση της συνάρτησης ως εξής:

$$Y = A \cdot B + \bar{A} \cdot \bar{C}$$

4. Να απλοποιηθεί η συνάρτηση Y τεσσάρων μεταβλητών με τον ακόλουθο Πίνακα Αληθείας:

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

	$\bar{C} \cdot \bar{D}$	$\bar{C} \cdot D$	$C \cdot \bar{D}$	$C \cdot D$
$\bar{A} \cdot \bar{B}$			1	1
$\bar{A} \cdot B$				
$A \cdot B$	1	1	1	1
$A \cdot \bar{B}$			1	1

Χάρτης Karnaugh της συνάρτησης Y

Η συνάρτηση μπορεί να απλοποιηθεί χρησιμοποιώντας τον ακόλουθο χάρτη Karnaugh:

Οι "1" της συνάρτησης ομαδοποιούνται ως εξής:

✓ τα τέσσερα γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε κόκκινο

περίγραμμα, αντιστοιχούν στον όρο $A \cdot B$

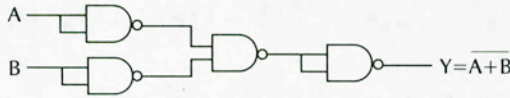
✓ τα τέσσερα γειτονικά τετράγωνα του χάρτη Karnaugh, που βρίσκονται μέσα σε μπλε περίγραμμα (αναδίπλωση), αντιστοιχούν στον όρο $\bar{B} \cdot C$

Η ομαδοποίηση έχει ως αποτέλεσμα την απλοποίηση της συνάρτησης ως εξής:

$$Y = A \cdot B + \bar{B} \cdot C$$

5. Να υλοποιηθεί μία πύλη NOR δύο (2) εισόδων χρησιμοποιώντας πύλες NAND δύο (2) εισόδων.

Η πύλη NOR δύο (2) εισόδων είναι μία πύλη OR ακολουθούμενη από μία πύλη NOT. Η αντικατάσταση των πυλών OR και NOT από πύλες NAND (σύμφωνα με το Σχήμα 3.5.1) οδηγεί στην υλοποίηση της πύλης NOR με τέσσερις πύλες NAND, όπως φαίνεται στο παρακάτω Σχήμα:



6. Να σχεδιαστεί ένα συνδυαστικό κύκλωμα που αναγνωρίζει, αν ένας 3-bits αριθμός είναι μικρότερος από 2, χρησιμοποιώντας μόνο πύλες NOR δύο (2) εισόδων.

Το συνδυαστικό κύκλωμα έχει τρεις εισόδους A, B και C και μία έξοδο Y που είναι ίση με "1" αν ο δεκαδικός ισοδύναμος του δυαδικού αριθμού ABC είναι μικρότερος από 2.

Ο Πίνακας Αληθείας του κυκλώματος είναι ο παρακάτω:

Πίνακας Αληθείας του κυκλώματος

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Η συνάρτηση Y μπορεί να απλοποιηθεί χρησιμοποιώντας τον ακόλουθο χάρτη Karnaugh:

Η ομαδοποίηση έχει ως αποτέλεσμα την απλοποίηση της συνάρτησης ως εξής:

$$Y = \bar{A} \cdot \bar{B}$$

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}	1	1		
A				

Χάρτης Karnaugh της συνάρτησης Y

Χρησιμοποιώντας το Θεώρημα De Morgan, η συνάρτηση Y γράφεται:

$$Y = \bar{A} \cdot \bar{B} = \overline{A + B}$$

Επομένως, το συνδυαστικό κύκλωμα που αναγνωρίζει αν ένας 3-bits αριθμός είναι μικρότερος από 2 μπορεί να υλοποιηθεί, χρησιμοποιώντας μόνο μία πύλη NOR δύο (2) εισόδων.

3.8 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ

1. Να εξηγήσετε τι είναι συνδυαστικό κύκλωμα.
2. Τι είναι ελάχιστοι όροι;
3. Ποιες πύλες ονομάζονται οικουμενικές και γιατί;
4. Κάθε Συνδυαστικό Κύκλωμα μπορεί να υλοποιηθεί χρησιμοποιώντας μόνο πύλες:
 α) OR β) AND γ) XOR δ) NAND

5. Ποιες από τις παρακάτω λογικές συναρτήσεις τριών μεταβλητών είναι σε μορφή αθροίσματος ελάχιστων όρων;

α. $Y1 = \bar{A} \cdot \bar{B} \cdot \bar{C}$	ΝΑΙ <input type="checkbox"/>	ΟΧΙ <input type="checkbox"/>
β. $Y2 = A \cdot B + A \cdot C$	ΝΑΙ <input type="checkbox"/>	ΟΧΙ <input type="checkbox"/>
γ. $Y3 = A \cdot B \cdot \bar{C} + A \cdot \bar{C}$	ΝΑΙ <input type="checkbox"/>	ΟΧΙ <input type="checkbox"/>
δ. $Y4 = A \cdot \bar{B} \cdot C + \bar{A} \cdot \bar{B} \cdot C$	ΝΑΙ <input type="checkbox"/>	ΟΧΙ <input type="checkbox"/>

6. Ο χάρτης Karnaugh της λογικής συνάρτησης τριών μεταβλητών:

$$Y(A,B,C) = \bar{A} \cdot \bar{C} + B \cdot C$$

είναι:

α)

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}	1	1	1	
A			1	

β)

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}	1		1	1
A			1	

7. Ο παρακάτω χάρτης Karnaugh της λογικής συνάρτησης τριών μεταβλητών $Y(A,B,C)$

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}	1		1	
A			1	

αντιστοιχεί στον Πίνακα Αληθείας:

α)

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

β)

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

8. Να εκφράσετε την παρακάτω λογική συνάρτηση τριών μεταβλητών:

$$Y(A,B,C) = A \cdot C + \bar{A} \cdot \bar{B}$$

ως άθροισμα ελάχιστων όρων.

9. Χρησιμοποιώντας χάρτη Karnaugh, να απλοποιήσετε την λογική συνάρτηση τεσσάρων μεταβλητών με τον παρακάτω Πίνακα Αληθείας:

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

10. Να απλοποιήσετε την παρακάτω συνάρτηση Boole τεσσάρων μεταβλητών:

$$Y(A,B,C,D) = \bar{A} \cdot \bar{B} \cdot \bar{C} + B \cdot \bar{C} \cdot \bar{D} + A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot C + A \cdot \bar{C} \cdot D + \bar{A} \cdot B \cdot \bar{C} \cdot D$$

11. Δίνεται ο παρακάτω χάρτης Karnaugh μίας λογικής συνάρτησης τριών μεταβλητών Y:

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}		1		
A	1	1	1	1

Να απλοποιήσετε τη συνάρτηση και να την υλοποιήσετε μόνο με πύλες NAND δύο (2) εισόδων.

12. Να απλοποιήσετε την παρακάτω λογική συνάρτηση τεσσάρων μεταβλητών:

$$Y(A,B,C,D) = A \cdot \bar{B} \cdot \bar{C} \cdot D + A \cdot B \cdot \bar{C} \cdot D + \bar{A} \cdot \bar{B} \cdot D + A \cdot C \cdot D + \bar{B} \cdot \bar{D}$$

Να υλοποιήσετε την απλοποιημένη συνάρτηση χρησιμοποιώντας μόνο πύλες NAND δύο (2) εισόδων.

13. Να βρείτε την έξοδο Y συναρτήσει των εισόδων A, B και C του παρακάτω κυκλώματος:



14. Να σχεδιάσετε ένα συνδυαστικό κύκλωμα η έξοδος Y του οποίου θα ενεργοποιεί ένα συναγερμό αυτοκινήτου (ο συναγερμός ενεργοποιείται με "1"). Το κύκλωμα έχει τρεις εισόδους A, B και C, που συνδέονται με τρεις διακόπτες οι οποίοι είναι συνδεδεμένοι με τρεις αισθητήρες (sensors) SA, SB και SC που ελέγχουν αντίστοιχα: αν η μηχανή είναι σε λειτουργία, αν κάποια πόρτα είναι ανοικτή και αν το "καπό" της μηχανής είναι ανοικτό. Ο συναγερμός πρέπει να ενεργοποιείται όταν η μηχανή είναι σε λειτουργία και ταυτόχρονα, είτε κάποια πόρτα είναι ανοικτή, είτε το "καπό" της μηχανής είναι ανοικτό.

Να κατασκευάσετε τον Πίνακα αληθείας του προβλήματος. Να γράψετε τη συνάρτηση εξόδου Y του κυκλώματος ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου A, B και C. Χρησιμοποιώντας χάρτη Karnaugh να απλοποιήσετε τη συνάρτηση εξόδου. Να σχεδιάσετε το κύκλωμα όπου να φαίνονται τα επίπεδα των πυλών με βάση την προτεραιότητα των πράξεων της απλοποιημένης συνάρτησης εξόδου.

15. Να σχεδιάσετε ένα συνδυαστικό κύκλωμα η έξοδος Y του οποίου θα ενεργοποιεί ένα συναγερμό μίας χημικής μονάδας (ο συναγερμός ενεργοποιείται με "1"). Το κύκλωμα έχει τρεις εισόδους A, B και C, που συνδέονται με τρεις διακόπτες οι οποίοι είναι συνδεδεμένοι με τρεις αισθητήρες (sensors) SA, SB και SC που ελέγχουν αντίστοιχα την πίεση, τη θερμοκρασία και τη στάθμη

ενός υγρού μέσα σε μία δεξαμενή. Ο αισθητήρας SA δίνει “1”, όταν η πίεση υπερβεί κάποιο προκαθορισμένο όριο. Ο αισθητήρας SB δίνει “1”, όταν η θερμοκρασία υπερβεί κάποιο προκαθορισμένο όριο. Ο αισθητήρας SC δίνει “0”, όταν η στάθμη πέσει κάτω από κάποιο προκαθορισμένο όριο. Ο συναγερμός πρέπει να ενεργοποιείται, όταν η στάθμη πέσει κάτω από το προκαθορισμένο όριο και ταυτόχρονα η πίεση, είτε η θερμοκρασία υπερβούν τα προκαθορισμένα όρια.

Να κατασκευάσετε τον Πίνακα αληθείας του προβλήματος. Να γράψετε τη συνάρτηση εξόδου Y του κυκλώματος ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου A , B και C . Χρησιμοποιώντας χάρτη Karnaugh να απλοποιήσετε τη συνάρτηση εξόδου. Να σχεδιάσετε το κύκλωμα όπου να φαίνονται τα επίπεδα των πυλών με βάση την προτεραιότητα των πράξεων της απλοποιημένης συνάρτησης εξόδου.

ΕΡΓΑΣΙΕΣ

Εργασία 1

Ένα βενζινάδικο έχει τέσσερις δεξαμενές καυσίμων. Στη δεξαμενή της βενζίνης super υπάρχει ένας αισθητήρας SA που δίνει “1”, όταν η στάθμη πέσει κάτω από κάποιο προκαθορισμένο όριο. Στη δεξαμενή της βενζίνης unleaded υπάρχει ένας αισθητήρας SB που δίνει “1”, όταν η στάθμη πέσει κάτω από κάποιο προκαθορισμένο όριο. Στη δεξαμενή της βενζίνης super unleaded υπάρχει ένας αισθητήρας SC που δίνει “1”, όταν η στάθμη πέσει κάτω από κάποιο προκαθορισμένο όριο. Στη δεξαμενή του πετρελαίου κίνησης υπάρχει ένας αισθητήρας SD που δίνει “1”, όταν η θερμοκρασία υπερβεί κάποιο προκαθορισμένο όριο.

Να σχεδιάσετε ένα συνδυαστικό κύκλωμα με τέσσερις εισόδους A , B , C και D , που συνδέονται με τέσσερις διακόπτες οι οποίοι είναι συνδεδεμένοι με τους τέσσερις αισθητήρες και μία έξοδο Y που δίνει “1”, όταν η στάθμη τουλάχιστον μίας από τις δεξαμενές βενζίνης πέσει κάτω από το προκαθορισμένο όριο και ταυτόχρονα η θερμοκρασία της δεξαμενής του πετρελαίου κίνησης υπερβεί το προκαθορισμένο όριο.

Εργασία 2

Σε μία διασταύρωση, διασταυρώνεται ένας δρόμος προτεραιότητας με λωρίδες $ΛΑ$ και $ΛΒ$ και ένας δρόμος δευτερεύουσας σημασίας με λωρίδες $ΛC$ και $ΛD$. Σε κάθε λωρίδα υπάρχει ένας αισθητήρας που ελέγχει την παρουσία αυτοκινήτων δίνοντας “1”, όταν υπάρχει τουλάχιστον ένα αυτοκίνητο. Στη διασταύρωση υπάρχει ένας

σηματοδότης με δύο φώτα: το ΦΑΒ για τις λωρίδες ΛΑ και ΛΒ και το ΦCD για τις λωρίδες ΛC και ΛD. Το κάθε φως είναι δύο χρωμάτων (κόκκινο και πράσινο). Ο σηματοδότης ελέγχει την κυκλοφορία των αυτοκινήτων σύμφωνα με την ακόλουθη λογική:

Το ΦCD είναι πράσινο όταν

– οι λωρίδες ΛC και ΛD είναι κατειλημμένες και τουλάχιστον μία από τις λωρίδες ΛΑ και ΛΒ είναι ελεύθερη

– η λωρίδα ΛC ή η λωρίδα ΛD είναι κατειλημμένη και οι λωρίδες ΛΑ και ΛΒ είναι ελεύθερες

Σε όλες τις άλλες περιπτώσεις το ΦCD είναι κόκκινο.

Το ΦΑΒ λειτουργεί εντελώς αντίθετα από το ΦCD.

Να σχεδιάσετε ένα συνδυαστικό κύκλωμα που ελέγχει το σηματοδότη της διασταύρωσης, σύμφωνα με τις παραπάνω προδιαγραφές. Το κύκλωμα έχει τέσσερις εισόδους A, B, C και D που συνδέονται με τους τέσσερις αισθητήρες και δύο εξόδους YAB και YCD, που συνδέονται με τα φώτα του σηματοδότη και δίνουν "1", όταν το αντίστοιχο φως είναι πράσινο.

1. Να γνωρίζετε τις έννοιες και τις χρήσεις των πολυπλεκτών και των αποπολυπλεκτών.
2. Να σχεδιάζετε συνδυαστικά κυκλώματα πολυπλεκτών και αποπολυπλεκτών.
3. Να μελετάτε φύλλα δεδομένων Ο.Κ πολυπλεκτών και αποπολυπλεκτών.
4. Να υλοποιείτε, στο εργαστήριο, συνδυαστικά κυκλώματα πολυπλεκτών και αποπολυπλεκτών.

4 κεφάλαιο

**ΠΟΛΥΠΛΕΚΤΕΣ
ΑΠΟΠΟΛΥΠΛΕΚΤΕΣ**

4.1 ΠΟΛΥΠΛΕΚΤΕΣ

4.1.1 Ορισμοί

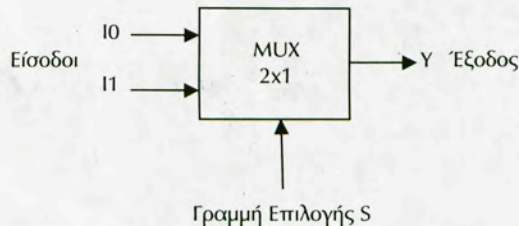
Ο **Πολυπλέκτης** (Multiplexer - MUX) 2^n εισόδων ($2^n \times 1$) είναι ένα συνδυαστικό κύκλωμα που έχει n γραμμές επιλογής (ελέγχου) και μία μοναδική γραμμή εξόδου. Το κύκλωμα επιλέγει δυαδικές πληροφορίες από 2^n γραμμές εισόδου, ανάλογα με τις τιμές των n γραμμών επιλογής και τις κατευθύνει στην γραμμή εξόδου. Ο συμβολισμός $2^n \times 1$ σημαίνει ότι ο πολυπλέκτης έχει 2^n εισόδους και μία έξοδο.

Πολύπλεξη (Multiplexing) είναι η επιλογή μίας γραμμής εισόδου δεδομένων από πολλές. Αυτή την λειτουργία την υλοποιούμε με τους Πολυπλέκτες που για αυτό το λόγο ονομάζονται και *επιλογείς δεδομένων* (data selectors).

Η κύρια εφαρμογή του Πολυπλέκτη είναι η επιλογή **μίας** από τις πολλές πληροφορίες που εφαρμόζονται στις εισόδους του και η μεταφορά της στην έξοδό του.

4.1.2 Πολυπλέκτης 2 εισόδων

Ο Πολυπλέκτης 2 εισόδων (MUX 2×1) έχει δύο εισόδους I_0 και I_1 , μία γραμμή επιλογής S και μία έξοδο Y , όπως φαίνεται στο Σχήμα 4.1.1.



Σχήμα 4.1.1 Πολυπλέκτης 2 εισόδων

Ανάλογα με την τιμή της γραμμής επιλογής S , μία από τις εισόδους I_0 και I_1 μεταβιβάζεται στην έξοδο Y :

Πίνακας 4.1.1 Συνοπτικός Πίνακας Αληθείας Πολυπλέκτη 2 εισόδων

S	Y
0	I_0
1	I_1

– αν $S=0$, τότε $Y=I_0$

– αν $S=1$, τότε $Y=I_1$

όπως φαίνεται στον συνοπτικό Πίνακα Αληθείας του, που παρουσιάζεται στον Πίνακα 4.1.1.

Ο Πίνακας Αληθείας του Πολυπλέκτη 2 εισόδων παρουσιάζεται στον Πίνακα 4.1.2.

Πίνακας 4.1.2 Πίνακας Αληθείας Πολυπλέκτη 2 εισόδων

S	I1	I0	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Από τον παραπάνω Πίνακα Αληθείας προκύπτει ο χάρτης Karnaugh για τη συνάρτηση εξόδου Y, συναρτήσεως της γραμμής επιλογής S και των εισόδων I0 και I1, που φαίνεται στο Σχήμα 4.1.2.

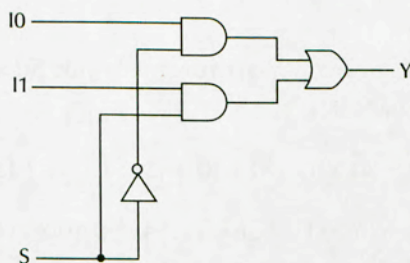
	$\bar{I1} \cdot \bar{I0}$	$\bar{I1} \cdot I0$	$I1 \cdot I0$	$I1 \cdot \bar{I0}$
\bar{S}		1	1	
S			1	1

Σχήμα 4.1.2 Χάρτης Karnaugh για την συνάρτηση εξόδου Y του Πολυπλέκτη 2 εισόδων

Από τον παραπάνω χάρτη Karnaugh προκύπτει η ακόλουθη συνάρτηση εξόδου Y συναρτήσεως της γραμμής επιλογής S και των εισόδων I0 και I1:

$$Y = I0 \cdot \bar{S} + I1 \cdot S$$

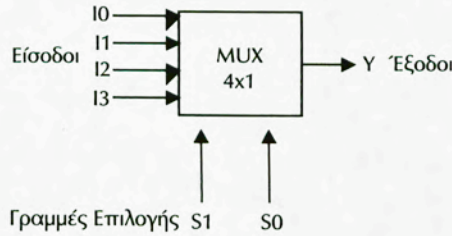
Επομένως, το κύκλωμα του Πολυπλέκτη 2 εισόδων μπορεί να υλοποιηθεί χρησιμοποιώντας μία πύλη NOT, δύο πύλες AND δύο εισόδων και μία πύλη OR δύο εισόδων, όπως φαίνεται στο Σχήμα 4.1.3.



Σχήμα 4.1.3 Υλοποίηση Πολυπλέκτη 2 εισόδων με πύλες

4.1.3 Πολυπλέκτης 4 εισόδων

Ο Πολυπλέκτης 4 εισόδων (MUX 4x1) έχει τέσσερις εισόδους I0, I1, I2 και I3, δύο γραμμές επιλογής S0 και S1 και μία έξοδο Y, όπως φαίνεται στο Σχήμα 4.1.4.



Σχήμα 4.1.4 Πολυπλέκτης 4 εισόδων

Ανάλογα με τις τιμές των γραμμών επιλογής S1 και S0, μία από τις εισόδους I0, I1, I2 και I3 μεταβιβάζεται στην έξοδο Y:

- αν S1=0 και S0=0, τότε Y=I0
- αν S1=0 και S0=1, τότε Y=I1
- αν S1=1 και S0=0, τότε Y=I2
- αν S1=1 και S0=1, τότε Y=I3

όπως φαίνεται στον συνοπτικό Πίνακα Αληθείας του, που παρουσιάζεται στον Πίνακα 4.1.3.

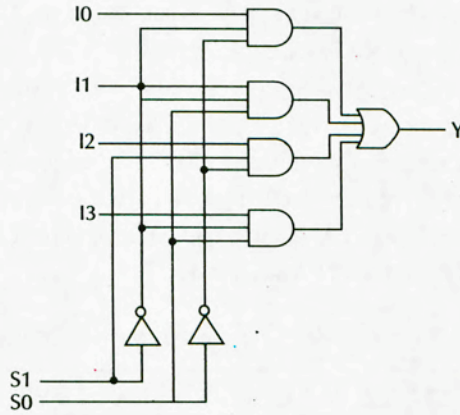
Πίνακας 4.1.3 Συνοπτικός Πίνακας Αληθείας Πολυπλέκτη 4 εισόδων

S1	S0	Y
0	0	I0
0	1	I1
1	0	I2
1	1	I3

Η συνάρτηση εξόδου Y συναρτηίσει των επιλογών S0 και S1 και των εισόδων I0, I1, I2 και I3 είναι η ακόλουθη:

$$Y = I_0 \cdot \overline{S_1} \cdot \overline{S_0} + I_1 \cdot \overline{S_1} \cdot S_0 + I_2 \cdot S_1 \cdot \overline{S_0} + I_3 \cdot S_1 \cdot S_0$$

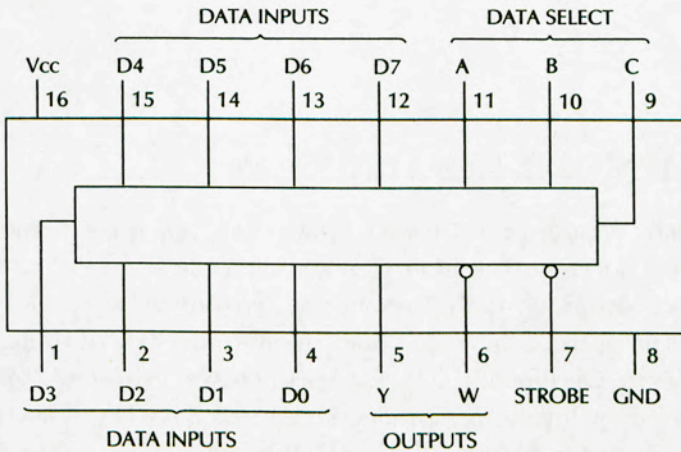
Επομένως, το κύκλωμα του Πολυπλέκτη 4x1 μπορεί να υλοποιηθεί χρησιμοποιώντας δύο πύλες NOT, τέσσερις πύλες AND τριών εισόδων και μία πύλη OR τεσσάρων εισόδων, όπως φαίνεται στο Σχήμα 4.1.5.



Σχήμα 4.1.5 Υλοποίηση Πολυπλέκτη 4 εισόδων με πύλες

4.1.4 Ολοκληρωμένα κυκλώματα πολυπλεκτών

Στην παράγραφο αυτή θα παρουσιαστεί το ολοκληρωμένο κύκλωμα 74151 της σειράς 74, που περιέχει έναν Πολυπλέκτη 8 εισόδων (MUX 8x1), το οποίο φαίνεται στο Σχήμα 4.1.6.



Σχήμα 4.1.6 Το ολοκληρωμένο κύκλωμα 74151: ένας Πολυπλέκτης 8 εισόδων

Στο ολοκληρωμένο κύκλωμα 74151, ο Πολυπλέκτης 8 εισόδων (MUX 8x1) έχει οκτώ εισόδους (D0, D1, D2, D3, D4, D5, D6 και D7), τρεις γραμμές επιλογής (C, B και A) και μία έξοδο Y καθώς και την συμπληρωματική έξοδο W.

Η λειτουργία του ολοκληρωμένου κυκλώματος 74151 ως Πολυπλέκτη ελέγχεται από την είσοδο ενεργοποίησης STROBE (pin 7):

- ✓ όταν STROBE="0" τότε ανάλογα με τις τιμές των γραμμών επιλογής C, B και A, μία από τις εισόδους I0, I1, I2, I3, I4, I5, I6 και I7 μεταβιβάζεται στην έξοδο Y, δηλαδή το ολοκληρωμένο κύκλωμα 74151 λειτουργεί ως Πολυπλέκτης
- ✓ όταν STROBE="1" τότε ο Πολυπλέκτης είναι απενεργοποιημένος όπως φαίνεται από τον Πίνακα Αληθείας του ολοκληρωμένου κυκλώματος 74151 που παρουσιάζεται στον Πίνακα 4.1.4.

Πίνακας 4.1.4 Πίνακας Αληθείας του ολοκληρωμένου κυκλώματος 74151

STROBE	C	B	A	Y
1	X	X	X	0
0	0	0	0	I0
0	0	0	1	I1
0	0	1	0	I2
0	0	1	1	I3
0	1	0	0	I4
0	1	0	1	I5
0	1	1	0	I6
0	1	1	1	I7

4.2 ΕΦΑΡΜΟΓΕΣ ΠΟΛΥΠΛΕΚΤΩΝ

Μία βασική εφαρμογή των Πολυπλεκτών είναι η χρήση τους στην υλοποίηση λογικών συναρτήσεων και συνδυαστικών κυκλωμάτων.

Κάθε λογική συνάρτηση n μεταβλητών μπορεί να υλοποιηθεί με έναν Πολυπλέκτη 2^n εισόδων. Οι μεταβλητές της λογικής συνάρτησης αποτελούν τις γραμμές επιλογής του Πολυπλέκτη. Οι εισοδοί του Πολυπλέκτη επιλέγονται κατάλληλα από τον Πίνακα Αληθείας της λογικής συνάρτησης: κάθε είσοδος του Πολυπλέκτη είναι "0" ή "1", έτσι ώστε να ικανοποιείται ο Πίνακας Αληθείας της λογικής συνάρτησης. Η έξοδος του Πολυπλέκτη είναι η λογική συνάρτηση που θέλουμε να υλοποιήσουμε.

Παράδειγμα

Δίνεται η παρακάτω λογική συνάρτηση Y τριών μεταβλητών A , B και C :

$$Y(A,B,C) = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot B \cdot C$$

Ο Πίνακας Αληθείας της λογικής συνάρτησης Y παρουσιάζεται στον Πίνακα 4.2.1.

Πίνακας 4.2.1 Πίνακας Αληθείας της λογικής συνάρτησης

$$Y(A,B,C) = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot B \cdot C$$

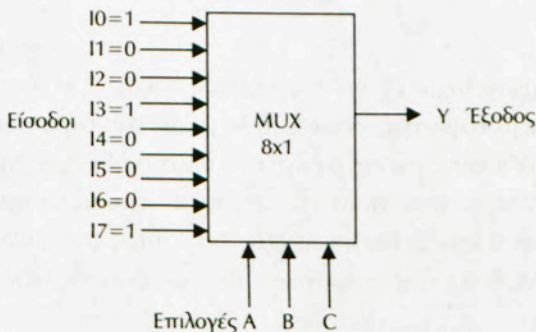
A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Το πλήθος των μεταβλητών της λογικής συνάρτησης είναι: $n=3$. Επομένως, η συνάρτηση μπορεί να υλοποιηθεί χρησιμοποιώντας έναν Πολυπλέκτη 8 εισόδων ($2^3 \times 1$), όπως φαίνεται στο Σχήμα 4.2.1.

Οι μεταβλητές A, B και C χρησιμοποιούνται ως οι τρεις γραμμές επιλογής του Πολυπλέκτη.

Οι οκτώ είσοδοι I0, I1, I2, I3, I4, I5, I6 και I7 του Πολυπλέκτη επιλέγονται κατάλληλα από τον Πίνακα Αληθείας της λογικής συνάρτησης: κάθε είσοδος του Πολυπλέκτη είναι "0" ή "1", έτσι ώστε να ικανοποιείται ο Πίνακας Αληθείας της λογικής συνάρτησης.

Προφανώς, η έξοδος του Πολυπλέκτη αποτελεί την συνάρτηση Y.



Σχήμα 4.2.1 Υλοποίηση της λογικής συνάρτησης

$$Y(A,B,C) = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot B \cdot C \text{ με Πολυπλέκτη 8 εισόδων}$$

Θέμα για επιπλέον μελέτη

Κάθε Συνδυαστικό Κύκλωμα n εισόδων και m εξόδων μπορεί να υλοποιηθεί με m Πολυπλέκτες 2^n εισόδων.

Παράδειγμα

Στο παράδειγμα αυτό θα υλοποιηθεί ένα συνδυαστικό κύκλωμα που αναγνωρίζει το πλήθος των "1" ενός 3-bits δυαδικού αριθμού, χρησιμοποιώντας Πολυπλέκτες.

Το συνδυαστικό κύκλωμα έχει τρεις εισόδους A, B και C που χρησιμοποιούνται για τον 3-bits δυαδικό αριθμό. Το πλήθος των "1" του 3-bits δυαδικού αριθμού είναι προφανώς 0 ή 1 ή 2 ή 3. Επομένως, το συνδυαστικό κύκλωμα έχει δύο εξόδους Y1 και Y2 που χρησιμοποιούνται για το πλήθος των "1" του 3-bits δυαδικού αριθμού.

Ο Πίνακας Αληθείας του συνδυαστικού κυκλώματος παρουσιάζεται στον Πίνακα 4.2.2.

Πίνακας 4.2.2 Πίνακας Αληθείας του συνδυαστικού κυκλώματος που αναγνωρίζει το πλήθος των "1" ενός 3-bits δυαδικού αριθμού

A	B	C	Y1	Y2	Πλήθος "1"
0	0	0	0	0	0
0	0	1	0	1	1
0	1	0	0	1	1
0	1	1	1	0	2
1	0	0	0	1	1
1	0	1	1	0	2
1	1	0	1	0	2
1	1	1	1	1	3

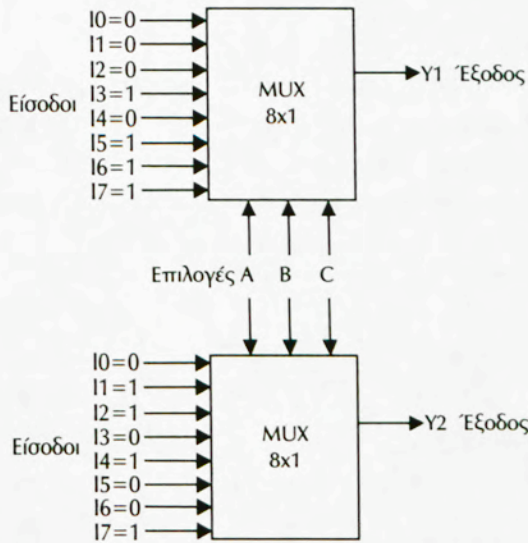
Το συνδυαστικό κύκλωμα έχει $n=3$ εισόδους και $m=2$ εξόδους.

Το πλήθος των μεταβλητών των δύο λογικών συναρτήσεων εξόδων είναι: $n=3$. Επομένως, κάθε συνάρτηση μπορεί να υλοποιηθεί χρησιμοποιώντας έναν Πολυπλέκτη 8×1 ($2^3 \times 1$). Άρα, το συνδυαστικό κύκλωμα μπορεί να υλοποιηθεί χρησιμοποιώντας δύο ($m=2$) Πολυπλέκτες 8×1 , όπως φαίνεται στο Σχήμα 4.2.2.

Οι μεταβλητές A, B και C χρησιμοποιούνται ως οι τρεις (κοινές) επιλογές των δύο Πολυπλεκτών.

Οι είσοδοι των δύο Πολυπλεκτών επιλέγονται κατάλληλα από τους Πίνακες Αληθείας των λογικών συναρτήσεων.

Οι έξοδοι των Πολυπλεκτών αποτελούν τις εξόδους του συνδυαστικού κυκλώματος.



Σχήμα 4.2.2 Υλοποίηση του συνδυαστικού κυκλώματος που αναγνωρίζει το πλήθος των "1" ενός 3-bits δυαδικού αριθμού με δύο Πολυπλέκτες 8x1

4.3 ΑΠΟΠΟΛΥΠΛΕΚΤΕΣ

4.3.1 Ορισμοί

Ο **Αποπολυπλέκτης** (Demultiplexer - DEMUX) 1×2^n είναι ένα συνδυαστικό κύκλωμα που έχει μία είσοδο, n γραμμές επιλογής και 2^n γραμμές εξόδου. Το κύκλωμα δέχεται πληροφορίες από την γραμμή εισόδου και τις μεταβιβάζει σε **μία** από τις 2^n γραμμές εξόδου, ανάλογα με την τιμή των n γραμμών επιλογής.

Ο συμβολισμός 1×2^n σημαίνει ότι ο αποπολυπλέκτης έχει μία είσοδο και 2^n εξόδους. Ο Αποπολυπλέκτης 1×2^n παρουσιάζεται στο Σχήμα 4.3.1.



Σχήμα 4.3.1 Αποπολυπλέκτης 1×2^n

Η κύρια εφαρμογή του Αποπολυπλέκτη είναι η επιλογή **μίας** από τις πολλές εξόδους του στην οποία μεταφέρεται η πληροφορία που εφαρμόζεται στην είσοδό του.

4.3.2 Αποπολυπλέκτης 1x2

Ο Αποπολυπλέκτης 1x2 έχει μία είσοδο E, μία γραμμή επιλογής I0 και δύο εξόδους D0 και D1. Η είσοδος E μεταβιβάζεται στην γραμμή εξόδου που υποδεικνύει το bit I0 της γραμμής επιλογής.

Ο Πίνακας Αληθείας του Αποπολυπλέκτη 1x2 παρουσιάζεται στον Πίνακα 4.3.1.

Πίνακας 4.3.1 Πίνακας Αληθείας του Αποπολυπλέκτη 1x2

E	I0	D0	D1
0	0	0	0
0	1	0	0
1	0	1	0
1	1	0	1

Στον Πίνακα Αληθείας του Αποπολυπλέκτη 1x2 φαίνεται ότι:

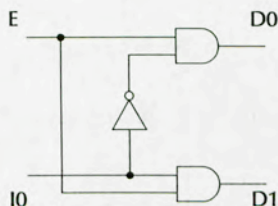
- ☞ όταν η γραμμή επιλογής είναι $I0=0$, τότε η είσοδος E μεταβιβάζεται στην έξοδο D0 (αν $E=0$ τότε $D0=0$ στην πρώτη γραμμή και αν $E=1$ τότε $D0=1$ στην τρίτη γραμμή)
- ☞ όταν η γραμμή επιλογής είναι $I0=1$, τότε η είσοδος E μεταβιβάζεται στην έξοδο D1 (αν $E=0$ τότε $D1=0$ στην δεύτερη γραμμή και αν $E=1$ τότε $D1=1$ στην τέταρτη γραμμή)
- ☞ όλες οι υπόλοιπες εξοδοί (που δεν επιλέγονται) λαμβάνουν τιμές ίσες με "0" (ή ίσες με "1", ανάλογα με τη σχεδίαση του Αποπολυπλέκτη).

Από τον Πίνακα Αληθείας του Αποπολυπλέκτη 1x2 προκύπτουν οι ακόλουθες συναρτήσεις εξόδων D0 και D1 συναρτήσει εισόδου E και της γραμμής επιλογής I0:

$$D0 = E \cdot \overline{I0}$$

$$D1 = E \cdot I0$$

Επομένως, το κύκλωμα του Αποπολυπλέκτη 1x2 μπορεί να υλοποιηθεί χρησιμοποιώντας μία πύλη NOT και δύο πύλες AND δύο εισόδων, όπως φαίνεται στο Σχήμα 4.3.2.



Σχήμα 4.3.2 Υλοποίηση Αποπολυπλέκτη 1x2 με πύλες

4.3.3 Αποπολυπλέκτης 1x4

Ο Αποπολυπλέκτης 1x4 έχει μία είσοδο E, δύο γραμμές επιλογής I1 και I0 και τέσσερις εξόδους D0, D1, D2 και D3. Η είσοδος E μεταβιβάζεται στην γραμμή εξόδου που υποδεικνύουν τα bits I1 και I0 των γραμμών επιλογής.

Ο Πίνακας Αληθείας του Αποπολυπλέκτη 1x4 παρουσιάζεται στον Πίνακα 4.3.2.

Πίνακας 4.3.2 Πίνακας Αληθείας του Αποπολυπλέκτη 1x4

E	I1	I0	D0	D1	D2	D3
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

Από τον Πίνακα Αληθείας του Αποπολυπλέκτη 1x4 προκύπτουν οι ακόλουθες συναρτήσεις εξόδων D0, D1, D2 και D3 συναρτήσει εισόδου E και των επιλογών I0 και I1:

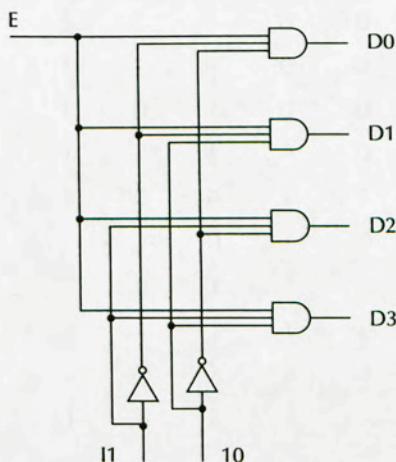
$$D0 = E \cdot \bar{I1} \cdot \bar{I0}$$

$$D1 = E \cdot \bar{I1} \cdot I0$$

$$D2 = E \cdot I1 \cdot \bar{I0}$$

$$D3 = E \cdot I1 \cdot I0$$

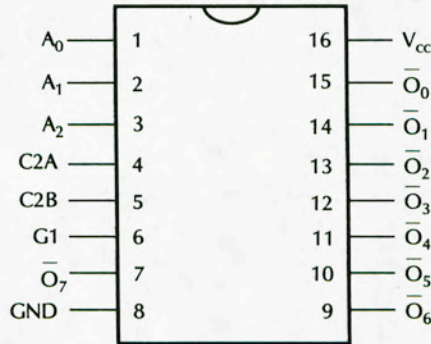
Επομένως, το κύκλωμα του Αποπολυπλέκτη 1x4 μπορεί να υλοποιηθεί χρησιμοποιώντας δύο πύλες NOT και τέσσερις πύλες AND τριών εισόδων, όπως φαίνεται στο Σχήμα 4.3.3.



Σχήμα 4.3.3 Υλοποίηση Αποπολυπλέκτη 1x4 με πύλες

4.3.4 Ολοκληρωμένα κυκλώματα αποπολυπλέκτων

Στην παράγραφο αυτή θα παρουσιαστεί το ολοκληρωμένο κύκλωμα 74138 της σειράς 74, που μπορεί να λειτουργήσει ως Αποπολυπλέκτης 1x8 (ή ως Αποκωδικοποιητής 3x8 (κεφάλαιο 5)), το οποίο φαίνεται στο Σχήμα 4.3.4.



Σχήμα 4.3.4 Το ολοκληρωμένο κύκλωμα 74138 Αποπολυπλέκτης 1x8 / Αποκωδικοποιητής 3x8

Ο Πίνακας Αληθείας του ολοκληρωμένου κυκλώματος 74138 παρουσιάζεται στον Πίνακα 4.3.3.

Πίνακας 4.3.3 Πίνακας Αληθείας του ολοκληρωμένου κυκλώματος 74138

G1	G2	C	B	A	D0	D1	D2	D3	D4	D5	D6	D7
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0
X	1	X	X	X	1	1	1	1	1	1	1	1
0	X	X	X	X	1	1	1	1	1	1	1	1

$$G2 = G2A + G2B$$

Το ολοκληρωμένο κύκλωμα 74138 έχει τρεις εισόδους ενεργοποίησης G1 (pin 6), G2A (pin 4) και G2B (pin 5) που ελέγχουν την λειτουργία του.

Το ολοκληρωμένο κύκλωμα 74138 λειτουργεί ως Αποπολυπλέκτης 1x8 όταν G1=1 και G2A=0 (ή G2B=0). Η είσοδος G2B (ή G2A) χρησιμοποιείται ως είσοδος δεδομένων (data) και οι εισοδοί A, B και C χρησιμοποιούνται ως γραμμές επιλογής.

4.4 ΠΕΡΙΛΗΨΗ

1. Ο Πολυπλέκτης 2^n εισόδων είναι ένα συνδυαστικό κύκλωμα που έχει n γραμμές επιλογής (ελέγχου) και μία μοναδική γραμμή εξόδου. Το κύκλωμα επιλέγει δυαδικές πληροφορίες από 2^n γραμμές εισόδου, ανάλογα με τις τιμές των n γραμμών επιλογής και τις κατευθύνει στην γραμμή εξόδου.
2. Κάθε λογική συνάρτηση n μεταβλητών μπορεί να υλοποιηθεί με έναν Πολυπλέκτη 2^n εισόδων.
3. Ο Αποπολυπλέκτης 1×2^n είναι ένα συνδυαστικό κύκλωμα που έχει μία είσοδο, n γραμμές επιλογής και 2^n γραμμές εξόδου. Το κύκλωμα δέχεται πληροφορίες από την γραμμή εισόδου και τις μεταβιβάζει σε μία από τις 2^n γραμμές εξόδου, ανάλογα με την τιμή των n γραμμών επιλογής.

4.5 ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ

1. Ένας Πολυπλέκτης 4 εισόδων (MUX 4x1) έχει τέσσερις εισόδους I0=0, I1=I2=I3=1, δύο γραμμές επιλογής S0 και S1 και μία έξοδο Y. Να βρεθεί η τιμή της εξόδου του πολυπλέκτη για όλες τις δυνατές τιμές των γραμμών επιλογής.

Ανάλογα με τις τιμές των γραμμών επιλογής S1 και S0, μία από τις εισόδους I0, I1, I2 και I3 μεταβιβάζεται στην έξοδο Y:

– αν S1=0 και S0=0, τότε Y=I0=0

– αν S1=0 και S0=1, τότε Y=I1=1

– αν S1=1 και S0=0, τότε Y=I2=1

– αν S1=1 και S0=1, τότε Y=I3=1

2. Δίνεται η παρακάτω λογική συνάρτηση Y τριών μεταβλητών A, B και C:

$$Y(A,B,C) = \bar{A} \cdot C + \bar{B} \cdot C + A \cdot B \cdot \bar{C}$$

Να υλοποιηθεί η λογική συνάρτηση Y χρησιμοποιώντας Πολυπλέκτη. Τι Πολυπλέκτης απαιτείται; Να σχεδιαστεί το κύκλωμα.

Ο χάρτης Karnaugh της λογικής συνάρτησης Y παρουσιάζεται στο Σχήμα 4.5.1.

	$\bar{B} \cdot \bar{C}$	$\bar{B} \cdot C$	$B \cdot C$	$B \cdot \bar{C}$
\bar{A}		1	1	
A		1		1

Σχήμα 4.5.1 Χάρτης Karnaugh της συνάρτησης
 $Y(A,B,C) = \bar{A}C + \bar{B}C + ABC$

Ο Πίνακας Αληθείας της λογικής συνάρτησης Y παρουσιάζεται στον Πίνακα 4.5.1.

Πίνακας 4.5.1 Πίνακας Αληθείας της λογικής συνάρτησης $Y(A,B,C) = \bar{A} \cdot C + \bar{B} \cdot C + A \cdot B \cdot \bar{C}$

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

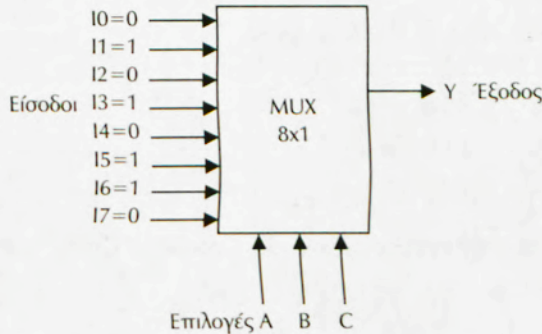
Το πλήθος των μεταβλητών της λογικής συνάρτησης είναι: $n=3$. Επομένως, η συνάρτηση μπορεί να υλοποιηθεί χρησιμοποιώντας έναν Πολυπλέκτη 8 εισόδων ($2^3 \times 1$).

Οι μεταβλητές A, B και C χρησιμοποιούνται ως οι τρεις γραμμές επιλογής του Πολυπλέκτη.

Οι οκτώ εισόδους I0, I1, I2, I3, I4, I5, I6 και I7 του Πολυπλέκτη επιλέγονται κατάλληλα από τον Πίνακα Αληθείας της λογικής συνάρτησης: κάθε είσοδος του Πολυπλέκτη είναι "0" ή "1", έτσι ώστε να ικανοποιείται ο Πίνακας Αληθείας της λογικής συνάρτησης.

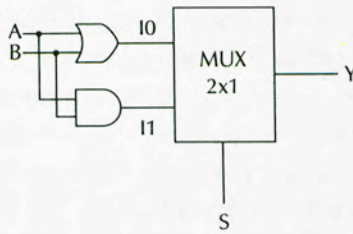
Η έξοδος του Πολυπλέκτη αποτελεί την συνάρτηση Y.

Το κύκλωμα παρουσιάζεται στο Σχήμα 4.5.2.



Σχήμα 4.5.2 Υλοποίηση της λογικής συνάρτησης
 $Y(A,B,C) = \bar{A} \cdot C + \bar{B} \cdot C + A \cdot B \cdot \bar{C}$ με Πολυπλέκτη 8x1

3. Να εξηγηθεί η λειτουργία του κυκλώματος του Σχήματος 4.5.3.



Σχήμα 4.5.3 Κύκλωμα της Άσκησης 3

Το κύκλωμα του Σχήματος 4.5.3 έχει δύο εισόδους A και B και μία έξοδο Y. Επίσης έχει μία επιπλέον είσοδο S που τροφοδοτεί την γραμμή επιλογής του Πολυπλέκτη 2 εισόδων που υπάρχει στο κύκλωμα. Ο Πολυπλέκτης έχει έξοδο την έξοδο Y του κυκλώματος και δύο εισόδους I0 και I1 που είναι:

$$I0 = A + B$$

$$I1 = A \cdot B$$

Ο Πίνακας Αληθείας του Πολυπλέκτη παρουσιάζεται στον Πίνακα 4.5.2.

Από τον Πίνακα Αληθείας του Πολυπλέκτη προκύπτει ότι το κύκλωμα λειτουργεί ως πύλη OR ή ως πύλη AND, ανάλογα με την επιλογή S:

- ☛ αν $S = 0$ τότε το κύκλωμα λειτουργεί ως πύλη OR δύο εισόδων ($Y = A + B$)
- ☛ αν $S = 1$ τότε το κύκλωμα λειτουργεί ως πύλη AND δύο εισόδων ($Y = A \cdot B$).

Πίνακας 4.5.2 Πίνακας Αληθείας του κυκλώματος του Σχήματος 4.5.3

S	Y
0	$I0 = A + B$
1	$I1 = A \cdot B$

4. Ένας Αποπολυπλέκτης 1x4 έχει μία είσοδο E, δύο γραμμές επιλογής I1 και I0 και τέσσερις εξόδους D0, D1, D2 και D3. Να βρεθούν οι τιμές των εξόδων του αποπολυπλέκτη για όλες τις δυνατές τιμές των γραμμών επιλογής, όταν η είσοδος είναι $E = 1$.

Η είσοδος $E = 1$ μεταβιβάζεται στην γραμμή εξόδου που υποδεικνύουν τα bits I1 και I0 των γραμμών επιλογής, όπως φαίνεται στον παρακάτω Πίνακα.

E	I1	I0	D0	D1	D2	D3
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

5. Ένα Συνδυαστικό Κύκλωμα εμφανίζει το αποτέλεσμα μίας ψηφοφορίας των μετόχων μίας εταιρείας. Στην εταιρεία υπάρχουν τρεις μέτοχοι Α, Β και C που ο καθένας έχει τον ακόλουθο αριθμό μετοχών: ο μέτοχος Α έχει μία (1) μετοχή, ο μέτοχος Β έχει δύο (2) μετοχές και ο μέτοχος C έχει τρεις (3) μετοχές. Το κύκλωμα έχει τρεις εισόδους Α, Β και C. Η κάθε είσοδος είναι "0" που αντιστοιχεί σε ψήφο ΟΧΙ ή "1" που αντιστοιχεί σε ψήφο ΝΑΙ του αντίστοιχου μετόχου. Το κύκλωμα έχει τρεις εξόδους Υ2, Υ1 και Υ0 που αποτελούν την δυαδική αναπαράσταση του συνόλου των ψήφων ΝΑΙ. Να υλοποιηθεί το συνδυαστικό κύκλωμα χρησιμοποιώντας Πολυπλέκτες. Ο Πίνακας Αληθείας του Συνδυαστικού Κυκλώματος παρουσιάζεται στον Πίνακα 4.5.3.

Πίνακας 4.5.3 Πίνακας Αληθείας του κυκλώματος της Άσκησης 5

Μετοχές						
1	2	3				
A	B	C	Υ2	Υ1	Υ0	Ψήφοι ΝΑΙ
0	0	0	0	0	0	0
0	0	1	0	1	1	3
0	1	0	0	1	0	2
0	1	1	1	0	1	5
1	0	0	0	0	1	1
1	0	1	1	0	0	4
1	1	0	0	1	1	3
1	1	1	1	1	0	6

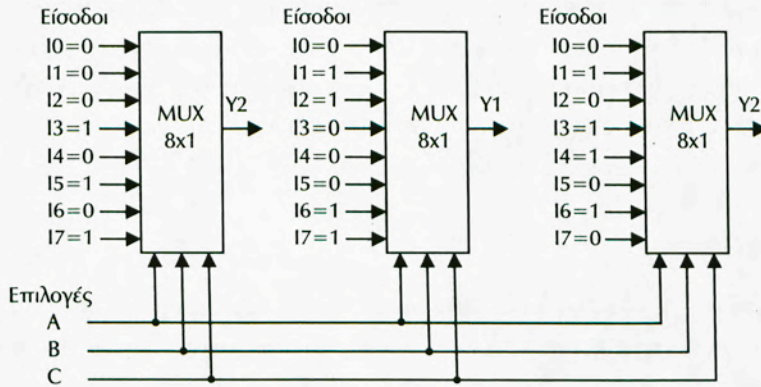
Το συνδυαστικό κύκλωμα έχει $n=3$ εισόδους και $m=3$ εξόδους.

Το πλήθος των μεταβλητών των δύο λογικών συναρτήσεων εξόδων είναι: $n=3$. Επομένως, κάθε συνάρτηση μπορεί να υλοποιηθεί χρησιμοποιώντας έναν Πολυπλέκτη 8 εισόδων ($2^3 \times 1$). Άρα, το συνδυαστικό κύκλωμα μπορεί να υλοποιηθεί χρησιμοποιώντας τρεις ($m=3$) Πολυπλέκτες 8 εισόδων, όπως φαίνεται στο Σχήμα 4.5.4.

Οι μεταβλητές Α, Β και C χρησιμοποιούνται ως οι τρεις (κοινές) γραμμές επιλογής των τριών Πολυπλεκτών.

Οι εισοδοί των τριών Πολυπλεκτών επιλέγονται κατάλληλα από τους Πίνακες Αληθείας των λογικών συναρτήσεων.

Οι εξοδοί των Πολυπλεκτών αποτελούν τις εξόδους του συνδυαστικού κυκλώματος.



Σχήμα 4.5.4 Κύκλωμα της Άσκησης 5

4.6 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ

1. Πόσες εισόδους έχει ένας Πολυπλέκτης με 4 γραμμές επιλογής;
2. Πόσες γραμμές επιλογής έχει ένας Πολυπλέκτης με 8 εισόδους;
3. Ποια είναι η διαφορά Πολυπλέκτη – Αποπολυπλέκτη.
4. Μία λογική συνάρτηση τριών μεταβλητών μπορεί να υλοποιηθεί χρησιμοποιώντας έναν Πολυπλέκτη:
 - α) 2x1
 - β) 8x1
 - γ) 16x1
5. Ποιο από τα παρακάτω είναι σωστό και ποιο λάθος;
 - α. Ο Αποπολυπλέκτης 1x4 έχει τέσσερις (4) εισόδους.
ΣΩΣΤΟ ΛΑΘΟΣ
 - β. Ο Αποπολυπλέκτης 1x4 έχει τέσσερις (4) εξόδους.
ΣΩΣΤΟ ΛΑΘΟΣ
 - γ. Ο Αποπολυπλέκτης 1x4 έχει τέσσερις (4) γραμμές επιλογής.
ΣΩΣΤΟ ΛΑΘΟΣ
6. Δίνεται η παρακάτω λογική συνάρτηση Y τριών μεταβλητών A, B και C:

$$Y(A,B,C) = \bar{A} \cdot \bar{B} + A \cdot B \cdot \bar{C}$$
 Να υλοποιηθεί η λογική συνάρτηση Y χρησιμοποιώντας Πολυπλέκτη. Τι Πολυπλέκτης απαιτείται;
 Να σχεδιαστεί τι κύκλωμα.

7. Να χρησιμοποιήσετε έναν Πολυπλέκτη (Multiplexer) 2 εισόδων για να υλοποιήσετε ένα Συνδυαστικό Κύκλωμα δύο εισόδων A και B και μίας εξόδου Y. Το κύκλωμα έχει μία επιπλέον είσοδο S που τροφοδοτεί την γραμμή επιλογής του πολυπλέκτη και ελέγχει την λειτουργία του κυκλώματος ως εξής:

$$Y(A,B) = A \cdot B \text{ αν } S=0$$

$$Y(A,B) = \overline{A \cdot B} \text{ αν } S=1$$

Να σχεδιάσετε το κύκλωμα.

8. Να σχεδιάσετε ένα Συνδυαστικό Κύκλωμα που συμπεριφέρεται ως πύλη AND ή OR ή NAND ή NOR δύο (2) εισόδων χρησιμοποιώντας έναν Πολυπλέκτη.

9. Ένας Πολυπλέκτης 2 εισόδων A και B έχει μία γραμμή επιλογής S. Ένας Αποπολυπλέκτης 1x2 έχει μία γραμμή επιλογής I και δύο εξόδους C και D. Η έξοδος του Πολυπλέκτη συνδέεται με την είσοδο του Αποπολυπλέκτη.

α. Να σχεδιάσετε το κύκλωμα.

β. Ποιες πρέπει να είναι οι τιμές των γραμμών επιλογής S και I, ώστε η πληροφορία που βρίσκεται στην είσοδο A του Πολυπλέκτη να μεταφερθεί στην έξοδο D του αποπολυπλέκτη;

γ. Ποιες πρέπει να είναι οι τιμές των γραμμών επιλογής S και I, ώστε η πληροφορία που βρίσκεται στην είσοδο B του Πολυπλέκτη να μεταφερθεί στην έξοδο C του αποπολυπλέκτη;

δ. Τι θα συμβεί αν συνδεθούν οι γραμμές επιλογής S και I και λάβουν τιμή "0";
Τι θα συμβεί αν λάβουν τιμή "1";

1. Να γνωρίζετε τις έννοιες και τις χρήσεις των αποκωδικοποιητών και των κωδικοποιητών.
2. Να σχεδιάζετε συνδυαστικά κυκλώματα αποκωδικοποιητών και κωδικοποιητών.
3. Να μελετάτε φύλλα δεδομένων Ο.Κ αποκωδικοποιητών και κωδικοποιητών.
4. Να υλοποιείτε, στο εργαστήριο, κυκλώματα αποκωδικοποιητών και κωδικοποιητών.
5. Να μπορείτε να χρησιμοποιείτε, σε μία εφαρμογή ενδεικτική 7 τμημάτων.

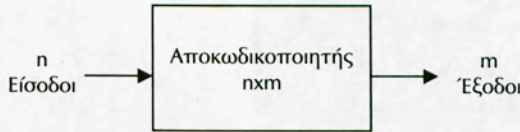
5 κεφάλαιο

ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ
ΚΩΔΙΚΟΠΟΙΗΤΕΣ

5.1 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ

5.1.1 Ορισμοί

Ο **Αποκωδικοποιητής** (Decoder) από n σε m ($n \times m$) είναι ένα συνδυαστικό κύκλωμα με n γραμμές εισόδου και m γραμμές εξόδου ($m \leq 2^n$), όπως φαίνεται στο Σχήμα 5.1.1. Κάθε μία από τις n εισόδους του Αποκωδικοποιητή μπορεί να είναι "0" ή "1", οπότε υπάρχουν 2^n διαφορετικοί συνδυασμοί. Για κάθε συνδυασμό εισόδου **μόνο μία** από τις εξόδους του αποκωδικοποιητή είναι ενεργοποιημένη.



Σχήμα 5.1.1 Αποκωδικοποιητής $n \times m$

Υπάρχουν αποκωδικοποιητές που χρησιμοποιούν όλους τους δυνατούς συνδυασμούς εισόδου ($m=2^n$), όπως είναι ο αποκωδικοποιητής 3×8 , και αποκωδικοποιητές που χρησιμοποιούν λιγότερους συνδυασμούς εισόδου ($m < 2^n$), όπως είναι ο αποκωδικοποιητής 4×10 .

5.1.2 Αποκωδικοποιητές με πύλες

5.1.2.1 Αποκωδικοποιητής 3×8

Ο Αποκωδικοποιητής 3×8 χρησιμοποιεί όλους τους δυνατούς συνδυασμούς εισόδου. Ο Αποκωδικοποιητής 3×8 έχει τρεις εισόδους C, B και A που αντιστοιχούν σε έναν δυαδικό αριθμό 3-bits (κωδικός εισόδου) και οκτώ εξόδους D0, D1, D2, D3, D4, D5, D6 και D7. Για κάθε συνδυασμό εισόδου **μόνο μία** από τις εξόδους του αποκωδικοποιητή είναι "1" (αυτή που αντιστοιχεί στον κωδικό εισόδου) και οι άλλες εξόδοι είναι "0". Ο Πίνακας Αληθείας του Αποκωδικοποιητή 3×8 παρουσιάζεται στον Πίνακα 5.1.1.

Από τον Πίνακα Αληθείας του αποκωδικοποιητή 3×8 προκύπτουν οι ακόλουθες συναρτήσεις εξόδου:

$$D0 = \bar{C} \cdot \bar{B} \cdot \bar{A}$$

$$D1 = \bar{C} \cdot \bar{B} \cdot A$$

$$D2 = \bar{C} \cdot B \cdot \bar{A}$$

$$D3 = \bar{C} \cdot B \cdot A$$

$$D4 = C \cdot \bar{B} \cdot \bar{A}$$

$$D5 = C \cdot \bar{B} \cdot A$$

$$D6 = C \cdot B \cdot \bar{A}$$

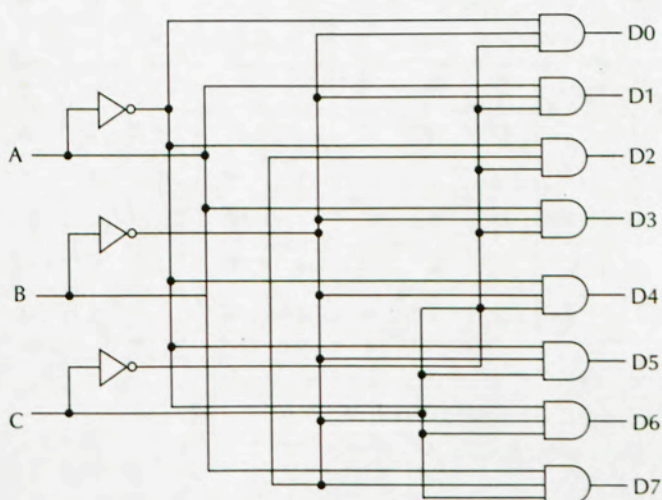
$$D7 = C \cdot B \cdot A$$

Πίνακας 5.1.1 Πίνακας Αληθείας του Αποκωδικοποιητή 3x8

C	B	A	D0	D1	D2	D3	D4	D5	D6	D7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Προφανώς, ο αποκωδικοποιητής 3x8 παράγει στις εξόδους του τους οκτώ ($2^3=8$) **ελάχιστους όρους** των τριών (3) μεταβλητών εισόδου του. Γενικά, ο αποκωδικοποιητής $n \times 2^n$ παράγει στις εξόδους του τους 2^n ελάχιστους όρους των n μεταβλητών εισόδου του.

Ο αποκωδικοποιητής 3x8 μπορεί να υλοποιηθεί χρησιμοποιώντας τρεις (3) πύλες NOT για την εύρεση των συμπληρωμάτων των εισόδων που απαιτούνται και οκτώ (8) πύλες AND τριών (3) εισόδων, όπως φαίνεται στο Σχήμα 5.1.2. Γενικά, ο αποκωδικοποιητής $n \times 2^n$ μπορεί να υλοποιηθεί χρησιμοποιώντας n πύλες NOT και 2^n πύλες AND n εισόδων.



Σχήμα 5.1.2 Αποκωδικοποιητής 3x8 με πύλες NOT και AND

5.1.2.2 Αποκωδικοποιητής BCD σε δεκαδικό (4x10)

Ο Αποκωδικοποιητής BCD σε δεκαδικό (4x10) έχει τέσσερις εισόδους D, C, B και A και δέκα εξόδους D0, D1, D2, D3, D4, D5, D6, D7, D8 και D9 και δεν χρησιμοποιεί όλους τους δυνατούς συνδυασμούς εισόδου. Υπάρχουν δεκαέξι ($2^4=16$) συνδυασμοί εισόδου: οι δέκα πρώτοι αντιστοιχούν στους (δέκα) BCD κωδικούς (0000 .. 1001) και οι υπόλοιποι έξι (6) δεν χρησιμοποιούνται. Για κάθε συνδυασμό εισόδου που χρησιμοποιείται **μόνο μία** από τις εξόδους του αποκωδικοποιητή είναι "1" (αυτή που αντιστοιχεί στον κωδικό εισόδου) και οι άλλες εξοδοι είναι "0". Για τους μη χρησιμοποιούμενους συνδυασμούς εισόδου όλες οι εξοδοι είναι "0". Ο Πίνακας Αληθείας του Αποκωδικοποιητή 4x10 παρουσιάζεται στον Πίνακα 5.1.2.

Πίνακας 5.1.2 Πίνακας Αληθείας του Αποκωδικοποιητή 4x10

D	C	B	A	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1
1	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0

ΔΕΝ ΧΡΗΣΙΜΟΠΟΙΟΥΝΤΑΙ

5.1.3 Υλοποίηση συνδυαστικών κυκλωμάτων με αποκωδικοποιητές

Είναι γνωστό ότι ο αποκωδικοποιητής $n \times 2^n$ παράγει στις εξόδους του τους 2^n ελάχιστους όρους των n μεταβλητών εισόδου του. Επίσης είναι γνωστό ότι κάθε

λογική συνάρτηση μπορεί να εκφραστεί ως “άθροισμα” ελαχίστων όρων. Επομένως, κάθε λογική συνάρτηση n μεταβλητών μπορεί να υλοποιηθεί με έναν Αποκωδικοποιητή $n \times 2^n$ και μία (1) πύλη OR, οι είσοδοι της οποίας τροφοδοτούνται από τις εξόδους του Αποκωδικοποιητή που αντιστοιχούν στους ελάχιστους όρους που η συνάρτηση έχει την τιμή “1”. Άρα, **κάθε Συνδυαστικό Κύκλωμα n εισόδων και m εξόδων μπορεί να υλοποιηθεί με έναν Αποκωδικοποιητή $n \times 2^n$ και m πύλες OR** οι είσοδοι των οποίων τροφοδοτούνται κατάλληλα από τις εξόδους του Αποκωδικοποιητή.

Παράδειγμα

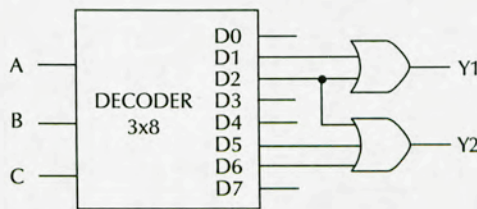
Ένα Συνδυαστικό Κύκλωμα έχει τρεις (3) εισόδους A, B και C και δύο (2) εξόδους:

$$Y1(A,B,C) = A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C}$$

$$Y2(A,B,C) = \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot C$$

Το πλήθος των εισόδων του κυκλώματος είναι $n=3$ και το πλήθος των εξόδων του κυκλώματος είναι $m=2$.

Επομένως, το κύκλωμα μπορεί να υλοποιηθεί χρησιμοποιώντας έναν αποκωδικοποιητή 3×8 ($n \times 2^n$) και δύο (m) πύλες OR. Η μία πύλη OR δύο εισόδων υλοποιεί την συνάρτηση $Y1$ και οι είσοδοί της τροφοδοτούνται από τις εξόδους του Αποκωδικοποιητή που αντιστοιχούν στους ελάχιστους όρους που η συνάρτηση $Y1$ έχει την τιμή “1” (σύμφωνα και με τον πίνακα 5.1.1). Με την ίδια λογική τροφοδοτούνται οι είσοδοι της πύλης OR τριών εισόδων που υλοποιεί την συνάρτηση $Y2$. Το κύκλωμα φαίνεται στο Σχήμα 5.1.3.



Σχήμα 5.1.3 Υλοποίηση του Συνδυαστικού Κυκλώματος με έναν Αποκωδικοποιητή και δύο πύλες OR

5.1.4 Ολοκληρωμένα κυκλώματα αποκωδικοποιητών

Στα ολοκληρωμένα κυκλώματα της σειράς 74 υπάρχουν αρκετά ολοκληρωμένα κυκλώματα Αποκωδικοποιητών, όπως είναι τα παρακάτω:

- ✓ τα ολοκληρωμένα κυκλώματα 74139, 74155 και 74156 είναι Αποκωδικοποιητές 2×4

- ✓ το ολοκληρωμένο κύκλωμα 74138 είναι Αποκωδικοποιητής 3x8
- ✓ τα ολοκληρωμένα κυκλώματα 74154 και 74159 είναι Αποκωδικοποιητές 4x16
- ✓ τα ολοκληρωμένα κυκλώματα 7442, 7443, 7444, 7445, 74141 και 74145 είναι Αποκωδικοποιητές 4x10

Το ολοκληρωμένο κύκλωμα 74138 μπορεί να λειτουργήσει ως Αποκωδικοποιητής 3x8 (ή ως Αποπολυπλέκτης 1x8) και παρουσιάστηκε στο Κεφάλαιο 4. Έχει τρεις εισόδους ενεργοποίησης G1 (Ακροδέκτης 6), G2A (Ακροδέκτης 4) και G2B (Ακροδέκτης 5) που ελέγχουν την λειτουργία του. Το ολοκληρωμένο κύκλωμα 74138 λειτουργεί ως Αποκωδικοποιητής 3x8 όταν G1="1" και G2A="0" και G2B="0" και οι εξοδοί του εμφανίζουν λογικό "0" όταν ενεργοποιούνται.

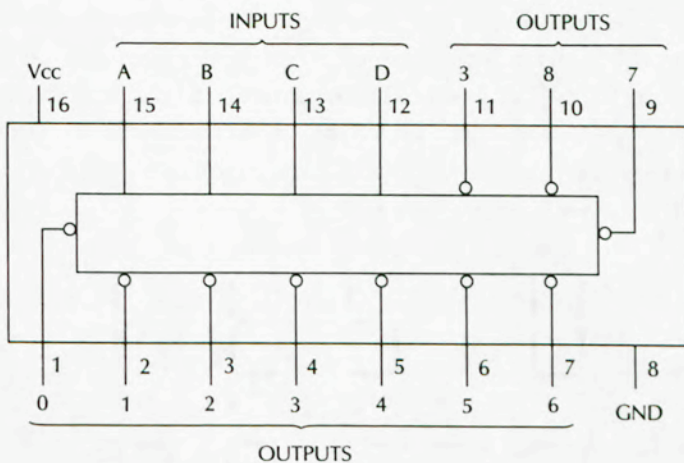
Το ολοκληρωμένο κύκλωμα 7442 είναι ένας Αποκωδικοποιητής 4x10 (BCD to decimal) και παρουσιάζεται στο Σχήμα 5.1.4.

Ο Πίνακας Λειτουργίας του ολοκληρωμένου κυκλώματος 7442 παρουσιάζεται στον Πίνακα 5.1.3.

Συγκρίνοντας τους πίνακες 5.1.2 και 5.1.3 παρατηρούμε ότι στις εξόδους του ολοκληρωμένου 7442 εμφανίζονται τα συμπληρώματα των (θεωρητικών) εξόδων του αποκωδικοποιητή BCD σε δεκαδικό. Αυτή η λογική κατασκευής του ολοκληρωμένου είναι επιθυμητή σε πολλές εφαρμογές.

Πίνακας 5.1.3 Πίνακας Λειτουργίας του ολοκληρωμένου κυκλώματος 7442

D	C	B	A	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1



Σχήμα 5.1.4 Το ολοκληρωμένο κύκλωμα 7442

5.2 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ ΟΔΗΓΟΙ

5.2.1 Ενδείκτης 7 τμημάτων

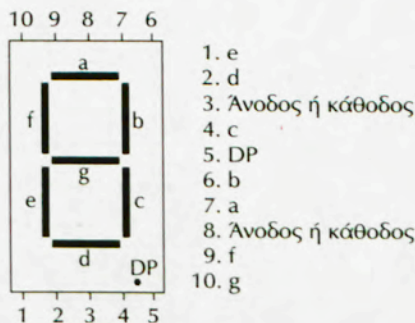
Οι ενδείκτες (displays) χρησιμοποιούν επτά (7) τμήματα (segments) για να αναπαραστήσουν τους δεκαδικούς αριθμούς 0-9.

Υπάρχουν ενδείκτες όπου χρησιμοποιούνται οι **δίοδοι εκπομπής φωτός** (Light Emitting Diodes - LEDs) για την κατασκευή των τμημάτων τους. Η λειτουργία τους βασίζεται στο γεγονός ότι κάθε τμήμα αποτελείται από υλικό το οποίο εκπέμπει φως όταν διαρρέεται από ρεύμα.

Επίσης, υπάρχουν **ενδείκτες υγρού κρυστάλλου** (Liquid Crystal Displays - LCDs). Η λειτουργία τους βασίζεται στην ιδιότητα ενός ειδικού υγρού κρυστάλλου να διαδίδει διαφορετικά το φως υπό την επίδραση εναλλασσόμενου ηλεκτρικού πεδίου. Τα LCDs έχουν ιδιαίτερα χαμηλή κατανάλωση ισχύος και είναι ιδανικά για φορητές συσκευές.

Στο Σχήμα 5.2.1 παρουσιάζεται το διάγραμμα ακροδεκτών ενός ενδείκτη επτά τμημάτων.

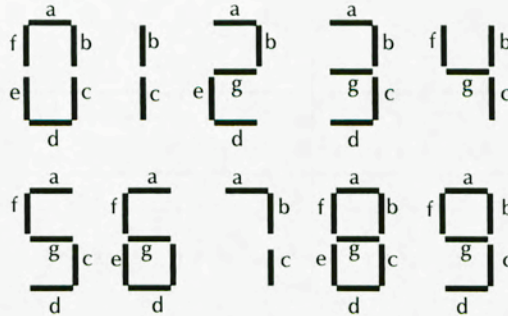
Οι δεκαδικοί αριθμοί σχηματίζονται όταν ανάβουν κάποια από τα τμήματα του ενδείκτη επτά τμη-



Σχήμα 5.2.1 Ενδείκτης δεκαδικών ψηφίων επτά τμημάτων (display)

μάτων. Στο Σχήμα 5.2.2 παρουσιάζεται ο τρόπος εμφάνισης των δεκαδικών ψηφίων 0-9 στον ενδείκτη επτά τμημάτων.

Οι ακροδέκτες 7, 6, 4, 2, 1, 9 και 10 αντιστοιχούν στα επτά τμήματα a, b, c, d, e, f, και g του ενδείκτη. Οι ακροδέκτες 3 και 8 αντιστοιχούν στην κοινή άνοδο ή κάθοδο, που συνδέονται αντίστοιχα στην τροφοδοσία ή στη γείωση. Ο ακροδέκτης 5 αντιστοιχεί στην υποδιαστολή (D.P. - Decimal Point).



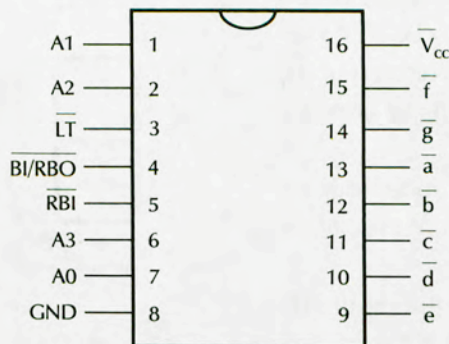
Σχήμα 5.2.2 Τρόπος εμφάνισης των δεκαδικών ψηφίων 0-9 στον ενδείκτη επτά τμημάτων

5.2.2 Αποκωδικοποιητής BCD σε 7 τμήματα

Ο Αποκωδικοποιητής BCD σε 7 τμήματα (BCD to 7 Segments Decoder) χρησιμοποιείται αποκλειστικά για την οδήγηση ενδείκτη δεκαδικών ψηφίων (display), για τον λόγο αυτό καλείται συνήθως Αποκωδικοποιητής Οδηγός.

Αποκωδικοποιητές BCD σε 7 τμήματα είναι τα ολοκληρωμένα κυκλώματα 7447 και 7448 της σειράς 74.

Το ολοκληρωμένο κύκλωμα 7447 που παρουσιάζεται στο Σχήμα 5.2.3 οδηγεί display κοινής ανόδου (όλες οι άνοδοι των διόδων, με τις οποίες κατασκευάζονται τα τμήματα, είναι συνδεδεμένες μεταξύ τους και πρέπει να συνδεθούν στην Vcc, ενώ οι κάθοδοι συνδέονται στις εξόδους του Ο.Κ.). Το 7448 οδηγεί display κοινής καθόδου.



Σχήμα 5.2.3 Το ολοκληρωμένο κύκλωμα 7447

Ο Πίνακας Αληθείας του ολοκληρωμένου κυκλώματος 7447 παρουσιάζεται στον Πίνακα 5.2.1.

Πίνακας 5.2.1 Πίνακας Αληθείας του ολοκληρωμένου κυκλώματος 7447

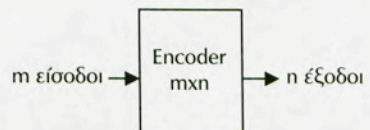
D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	1	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	1	1	0	0
1	0	1	0	1	1	1	0	0	1	0
1	0	1	1	1	1	0	0	1	1	0
1	1	0	0	1	0	1	1	1	0	0
1	1	0	1	0	1	1	0	1	0	0
1	1	1	0	1	1	1	0	0	0	0
1	1	1	1	1	1	1	1	1	1	1

Αν κάποια έξοδος του ολοκληρωμένου κυκλώματος (a-g) είναι “0” τότε το αντίστοιχο τμήμα του ενδείκτη δεκαδικών ψηφίων (display) ανάβει, ενώ αν είναι “1” τότε το αντίστοιχο τμήμα του ενδείκτη μένει σβηστό.

5.3 ΚΩΔΙΚΟΠΟΙΗΤΕΣ

5.3.1 Ορισμοί

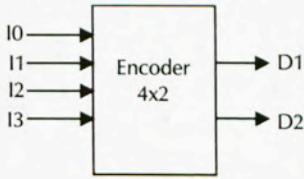
Ο **Κωδικοποιητής** (Encoder) από m σε n ($m \times n$) είναι ένα συνδυαστικό κύκλωμα με m γραμμές εισόδου και n γραμμές εξόδου ($m \leq 2^n$), όπως φαίνεται στο Σχήμα 5.3.1. Από τις m γραμμές εισόδου του κωδικοποιητή, **μόνο μία** επιτρέπεται να είναι ενεργοποιημένη. Στην έξοδο παράγεται ένας n -bits κωδικός που αντιστοιχεί στην ενεργοποιημένη είσοδο.



Σχήμα 5.3.1 Κωδικοποιητής $m \times n$

5.3.2 Κωδικοποιητές με πύλες

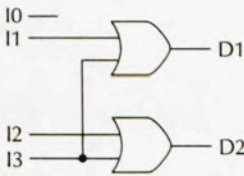
5.3.2.1 Κωδικοποιητής 4x2



Σχήμα 5.3.2 Κωδικοποιητής 4x2

Πίνακας 5.3.1 Πίνακας Αληθείας Κωδικοποιητή 4x2

I0	I1	I2	I3	D2	D1
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1



Σχήμα 5.3.3 Κωδικοποιητής 4x2 με πύλες

Ο κωδικοποιητής 4x2 είναι ένα Συνδυαστικό Κύκλωμα που έχει τέσσερις ($m=4$) γραμμές εισόδου και δύο ($n=2$) γραμμές εξόδου ($m=2^n$), όπως φαίνεται στο Σχήμα 5.3.2.

Ο κωδικοποιητής 4x2 παράγει στην έξοδό του τον δυαδικό κώδικα που αντιστοιχεί στις εισόδους του και ο Πίνακας Αληθείας του παρουσιάζεται στον Πίνακα 5.3.1.

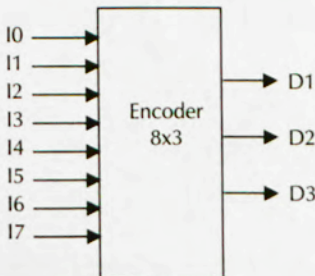
Οι συναρτήσεις των εξόδων του κωδικοποιητή 4x2 είναι οι ακόλουθες:

$$D2 = I2 + I3$$

$$D1 = I1 + I3$$

Το κύκλωμα που υλοποιεί τον Κωδικοποιητή 4x2 αποτελείται μόνον από πύλες OR και παρουσιάζεται στο Σχήμα 5.3.3.

5.3.2.2 Κωδικοποιητής 8x3



Σχήμα 5.3.4 Κωδικοποιητής 8x3

Ο κωδικοποιητής 8x3 είναι ένα Συνδυαστικό Κύκλωμα που έχει οκτώ ($m=8$) γραμμές εισόδου και τρεις ($n=3$) γραμμές εξόδου ($m=2^n$), όπως φαίνεται στο Σχήμα 5.3.4.

Ο κωδικοποιητής 8x3 παράγει στην έξοδό του τον δυαδικό κώδικα που αντιστοιχεί στις εισόδους του και ο Πίνακας Αληθείας του παρουσιάζεται στον Πίνακα 5.3.2.

Πίνακας 5.3.2 Πίνακας Αληθείας Κωδικοποιητή 8x3

I0	I1	I2	I3	I4	I5	I6	I7	D3	D2	D1
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

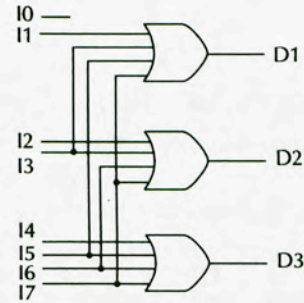
Οι συναρτήσεις των εξόδων του κωδικοποιητή 8x3 είναι οι ακόλουθες:

$$D3 = I4 + I5 + I6 + I7$$

$$D2 = I2 + I3 + I6 + I7$$

$$D1 = I1 + I3 + I5 + I7$$

Το κύκλωμα που υλοποιεί τον Κωδικοποιητή 8x3 αποτελείται μόνον από πύλες OR και παρουσιάζεται στο Σχήμα 5.3.5.



Σχήμα 5.3.5 Κωδικοποιητής 8x3 με πύλες OR

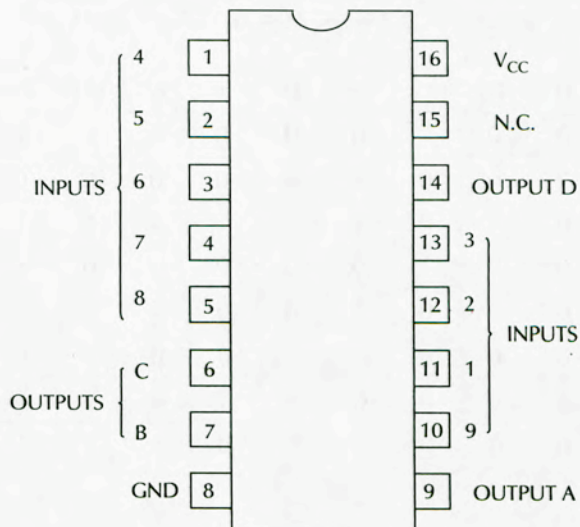
5.3.3 Ολοκληρωμένα κυκλώματα κωδικοποιητών

Στα ολοκληρωμένα κυκλώματα της σειράς 74 υπάρχουν αρκετοί κωδικοποιητές, όπως είναι τα ακόλουθα:

- ☛ το ολοκληρωμένο κύκλωμα 74148 είναι ένας Κωδικοποιητής Προτεραιότητας 8x3
- ☛ το ολοκληρωμένο κύκλωμα 74147 είναι ένας Κωδικοποιητής Προτεραιότητας από δεκαδικό σε BCD

Ο **Κωδικοποιητής Προτεραιότητας** (Priority Encoder) διαθέτει καθορισμένη **προτεραιότητα** (priority) στις εισόδους του. Όταν δύο ή περισσότερες εισόδους του κωδικοποιητή είναι "1", τότε η είσοδος με την μεγαλύτερη προτεραιότητα καθορίζει την έξοδο του κωδικοποιητή.

Το ολοκληρωμένο κύκλωμα 74147 είναι ένας Κωδικοποιητής Προτεραιότητας από δεκαδικό σε BCD και παρουσιάζεται στο Σχήμα 5.3.6.



Σχήμα 5.3.6 Το ολοκληρωμένο κύκλωμα 74147

Ο Πίνακας Λειτουργίας του ολοκληρωμένου κυκλώματος 74147 παρουσιάζεται στον Πίνακα 5.3.3.

Πίνακας 5.3.3 Πίνακας Λειτουργίας του ολοκληρωμένου κυκλώματος 74147

I1	I2	I3	I4	I5	I6	I7	I8	I9	D	C	B	A
1	1	1	1	1	1	1	1	1	1	1	1	1
X	X	X	X	X	X	X	X	0	0	1	1	0
X	X	X	X	X	X	X	0	1	0	1	1	1
X	X	X	X	X	X	0	1	1	1	0	0	0
X	X	X	X	X	0	1	1	1	1	0	0	1
X	X	X	X	0	1	1	1	1	1	0	1	0
X	X	X	0	1	1	1	1	1	1	0	1	1
X	X	0	1	1	1	1	1	1	1	1	0	0
X	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

Οι είσοδοι και οι έξοδοι του ολοκληρωμένου κυκλώματος είναι ανάστροφης λογικής (ενεργοποιούνται με "0"). Το ολοκληρωμένο κύκλωμα έχει εννέα εισόδους που αντιστοιχούν στους δεκαδικούς αριθμούς 1-9 και τέσσερις εξόδους που παράγουν τον BCD κωδικό (ανάστροφης λογικής) που αντιστοιχεί στην ενεργοποιημένη είσοδο. Όταν ενεργοποιηθούν περισσότερες από μία εισόδους, τότε στην έξο-

δο παράγεται ο BCD κωδικός (ανάστροφης λογικής) που αντιστοιχεί στον μεγαλύτερο δεκαδικό αριθμό. Όταν καμία από τις εισόδους δεν είναι ενεργοποιημένη (δηλαδή είναι όλες "1"), τότε όλες οι εξόδους είναι "1". Σε αυτή την περίπτωση η έξοδος αντιστοιχεί στον δεκαδικό 0 (για τον λόγο αυτό δεν υπάρχει είσοδος I0).

5.4 ΠΕΡΙΛΗΨΗ

1. Ο Αποκωδικοποιητής (Decoder) από n σε m είναι ένα συνδυαστικό κύκλωμα με n γραμμές εισόδου και m γραμμές εξόδου. Κάθε μία από τις n εισόδους του Αποκωδικοποιητή μπορεί να είναι "0" ή "1", οπότε υπάρχουν 2^n διαφορετικοί συνδυασμοί. Για κάθε συνδυασμό εισόδου μόνο μία από τις εξόδους του αποκωδικοποιητή είναι ενεργοποιημένη.
2. Κάθε λογική συνάρτηση n μεταβλητών μπορεί να υλοποιηθεί με έναν Αποκωδικοποιητή $n \times 2^n$ και μία (1) πύλη OR οι εισοδοί της οποίας τροφοδοτούνται από τις εξόδους του Αποκωδικοποιητή που αντιστοιχούν στους ελάχιστους όρους που η συνάρτηση έχει την τιμή "1". Κάθε Συνδυαστικό Κύκλωμα n εισόδων και m εξόδων μπορεί να υλοποιηθεί με έναν Αποκωδικοποιητή $n \times 2^n$ και m πύλες OR οι εισοδοί των οποίων τροφοδοτούνται κατάλληλα από τις εξόδους του Αποκωδικοποιητή.
3. Οι ενδείκτες (displays) δεκαδικών ψηφίων χρησιμοποιούν επτά (7) τμήματα (segments) για να αναπαραστήσουν τους δεκαδικούς αριθμούς 0-9. Ο Αποκωδικοποιητής BCD σε 7 τμήματα (BCD to 7 Segments Decoder) χρησιμοποιείται αποκλειστικά για την οδήγηση ενδείκτη δεκαδικών ψηφίων (display), για τον λόγο αυτό καλείται συνήθως Αποκωδικοποιητής Οδηγός.
4. Ο Κωδικοποιητής (Encoder) από m σε n είναι ένα συνδυαστικό κύκλωμα με m γραμμές εισόδου και n γραμμές εξόδου. Από τις m γραμμές εισόδου του κωδικοποιητή, μόνο μία επιτρέπεται να είναι ενεργοποιημένη. Στην έξοδο παράγεται ένας n -bits κωδικός που αντιστοιχεί στην ενεργοποιημένη είσοδο.

5.5 ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ

1. Να γραφούν οι συναρτήσεις εξόδου του Αποκωδικοποιητή 2×4 .
Ο Πίνακας Αληθείας του Αποκωδικοποιητή 2×4 είναι ο ακόλουθος:

B	A	D0	D1	D2	D3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Επομένως, οι συναρτήσεις εξόδου του Αποκωδικοποιητή 2x4 είναι οι ακόλουθες:

$$D0 = \bar{B} \cdot \bar{A}$$

$$D1 = \bar{B} \cdot A$$

$$D2 = B \cdot \bar{A}$$

$$D3 = B \cdot A$$

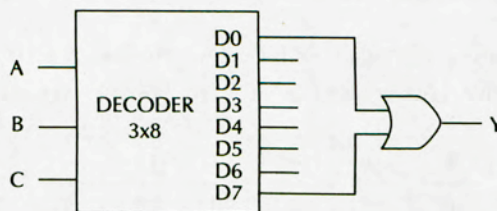
2. Να σχεδιαστεί συνδυαστικό κύκλωμα τριών εισόδων A, B και C και μίας εξόδου Y που είναι "1" όταν όλες οι εισόδου είναι ίσες μεταξύ τους (όλες "0" ή όλες "1") χρησιμοποιώντας έναν Αποκωδικοποιητή.

Ο Πίνακας Αληθείας του κυκλώματος είναι:

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Επομένως, η συνάρτηση εξόδου Y του κυκλώματος εκφράζεται ως άθροισμα ελαχίστων όρων: $Y(A,B,C) = \bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C$

Το κύκλωμα αποτελείται από έναν Αποκωδικοποιητή 3x8 και μία (1) πύλη OR δύο (2) εισόδων οι οποίες τροφοδοτούνται από τις εξόδους του Αποκωδικοποιητή που αντιστοιχούν στους ελάχιστους όρους που η συνάρτηση παίρνει την τιμή "1" (δηλαδή στον ελάχιστο όρο $\bar{A} \cdot \bar{B} \cdot \bar{C}$ και στον ελάχιστο όρο $A \cdot B \cdot C$), όπως φαίνεται στο παρακάτω Σχήμα:



3. Να σχεδιαστεί ο Κωδικοποιητής που μετατρέπει τους δεκαδικούς αριθμούς 1-9 σε δυαδικούς.

Ο Πίνακας Αληθείας του Κωδικοποιητή είναι ο παρακάτω:

I1	I2	I3	I4	I5	I6	I7	I8	I9	D4	D3	D2	D1
1	0	0	0	0	0	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	1	1	0	0	1

Οι συναρτήσεις εξόδου του Κωδικοποιητή είναι οι ακόλουθες:

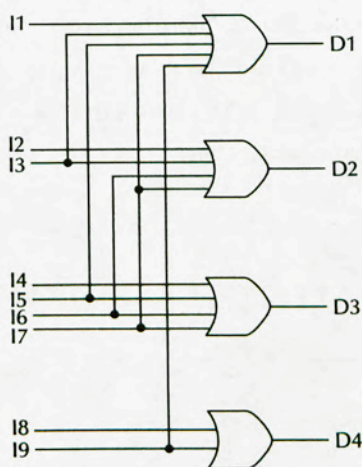
$$D1 = I1 + I3 + I5 + I7 + I9$$

$$D2 = I2 + I3 + I6 + I7$$

$$D3 = I4 + I5 + I6 + I7$$

$$D4 = I8 + I9$$

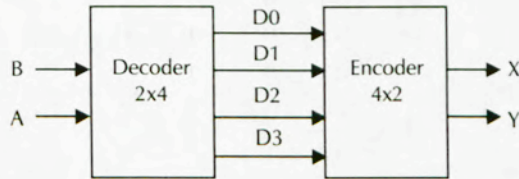
Το κύκλωμα του Κωδικοποιητή παρουσιάζεται στο παρακάτω Σχήμα:



4. Οι έξοδοι ενός Αποκωδικοποιητή 2x4 τροφοδοτούν τις εισόδους ενός Κωδικοποιητή 4x2. Να αποδειχθεί ότι οι έξοδοι του Κωδικοποιητή είναι ίσες με τις εισόδους του Αποκωδικοποιητή.

Ο Κωδικοποιητής (Encoder) 4x2 εκτελεί την αντίστροφη λειτουργία από αυτήν

που εκτελεί ο Αποκωδικοποιητής (Decoder) 2x4. Αυτός είναι ο λόγος που ισχύει ότι οι έξοδοι του κωδικοποιητή είναι ίσες με τις εισόδους του αποκωδικοποιητή οι έξοδοι του οποίου τροφοδοτούν τις εισόδους του κωδικοποιητή. Στο παρακάτω Σχήμα παρουσιάζεται ένας αποκωδικοποιητής 2x4 οι έξοδοι του οποίου τροφοδοτούν τις εισόδους ενός κωδικοποιητή 4x2.



Οι συναρτήσεις εξόδου του αποκωδικοποιητή 2x4 είναι οι ακόλουθες:

$$D0 = \bar{B} \cdot \bar{A}$$

$$D1 = \bar{B} \cdot A$$

$$D2 = B \cdot \bar{A}$$

$$D3 = B \cdot A$$

Οι συναρτήσεις εξόδου του κωδικοποιητή 4x2 είναι οι ακόλουθες:

$$X = D2 + D3$$

$$Y = D1 + D3$$

Οι έξοδοι του Αποκωδικοποιητή 2x4 τροφοδοτούν τις εισόδους του Κωδικοποιητή 4x2. Άρα, οι έξοδοι του Κωδικοποιητή υπολογίζονται ως ακολούθως:

$$X = D2 + D3 = B \cdot \bar{A} + B \cdot A = B$$

$$Y = D1 + D3 = \bar{B} \cdot A + B \cdot A = A$$

Επομένως, οι έξοδοι του κωδικοποιητή είναι ίσες με τις εισόδους του αποκωδικοποιητή.

5.6 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ

1. Τι είναι ο αποκωδικοποιητής;
2. Τι είναι ο κωδικοποιητής;
3. Μία λογική συνάρτηση τριών μεταβλητών μπορεί να υλοποιηθεί με μία πύλη OR και έναν αποκωδικοποιητή:
 - α) 2x4
 - β) 3x8
 - γ) 4x16
4. Ποιο από τα παρακάτω είναι σωστό και ποιο είναι λάθος;
 - α. Ο κωδικοποιητής 8x3 έχει τρεις (3) εισόδους.
ΣΩΣΤΟ ΛΑΘΟΣ

β. Ο κωδικοποιητής 10x4 έχει δέκα (10) εισόδους.

ΣΩΣΤΟ ΛΑΘΟΣ

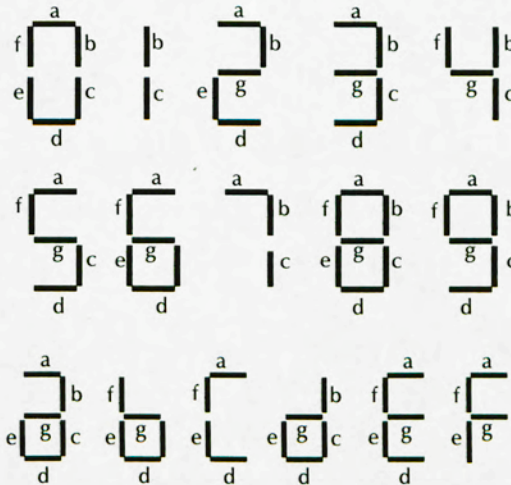
5. Να υλοποιήσετε συνδυαστικό κύκλωμα που αναγνωρίζει αν δύο 2-bits αριθμοί $B=B_2B_1$ και $A=A_2A_1$ είναι ίσοι (δηλαδή αν $B=A$) χρησιμοποιώντας έναν αποκωδικοποιητή και μία πύλη OR.

ΕΡΓΑΣΙΕΣ

Εργασία 1

Ένας αποκωδικοποιητής από δυαδικό 4-bits σε 7 τμήματα έχει τέσσερις εισόδους D, C, B και A και επτά εξόδους a, b, c, d, e, f και g που αντιστοιχούν στα 7 τμήματα ενός ενδείκτη δεκαδικών ψηφίων (display). Αν κάποια έξοδος του αποκωδικοποιητή είναι "1" τότε το αντίστοιχο τμήμα του ενδείκτη ανάβει, ενώ αν είναι "0" τότε το αντίστοιχο τμήμα του ενδείκτη μένει σβηστό. Ο ενδείκτης δείχνει τα δεκαδικά ψηφία 0-F σύμφωνα με το παρακάτω Σχήμα:

Να υπολογίσετε τις συναρτήσεις εξόδου του αποκωδικοποιητή ως "αθροίσματα" ελαχίστων όρων.



1. Να γνωρίζετε τις έννοιες, τα είδη και τις χρήσεις των Flip-Flops.
2. Να σχεδιάζετε κυκλώματα μανταλωτών και να περιγράφετε τη λειτουργία τους.
3. Να μελετάτε φύλλα δεδομένων O.K Flip-Flops.
4. Να μπορείτε να χρησιμοποιείτε, σε εφαρμογές στο εργαστήριο, O.K Flip-Flops.

6 κεφάλαιο

ΜΑΝΤΑΛΩΤΕΣ & FLIP-FLOPS

6.1 ΟΡΙΣΜΟΙ

Τα **ακολουθιακά κυκλώματα** αποτελούνται από συνδυαστικά κυκλώματα και στοιχεία μνήμης, όπως φαίνεται στο Σχήμα 6.1.1.



Σχήμα 6.1.1 Ακολουθιακό Κύκλωμα

Τα στοιχεία μνήμης μπορούν να αποθηκεύσουν δυαδικές πληροφορίες που αποτελούν την παρούσα κατάσταση του στοιχείου μνήμης (state) κάθε χρονική στιγμή.

Οι έξοδοι και η επόμενη κατάσταση των στοιχείων μνήμης ενός ακολουθιακού κυκλώματος είναι συναρτήσεις των εισόδων και της παρούσας κατάστασης των στοιχείων μνήμης του ακολουθιακού κυκλώματος.

Τα ακολουθιακά κυκλώματα ανήκουν σε μία από τις δύο ακόλουθες βασικές κατηγορίες:

- ☞ σύγχρονα ακολουθιακά κυκλώματα (synchronous sequential circuits)
- ☞ ασύγχρονα ακολουθιακά κυκλώματα (asynchronous sequential circuits)

όπως φαίνεται στο Σχήμα 6.1.2.



Σχήμα 6.1.2 Κατηγορίες ακολουθιακών κυκλωμάτων

Σε ένα **ασύγχρονο** ακολουθιακό κύκλωμα τα στοιχεία μνήμης είναι λογικές πύλες που προκαλούν καθυστέρηση διάδοσης στα σήματα που διαδίδονται μέ-

σα απ' αυτές και ονομάζονται **μανταλωτές (latches)**. Κάποιες από τις εξόδους του συνδυαστικού κυκλώματος που περιέχεται σε ένα ακολουθιακό κύκλωμα συνδέονται με τα στοιχεία μνήμης, οι εξοδοί των οποίων τροφοδοτούν κάποιες εισόδους του συνδυαστικού κυκλώματος (βρόγχος ανάδρασης - feedback).

Σε ένα **σύγχρονο** ακολουθιακό κύκλωμα τα στοιχεία μνήμης είναι **flip-flops**. Το flip-flop χρησιμοποιείται ως κύτταρο μνήμης γιατί είναι ένα κύκλωμα που μπορεί να διατηρηθεί σε μία κατάσταση έως ότου κάποιο κατάλληλο σήμα εισόδου το κάνει να αλλάξει κατάσταση (αποθήκευση 1 bit πληροφορίας).

Σε ένα σύγχρονο ακολουθιακό κύκλωμα μία γεννήτρια κύριου ρολογιού (master clock generator) τροφοδοτεί το κύκλωμα με παλμούς ρολογιού που διανέμονται παντού στο κύκλωμα ώστε να επιτευχθεί ο συγχρονισμός (synchronization). Τα σύγχρονα ακολουθιακά κυκλώματα όπου οι παλμοί ρολογιού εφαρμόζονται στα στοιχεία μνήμης (flip-flops) ονομάζονται **σύγχρονα ακολουθιακά κυκλώματα με ρολοί (clocked sequential circuits)**.

Ο λόγος που υπάρχουν διάφοροι τύποι flip-flops είναι ότι οι δυαδικές πληροφορίες μπορούν να τοποθετηθούν στο flip-flop με διάφορους τρόπους.

6.2 ΜΑΝΤΑΛΩΤΕΣ

Ο μανταλωτής (latch) έχει δύο εισόδους:

- ✓ S (Set - θέση)
- ✓ R (Reset - επαναφορά)

και δύο εξόδους:

- ✓ Q έξοδος
- ✓ \bar{Q} συμπλήρωμα της εξόδου

Το βασικό κύκλωμα ενός μανταλωτή μπορεί να υλοποιηθεί με δύο πύλες NAND ή με δύο πύλες NOR.

Η έξοδος κάθε πύλης συνδέεται χιαστί με την είσοδο της άλλης πύλης δημιουργώντας ένα βρόγχο ανάδρασης (feedback), με αποτέλεσμα ο μανταλωτής να κατατάσσεται στα ασύγχρονα ακολουθιακά κυκλώματα.

Αυτός ο τύπος μανταλωτή ονομάζεται **μανταλωτής SR (SR latch)**.

6.2.1 Μανταλωτής με πύλες NAND

Το κύκλωμα του μανταλωτή (latch) μπορεί να υλοποιηθεί με δύο πύλες NAND όπως φαίνεται στο Σχήμα 6.2.1.



Σχήμα 6.2.1 Μανταλωτής (latch) με πύλες NAND

Ο Μανταλωτής με πύλες NAND είναι ένα ασύγχρονο ακολουθιακό κύκλωμα που έχει:

- ☞ δύο (2) πύλες NAND
- ☞ δύο (2) εισόδους R (Reset) και S (Set)
- ☞ δύο (2) εξόδους Q και \bar{Q}

Η κατάσταση του μανταλωτή είναι η τιμή της εξόδου Q. Οι (χρήσιμες) καταστάσεις στις οποίες μπορεί να βρεθεί ο μανταλωτής είναι:

- ✓ κατάσταση θέσης (set)

όπου $Q=1$ και $\bar{Q}=0$

- ✓ κατάσταση επαναφοράς (reset) ή μηδενισμού (clear)

όπου $Q=0$ και $\bar{Q}=1$

Η λειτουργία του μανταλωτή με πύλες NAND περιγράφεται παρακάτω:

1. $S=1$ και $R=1$

Κατάσταση ηρεμίας του μανταλωτή. Αυτή είναι η σταθερή κατάσταση του μανταλωτή γιατί η έξοδος παραμένει αμετάβλητη (οι έξοδοι διατηρούν τις τιμές που είχαν πριν τεθεί στις εισόδους $S=1$ και $R=1$).

2. $S=0$ και $R=1$

Ενεργοποίηση του μανταλωτή. Η έξοδος είναι $Q=1$ (θέση) και παραμένει $Q=1$.

3. $S=1$ και $R=0$

Μηδενισμός του μανταλωτή. Η έξοδος είναι $Q=0$ (μηδενισμός) και παραμένει $Q=0$.

4. $S=0$ και $R=0$

Μη χρησιμοποιούμενη κατάσταση του μανταλωτή. Οι έξοδοι είναι $Q=1$ και $\bar{Q}=1$. Δεν πρέπει να χρησιμοποιείται η κατάσταση αυτή.

Αν ο μανταλωτής είναι σε κατάσταση θέσης ($S=0$ και $R=1$ με $Q=1$) και εφαρμοστεί $S=1$, τότε ο μανταλωτής παραμένει σε κατάσταση θέσης ($Q=1$).

Αν ο μανταλωτής είναι σε κατάσταση μηδενισμού ($S=1$ και $R=0$ με $Q=0$) και εφαρμοστεί $R=1$, τότε ο μανταλωτής παραμένει σε κατάσταση μηδενισμού ($Q=0$).

Στις δύο παραπάνω περιπτώσεις οι έξοδοι παραμένουν αμετάβλητες (ο μανταλωτής έχει μνήμη).

Αν πρέπει να αλλάξει η κατάσταση του μανταλωτή, τότε:

– Αν ο μανταλωτής είναι σε κατάσταση θέσης ($S=0$ και $R=1$ με $Q=1$), τότε πρώτα $S=1$, οπότε ο μανταλωτής πάει σε κατάσταση ηρεμίας, και μετά $R=0$, οπότε ο μανταλωτής πάει σε κατάσταση μηδενισμού ($Q=0$).

– Αν ο μανταλωτής είναι σε κατάσταση μηδενισμού ($S=1$ και $R=0$ με $Q=0$), τότε πρώτα $R=1$ οπότε ο μανταλωτής πάει σε κατάσταση ηρεμίας και μετά $S=0$, οπότε ο μανταλωτής πάει σε κατάσταση θέσης ($Q=1$).

Ο μανταλωτής μπορεί να βρεθεί σε μη χρησιμοποιούμενη κατάσταση (όπου $Q=1$ και $\bar{Q}=1$) αν $S=0$ και $R=0$ ταυτόχρονα (από $S=1$ και $R=1$). Θα πρέπει να αποφεύγεται να βρεθεί ο μανταλωτής σε μη χρησιμοποιούμενη κατάσταση.

Στον Πίνακα 6.2.1 παρουσιάζεται ο Πίνακας Αληθείας του μανταλωτή με πύλες NAND, όπου συνοψίζεται η λειτουργία του.

Πίνακας 6.2.1 Πίνακας Αληθείας Μανταλωτή με πύλες NAND

S	R	Q	\bar{Q}	ΛΕΙΤΟΥΡΓΙΑ	
0	0	1	1	Μη χρησιμοποιούμενη	Μη χρησιμοποιούμενη
0	1	1	0	Q=1	Θέση
1	0	0	1	Q=0	Μηδενισμός
1	1	0	1	Μετά από S=1 και R=0	Αμετάβλητη
1	1	1	0	Μετά από S=0 και R=1	κατάσταση

Η έξοδος Q ακολουθεί την είσοδο R όταν S=R

6.2.2 Μανταλωτής με πύλες NOR

Το κύκλωμα του μανταλωτή (latch) μπορεί να υλοποιηθεί με δύο πύλες NOR όπως φαίνεται στο Σχήμα 6.2.2.



Σχήμα 6.2.2 Μανταλωτής (latch) με πύλες NOR

Ο Μανταλωτής με πύλες NOR είναι ένα ασύγχρονο ακολουθιακό κύκλωμα που έχει:

- ☛ δύο (2) πύλες NOR
- ☛ δύο (2) εισόδους R (Reset) και S (Set)
- ☛ δύο (2) εξόδους Q και \bar{Q}

Η κατάσταση του μανταλωτή είναι η τιμή της εξόδου Q. Οι (χρήσιμες) καταστάσεις, στις οποίες μπορεί να βρεθεί ο μανταλωτής είναι:

- ✓ κατάσταση θέσης (set)

όπου Q=1 και \bar{Q} =0

- ✓ κατάσταση επαναφοράς (reset) ή μηδενισμού (clear)

όπου Q=0 και \bar{Q} =1

Η λειτουργία του μανταλωτή με πύλες NOR περιγράφεται παρακάτω:

1. S=0 και R=0

Κατάσταση ηρεμίας του μανταλωτή. Αυτή είναι η σταθερή κατάσταση του μανταλωτή γιατί η έξοδος παραμένει αμετάβλητη (οι έξοδοι διατηρούν τις τιμές που είχαν πριν τεθεί στις εισόδους $S=0$ και $R=0$).

2. $S=0$ και $R=1$

Μηδενισμός του μανταλωτή. Η έξοδος είναι $Q=0$ (μηδενισμός) και παραμένει $Q=0$.

3. $S=1$ και $R=0$

Ενεργοποίηση του μανταλωτή. Η έξοδος είναι $Q=1$ (θέση) και παραμένει $Q=1$.

4. $S=1$ και $R=1$

Μη χρησιμοποιούμενη κατάσταση του μανταλωτή. Οι έξοδοι είναι $Q=0$ και $\bar{Q}=0$. Δεν πρέπει να χρησιμοποιείται η κατάσταση αυτή.

Αν ο μανταλωτής είναι σε κατάσταση θέσης ($S=1$ και $R=0$ με $Q=1$) και εφαρμοστεί $S=0$, τότε ο μανταλωτής παραμένει σε κατάσταση θέσης ($Q=1$).

Αν ο μανταλωτής είναι σε κατάσταση μηδενισμού ($S=0$ και $R=1$ με $Q=0$) και εφαρμοστεί $R=0$, τότε ο μανταλωτής παραμένει σε κατάσταση μηδενισμού ($Q=0$).

Στις δύο παραπάνω περιπτώσεις οι έξοδοι παραμένουν αμετάβλητες (ο μανταλωτής έχει μνήμη).

Αν πρέπει να αλλάξει η κατάσταση του μανταλωτή, τότε:

– Αν ο μανταλωτής είναι σε κατάσταση θέσης ($S=1$ και $R=0$ με $Q=1$), τότε πρώτα $S=0$ οπότε ο μανταλωτής πάει σε κατάσταση ηρεμίας και μετά $R=1$, οπότε ο μανταλωτής πάει σε κατάσταση μηδενισμού ($Q=0$).

– Αν ο μανταλωτής είναι σε κατάσταση μηδενισμού ($S=0$ και $R=1$ με $Q=0$), τότε πρώτα $R=0$ οπότε ο μανταλωτής πάει σε κατάσταση ηρεμίας και μετά $S=1$, οπότε ο μανταλωτής πάει σε κατάσταση θέσης ($Q=1$).

Ο μανταλωτής μπορεί να βρεθεί σε μη χρησιμοποιούμενη κατάσταση (όπου $Q=0$ και $\bar{Q}=0$) αν $S=1$ και $R=1$ ταυτόχρονα (από $S=0$ και $R=0$). Θα πρέπει να αποφεύγεται να βρεθεί ο μανταλωτής σε μη χρησιμοποιούμενη κατάσταση.

Στον Πίνακα 6.2.2 παρουσιάζεται ο Πίνακας Αληθείας του μανταλωτή με πύλες NOR, όπου συνοψίζεται η λειτουργία του.

Πίνακας 6.2.2 Πίνακας Αληθείας Μανταλωτή με πύλες NOR

S	R	Q	\bar{Q}	ΛΕΙΤΟΥΡΓΙΑ	
0	0	0	1	Μετά από $S=0$ και $R=1$	Αμετάβλητη
0	0	1	0	Μετά από $S=1$ και $R=0$	κατάσταση
0	1	0	1	$Q=0$	Μηδενισμός
1	0	1	0	$Q=1$	Θέση
1	1	0	0	Μη χρησιμοποιούμενη	Μη χρησιμοποιούμενη

Η έξοδος Q ακολουθεί την είσοδο S όταν $S \neq R$

6.3 FLIP-FLOPS

Το flip-flop είναι ένα σύγχρονο ακολουθιακό κύκλωμα, οι έξοδοι του οποίου ανταποκρίνονται στις εισόδους του όταν εφαρμόζονται παλμοί ρολογιού (Clock Pulses) σε μία είσοδο του flip-flop που ονομάζεται είσοδος ρολογιού (CP). Οι πλέον συχνά χρησιμοποιούμενοι τύποι flip-flops είναι οι ακόλουθοι:

- ☒ R-S flip-flop
- ☒ D flip-flop
- ☒ J-K flip-flop
- ☒ T flip-flop

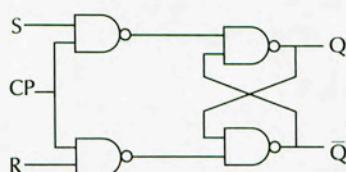
6.3.1 R-S FLIP-FLOP

Το R-S flip-flop μπορεί να υλοποιηθεί με τέσσερις πύλες NAND, όπως φαίνεται στο Σχήμα 6.3.1.

Η λειτουργία του R-S flip-flop περιγράφεται παρακάτω:

1. Όταν $S=0$ και $R=0$, τότε η επόμενη κατάσταση (έξοδος Q) είναι ίδια με την προηγούμενη κατάσταση.
2. Όταν $S=0$ και $R=1$, τότε η επόμενη κατάσταση είναι $Q=0$.
3. Όταν $S=1$ και $R=0$, τότε η επόμενη κατάσταση είναι $Q=1$.
4. Όταν $S=1$ και $R=1$, τότε η επόμενη κατάσταση είναι απροσδιόριστη. Αυτή είναι μη χρησιμοποιούμενη κατάσταση.

Ο **Χαρακτηριστικός Πίνακας** του flip-flop δείχνει την επόμενη κατάσταση $Q(n+1)$ όταν είναι γνωστή η παρούσα κατάσταση $Q(n)$ και οι εισόδους. Ο χαρακτηριστικός πίνακας του R-S flip-flop παρουσιάζεται στον Πίνακα 6.3.1.



Σχήμα 6.3.1 R-S flip-flop

Πίνακας 6.3.1 Χαρακτηριστικός Πίνακας R-S flip-flop

Q(n)	S	R	Q(n+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	X
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	X

ή

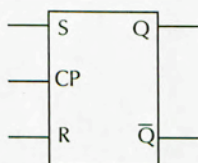
S	R	Q(n+1)
0	0	Q(n)
0	1	0
1	0	1
1	1	X

Ο Πίνακας Διέγερσης του flip-flop δείχνει τον τρόπο μετάβασης από την παρούσα κατάσταση στην επόμενη κατάσταση και εξάγεται από το χαρακτηριστικό πίνακα του flip-flop. Ο πίνακας διέγερσης του R-S flip-flop παρουσιάζεται στον Πίνακα 6.3.2.

Πίνακας 6.3.2 Πίνακας Διέγερσης R-S flip-flop

S	R	Q(n)	Q(n+1)
0	X	0	0
1	0	0	1
0	1	1	0
X	0	1	1

Το γραφικό σύμβολο του R-S flip-flop φαίνεται στο Σχήμα 6.3.2.

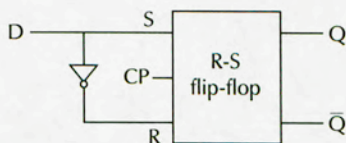


Σχήμα 6.3.2 Γραφικό σύμβολο του R-S flip-flop

6.3.2 D FLIP-FLOP

Η εξάλειψη της ανεπιθύμητης συμπεριφοράς στην μη χρησιμοποιούμενη κατάσταση του R-S flip-flop επιτυγχάνεται με το D flip-flop.

Το D flip-flop μπορεί να υλοποιηθεί χρησιμοποιώντας ένα R-S flip-flop και μία πύλη NOT, όπως φαίνεται στο Σχήμα 6.3.3.



Σχήμα 6.3.3 D flip-flop

Η λειτουργία του D flip-flop περιγράφεται παρακάτω:

1. Αν ο παλμός εισόδου είναι $CP=0$, τότε το flip-flop δεν μπορεί να αλλάξει κα-

τάσταση, ανεξάρτητα από την τιμή της εισόδου D (πράγματι, αν CP=0, τότε οι εισοδοί του μανταλωτή με πύλες NAND είναι "1")

2. Αν ο παλμός εισόδου είναι CP=1, τότε γίνεται δειγματοληψία της εισόδου, δηλαδή

- αν D=0, τότε Q=0 (μηδενισμός)
- αν D=1, τότε Q=1 (θέση)

Το όνομα του D flip-flop προέρχεται από την δυνατότητά του να αποθηκεύει δεδομένα (Data) και να καθυστερεί τη διάδοσή τους (Delay). Οι δυαδικές πληροφορίες της εισόδου δεδομένων D του flip-flop **μεταφέρονται** στην έξοδο Q του flip-flop, όταν CP=1 (η έξοδος ακολουθεί τα δεδομένα εισόδου όσο CP=1). Όταν τεθεί CP=0, τότε τα δεδομένα της εισόδου D **δεν μεταφέρονται** στην έξοδο Q μέχρι να τεθεί CP=1.

Ο χαρακτηριστικός πίνακας του D flip-flop παρουσιάζεται στον Πίνακα 6.3.3.

Πίνακας 6.3.3 Χαρακτηριστικός Πίνακας D flip-flop

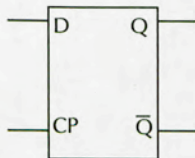
<table border="1" style="border-collapse: collapse; width: 150px; height: 100px;"> <thead> <tr> <th style="padding: 2px;">Q(n)</th> <th style="padding: 2px;">D</th> <th style="padding: 2px;">Q(n+1)</th> </tr> </thead> <tbody> <tr><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td></tr> <tr><td style="padding: 2px;">0</td><td style="padding: 2px;">1</td><td style="padding: 2px;">1</td></tr> <tr><td style="padding: 2px;">1</td><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td></tr> <tr><td style="padding: 2px;">1</td><td style="padding: 2px;">1</td><td style="padding: 2px;">1</td></tr> </tbody> </table>	Q(n)	D	Q(n+1)	0	0	0	0	1	1	1	0	0	1	1	1	ή	<table border="1" style="border-collapse: collapse; width: 100px; height: 100px;"> <thead> <tr> <th style="padding: 2px;">D</th> <th style="padding: 2px;">Q(n+1)</th> </tr> </thead> <tbody> <tr><td style="padding: 2px;">0</td><td style="padding: 2px;">0</td></tr> <tr><td style="padding: 2px;">1</td><td style="padding: 2px;">1</td></tr> </tbody> </table>	D	Q(n+1)	0	0	1	1
Q(n)	D	Q(n+1)																					
0	0	0																					
0	1	1																					
1	0	0																					
1	1	1																					
D	Q(n+1)																						
0	0																						
1	1																						

Ο πίνακας διέγερσης του D flip-flop παρουσιάζεται στον Πίνακα 6.3.4.

Πίνακας 6.3.4 Πίνακας Διέγερσης D flip-flop

D	Q(n)	Q(n+1)
0	0	0
1	0	1
0	1	0
1	1	1

Το γραφικό σύμβολο του D flip-flop φαίνεται στο Σχήμα 6.3.4.

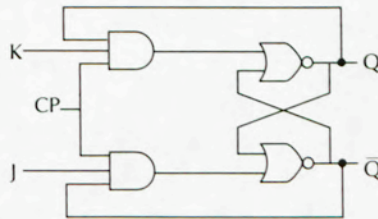


Σχήμα 6.3.4 Γραφικό σύμβολο του D flip-flop

6.3.3 J-K FLIP-FLOP

Η μη χρησιμοποιούμενη κατάσταση του R-S flip-flop ($S=1$ και $R=1$) αποφεύγεται χρησιμοποιώντας το J-K flip-flop. Στο J-K flip-flop όταν οι είσοδοι J (set) και K (reset) τεθούν $J=1$ και $K=1$, τότε το flip-flop αλλάζει κατάσταση (δηλαδή αν η έξοδος ήταν $Q=0$ τότε θα γίνει $Q=1$ και αντίστροφα).

Το J-K flip-flop μπορεί να υλοποιηθεί με δύο πύλες AND και δύο πύλες NOR όπως φαίνεται στο Σχήμα 6.3.5.



Σχήμα 6.3.5 J-K flip-flop

Η λειτουργία του J-K flip-flop περιγράφεται παρακάτω:

1. Όταν $J=0$ και $K=0$, τότε η επόμενη κατάσταση είναι ίδια με την προηγούμενη κατάσταση.
2. Όταν $J=0$ και $K=1$, τότε η επόμενη κατάσταση είναι $Q=0$.
3. Όταν $J=1$ και $K=0$, τότε η επόμενη κατάσταση είναι $Q=1$.
4. Όταν $J=1$ και $K=1$, τότε η κατάσταση του flip-flop αντιστρέφεται, δηλαδή η επόμενη κατάσταση είναι η συμπληρωματική της προηγούμενης κατάστασης.

Ο χαρακτηριστικός πίνακας του J-K flip-flop παρουσιάζεται στον Πίνακα 6.3.5.

Πίνακας 6.3.5 Χαρακτηριστικός Πίνακας J-K flip-flop

$Q(n)$	J	K	$Q(n+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

ή

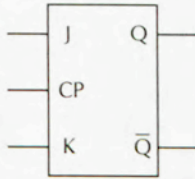
J	K	$Q(n+1)$
0	0	$Q(n)$
0	1	0
1	0	1
1	1	$\overline{Q(n)}$

Ο πίνακας διέγερσης του J-K flip-flop παρουσιάζεται στον Πίνακα 6.3.6.

Πίνακας 6.3.6 Πίνακας Διέγερσης J-K flip-flop

J	K	Q(n)	Q(n+1)
0	X	0	0
1	X	0	1
X	1	1	0
X	0	1	1

Το γραφικό σύμβολο του J-K flip-flop φαίνεται στο Σχήμα 6.3.6.

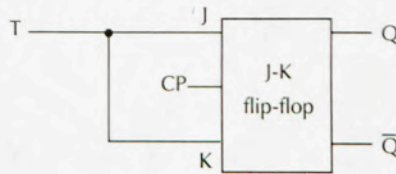


Σχήμα 6.3.6 Γραφικό σύμβολο του J-K flip-flop

6.3.4 T FLIP-FLOP

Αν οι εισόδους του J-K flip-flop συνδεθούν μεταξύ τους, τότε προκύπτει μία παραλλαγή του J-K flip-flop, το T flip-flop.

Το T flip-flop μπορεί να υλοποιηθεί χρησιμοποιώντας ένα J-K flip-flop συνδέοντας τις εισόδους J και K, όπως φαίνεται στο Σχήμα 6.3.7.



Σχήμα 6.3.7 T flip-flop

Η λειτουργία του T flip-flop περιγράφεται παρακάτω:

1. Όταν $T=0$, τότε η επόμενη κατάσταση είναι ίδια με την προηγούμενη κατάσταση.
2. Όταν $T=1$, τότε η κατάσταση του flip-flop αντιστρέφεται, δηλαδή η επόμενη κατάσταση είναι η συμπληρωματική της προηγούμενης κατάστασης.

Το όνομα του T flip-flop προέρχεται από τη δυνατότητά του να αντιστρέφει (Toggle) την κατάστασή του.

Ο χαρακτηριστικός πίνακας του T flip-flop παρουσιάζεται στον Πίνακα 6.3.7.

Πίνακας 6.3.7 Χαρακτηριστικός Πίνακας T flip-flop

Q(n)	T	Q(n+1)
0	0	0
0	1	1
1	0	1
1	1	0

ή

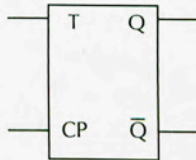
T	Q(n+1)
0	$\overline{Q(n)}$
1	$Q(n)$

Ο πίνακας διέγερσης του T flip-flop παρουσιάζεται στον Πίνακα 6.3.8.

Πίνακας 6.3.8 Πίνακας Διέγερσης T flip-flop

T	Q(n)	Q(n+1)
0	0	0
1	0	1
1	1	0
0	1	1

Το γραφικό σύμβολο του T flip-flop φαίνεται στο Σχήμα 6.3.8.



Σχήμα 6.3.8 Γραφικό σύμβολο του T flip-flop

6.3.5 Διέγερση FLIP-FLOP

Η κατάσταση ενός μανταλωτή ή ενός flip-flop μεταβάλλεται με την αλλαγή ενός σήματος εισόδου που ονομάζεται διέγερση ή πυροδότηση (trigerring).

Οι **μανταλωτές** διεγείρονται με την αλλαγή τιμής (λογικού επιπέδου) των σημάτων εισόδου τους. Για να διεγερθεί ο μανταλωτής πρέπει να είναι σε κατάσταση ηρεμίας.

Τα **flip-flops** διεγείρονται με τους παλμούς του ρολογιού (clock) τους. Οι παλμοί του ρολογιού μπορεί να είναι θετικοί ή αρνητικοί. Μία πηγή θετικών παλμών ρολογιού παραμένει στο "0" κατά το διάστημα μεταξύ παλμών και πάει στο "1" κατά τη διάρκεια του παλμού. Μία πηγή αρνητικών παλμών ρολογιού παραμένει στο "1" κατά το διάστημα μεταξύ παλμών και πάει στο "0" κατά τη διάρκεια

του παλμού. Επομένως, και στις δύο περιπτώσεις, υπάρχουν δύο μεταβάσεις του σήματος για κάθε παλμό:

- η μετάβαση από το "0" στο "1" ονομάζεται θετική μετάβαση (Positive Going Transition - PGT) ή μετάβαση ανόδου ή θετική ακμή (positive edge) ή θετικό μέτωπο
- η μετάβαση από το "1" στο "0" ονομάζεται αρνητική μετάβαση (Negative Going Transition - NGT) ή μετάβαση καθόδου ή αρνητική ακμή (negative edge) ή αρνητικό μέτωπο

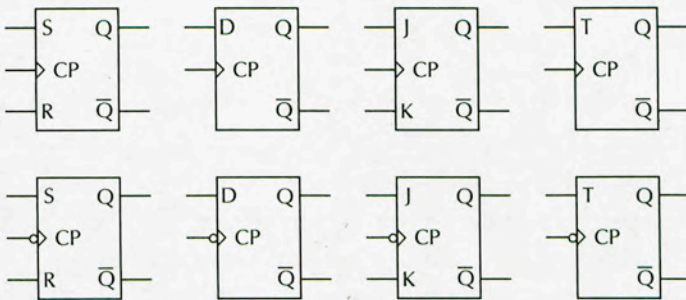
Οι δύο μεταβάσεις των παλμών του ρολογιού φαίνονται στο Σχήμα 6.3.9.



Σχήμα 6.3.9 Μεταβάσεις των παλμών του ρολογιού
θετική μετάβαση (κόκκινο) και αρνητική μετάβαση (μπλέ)

Οι είσοδοι του flip-flop προετοιμάζουν την αλλαγή κατάστασης του, η οποία πραγματοποιείται με το θετικό ή αρνητικό μέτωπο του παλμού του ρολογιού.

Στο Σχήμα 6.3.10 παρουσιάζονται τα γραφικά σύμβολα των flip-flops. Το τριγωνάκι στην είσοδο του ρολογιού δείχνει ότι τα flip-flops διεγείρονται με το θετικό μέτωπο του παλμού του ρολογιού ενώ κύκλος πριν το τριγωνάκι δείχνει ότι τα flip-flops διεγείρονται με το αρνητικό μέτωπο του παλμού του ρολογιού.



Σχήμα 6.3.10 Γραφικά σύμβολα των flip-flops

6.3.6 Ασύγχρονες είσοδοι

6.3.6.1 Ορισμοί

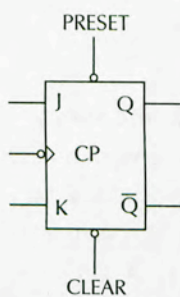
Οι είσοδοι S, R, J, K, D και T των flip-flops που αναλύθηκαν προηγουμένως ονομάζονται **σύγχρονες είσοδοι**, γιατί η επίδρασή τους στις εξόδους των flip-flops συγχρονίζεται με την είσοδο CP του παλμού του ρολογιού.

Πολλά ολοκληρωμένα κυκλώματα flip-flops διαθέτουν δύο επιπλέον εισόδους που ονομάζονται **ασύγχρονες εισόδους**, γιατί η επίδρασή τους στις εξόδους των flip-flops δεν εξαρτάται από τους παλμούς του ρολογιού.

Οι ασύγχρονες εισόδους **καθορίζουν** την κατάσταση του flip-flop **ανεξάρτητα** από τις τιμές των σύγχρονων εισόδων του και χρησιμοποιούνται συνήθως για να τεθούν τα flip-flops σε μία ορισμένη αρχική κατάσταση (θέση ή μηδενισμός) πριν αρχίσει η λειτουργία τους με το ρολοί. Οι ασύγχρονες εισόδους είναι:

- ✓ η προτοποθέτηση (PRESET) που χρησιμοποιείται για να τίθεται το flip-flop σε κατάσταση θέσης ($Q=1$).
- ✓ ο μηδενισμός (CLEAR) που χρησιμοποιείται για να τίθεται το flip-flop σε κατάσταση μηδενισμού ($Q=0$).

Για παράδειγμα, στο Σχήμα 6.3.11 φαίνεται το γραφικό σύμβολο του J-K flip-flop με ασύγχρονες εισόδους.



Σχήμα 6.3.11 Γραφικό σύμβολο του J-K flip-flop με ασύγχρονες εισόδους

Η λειτουργία του J-K flip-flop με ασύγχρονες εισόδους περιγράφεται παρακάτω:

1. Όταν $PRESET=1$ και $CLEAR=1$ τότε οι ασύγχρονες εισόδους είναι απενεργοποιημένες (τα κυκλάκια στις ασύγχρονες εισόδους σημαίνουν ότι αυτές ενεργοποιούνται με λογική κατάσταση "0") και οι έξοδοι του flip-flop ανταποκρίνονται στις σύγχρονες εισόδους J και K καθώς και στους παλμούς του ρολογιού CP, δηλαδή πραγματοποιείται η λειτουργία χρονισμού.
2. Όταν $PRESET=0$ και $CLEAR=1$, τότε το flip-flop τίθεται σε κατάσταση θέσης ($Q=1$).
3. Όταν $PRESET=1$ και $CLEAR=0$, τότε το flip-flop τίθεται σε κατάσταση μηδενισμού ($Q=0$).
4. Δεν πρέπει να είναι ταυτόχρονα $PRESET=0$ και $CLEAR=0$.

Στον Πίνακα 6.3.9 παρουσιάζεται ο Πίνακας Λειτουργίας του J-K flip-flop με ασύγχρονες εισόδους όπου συνοψίζεται η λειτουργία του.

Πίνακας 6.3.9 Πίνακας Λειτουργίας του J-K flip-flop με ασύγχρονες εισόδους

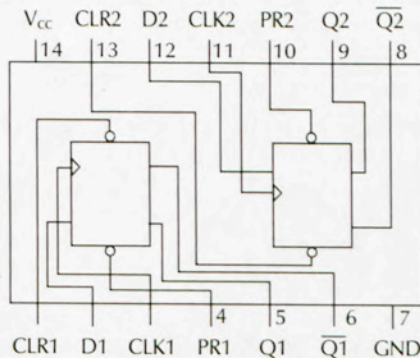
PRESET	CLEAR	ΛΕΙΤΟΥΡΓΙΑ FLIP-FLOP
0	0	Μη χρησιμοποιούμενη
0	1	Θέση ($Q=1$)
1	0	Μηδενισμός ($Q=0$)
1	1	Λειτουργία Χρονισμού

6.3.6.2 Ολοκληρωμένα κυκλώματα FLIP-FLOPS

Στα ολοκληρωμένα κυκλώματα της οικογένειας TTL υπάρχουν αρκετά ολοκληρωμένα κυκλώματα flip-flops, όπως είναι τα ακόλουθα:

- ☞ το ολοκληρωμένο κύκλωμα 7474 είναι D flip-flop
- ☞ τα ολοκληρωμένα κυκλώματα 7473, 7476 και 74112 είναι J-K flip-flops

Το ολοκληρωμένο κύκλωμα 7474 περιέχει δύο (2) D flip-flops με ασύγχρονες εισόδους και παρουσιάζεται στο Σχήμα 6.3.12.



Σχήμα 6.3.12 Το ολοκληρωμένο κύκλωμα 7474

Τα flip-flops του Ο.Κ. 7474 διεγείρονται με το **θετικό** μέτωπο (PGT) του παλμού του ρολογιού τους: CLK1 (pin 3) για το ένα flip-flop και CLK2 (pin 11) για το άλλο flip-flop.

Τα flip-flops έχουν ασύγχρονες εισόδους PRESET και CLEAR: PR1 (pin 4) και CLR1 (pin 1) για το ένα flip-flop και PR2 (pin 10) και CLR2 (pin 13) για το άλλο flip-flop.

Ο Πίνακας Λειτουργίας του ολοκληρωμένου κυκλώματος 7474 παρουσιάζεται στον Πίνακα 6.3.10.

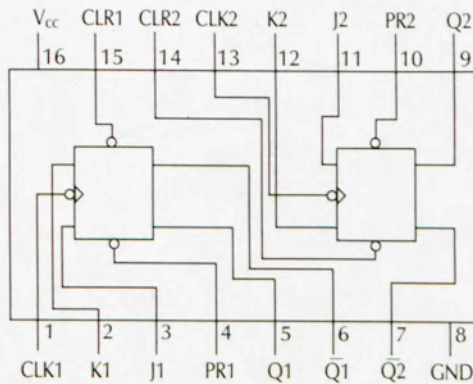
PR	CLR	CLK	D	Q	\overline{Q}
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1*	1*
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	0	X	Q ₀	$\overline{Q_0}$

Το σύμβολο ↑ δείχνει ότι το flip-flop διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού του.

* Η έξοδος δεν παραμένει σταθερή όταν η ασύγχρονη είσοδος PRESET και/ή η ασύγχρονη είσοδος CLEAR απενεργοποιηθεί (λογικό "1").

Q₀ είναι η προηγούμενη κατάσταση του flip-flop (πριν την εφαρμογή της εισόδου D).

Το ολοκληρωμένο κύκλωμα 74112 περιέχει δύο (2) J-K flip-flops με ασύγχρονες εισόδους και παρουσιάζεται στο Σχήμα 6.3.13.



Σχήμα 6.3.13 Το ολοκληρωμένο κύκλωμα 74112

Τα flip-flops του Ο.Κ. 74112 διεγείρονται με το **αρνητικό μέτωπο** (NGT) του παλμού του ρολογιού τους: CLK1 (pin 1) για το ένα flip-flop και CLK2 (pin 13) για το άλλο flip-flop.

Τα flip-flops έχουν ασύγχρονες εισόδους PRESET και CLEAR: PR1 (pin 4) και CLR1 (pin 15) για το ένα flip-flop και PR2 (pin 10) και CLR2 (pin 14) για το άλλο flip-flop.

Ο Πίνακας Λειτουργίας του ολοκληρωμένου κυκλώματος 74112 παρουσιάζεται στον Πίνακα 6.3.11.

Πίνακας 6.3.11 Πίνακας Λειτουργίας του ολοκληρωμένου κυκλώματος 74112

PR	CLR	CLK	J	K	Q	\bar{Q}
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	1*	1*
1	1	↓	0	0	Q_0	\bar{Q}_0
1	1	↓	1	0	1	0
1	1	↓	0	1	0	1
1	1	↓	1	1	Toggle	
1	1	1	X	X	Q_0	\bar{Q}_0

Το σύμβολο ↓ δείχνει ότι το flip-flop διεγείρεται με το αρνητικό μέτωπο του παλμού του ρολογιού του.

* Η έξοδος δεν παραμένει σταθερή όταν η ασύγχρονη είσοδος PRESET και/ή η ασύγχρονη είσοδος CLEAR απενεργοποιηθεί (λογικό "1").

Q_0 είναι η προηγούμενη κατάσταση του flip-flop (πριν την εφαρμογή των εισόδων J και K).

Toggle: η κατάσταση του flip-flop αντιστρέφεται, δηλαδή η επόμενη κατάσταση είναι η συμπληρωματική της προηγούμενης.

6.4 ΠΕΡΙΛΗΨΗ

1. Το flip-flop είναι ένα κύκλωμα που μπορεί να διατηρηθεί σε μία κατάσταση έως ότου κάποιο κατάλληλο σήμα εισόδου το κάνει να αλλάξει κατάσταση (αποθήκευση 1 bit πληροφορίας).
2. Ο λόγος που υπάρχουν διάφοροι τύποι flip-flops είναι ότι οι δυαδικές πληροφορίες μπορούν να τοποθετηθούν στο flip-flop με διάφορους τρόπους.
3. Σε ένα ασύγχρονο ακολουθιακό κύκλωμα τα στοιχεία μνήμης είναι μανταλωτές. Σε ένα σύγχρονο ακολουθιακό κύκλωμα τα στοιχεία μνήμης είναι flip-flops.

Οι πλέον συχνά χρησιμοποιούμενοι τύποι μανταλωτών είναι οι ακόλουθοι:

☞ μανταλωτής με πύλες NAND

☞ μανταλωτής με πύλες NOR

Οι πλέον συχνά χρησιμοποιούμενοι τύποι flip-flops είναι οι ακόλουθοι:

☞ R-S flip-flop

☞ D flip-flop

☞ J-K flip-flop

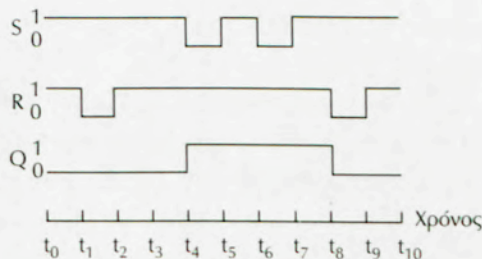
☞ T flip-flop

4. Το βασικό κύκλωμα ενός μανταλωτή μπορεί να υλοποιηθεί με δύο πύλες NAND ή με δύο πύλες NOR. Αυτός ο τύπος μανταλωτή ονομάζεται μανταλωτής SR (SR latch).
5. Η κατάσταση ενός flip-flop μεταβάλλεται με μία στιγμιαία αλλαγή ενός σήματος εισόδου που ονομάζεται διέγερση (trigerring).
 - ✓ Οι μανταλωτές διεγείρονται με την αλλαγή τιμής (λογικού επιπέδου) των σημάτων εισόδου τους. Για να διεγερθεί ο μανταλωτής πρέπει να είναι σε κατάσταση ηρεμίας.
 - ✓ Τα flip-flops διεγείρονται με τους παλμούς του ρολογιού (clock) τους. Οι παλμοί του ρολογιού μπορεί να είναι θετικοί ή αρνητικοί.
6. Οι είσοδοι S, R, J, K, D και T των flip-flops ονομάζονται σύγχρονες είσοδοι γιατί η επίδρασή τους στις εξόδους των flip-flops συγχρονίζεται με την είσοδο CP του παλμού του ρολογιού.
7. Οι είσοδοι PRESET και CLEAR των flip-flops ονομάζονται ασύγχρονες είσοδοι και καθορίζουν την κατάσταση του flip-flop ανεξάρτητα από τις τιμές των σύγχρονων εισόδων του.

6.5. ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ

1. Δίνονται οι κυματομορφές εισόδων ενός μανταλωτή με πύλες NAND στο Σχήμα 6.5.1. Να σχεδιαστεί η κυματομορφή εξόδου του μανταλωτή (με $Q=0$ στη χρονική στιγμή $t_0=0$).

Η κυματομορφή εξόδου του μανταλωτή φαίνεται στο Σχήμα 6.5.1.



Σχήμα 6.5.1 Κυματομορφές εισόδων και εξόδου μανταλωτή με πύλες NAND

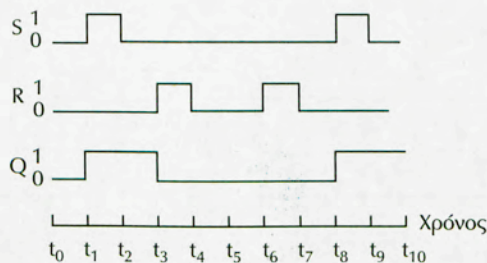
Η αλλαγή κατάστασης του μανταλωτή πραγματοποιείται με την αλλαγή τιμής των σημάτων εισόδου του, όπως φαίνεται στον Πίνακα 6.5.1.

Πίνακας 6.5.1 Ο μανταλωτής με πύλες NAND διεγείρεται με την αλλαγή τιμής των σημάτων εισόδου του

Χρόνος	S	R	Q	
t_0			0	
t_0-t_1	1	1	0	Αμετάβλητη
t_1-t_2	1	0	0	Μηδενισμός
t_2-t_3	1	1	0	Αμετάβλητη
t_3-t_4	1	1	0	Αμετάβλητη
t_4-t_5	0	1	1	Θέση
t_5-t_6	1	1	1	Αμετάβλητη
t_6-t_7	0	1	1	Θέση
t_7-t_8	1	1	1	Αμετάβλητη
t_8-t_9	1	0	0	Μηδενισμός
t_9-t_{10}	1	1	0	Αμετάβλητη

2. Δίνονται οι κυματομορφές εισόδων ενός μανταλωτή με πύλες NOR στο Σχήμα 6.5.2. Να σχεδιαστεί η κυματομορφή εξόδου του μανταλωτή (με $Q=0$ στη χρονική στιγμή $t_0=0$).

Η κυματομορφή εξόδου του μανταλωτή φαίνεται στο Σχήμα 6.5.2.



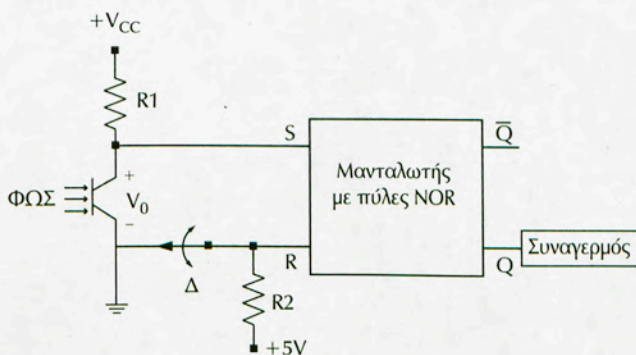
Σχήμα 6.5.2 Κυματομορφές εισόδων και εξόδου μανταλωτή με πύλες NOR

Η αλλαγή κατάστασης του μανταλωτή πραγματοποιείται με την αλλαγή τιμής των σημάτων εισόδου του, όπως φαίνεται στον Πίνακα 6.5.2.

Πίνακας 6.5.2 Ο μανταλωτής με πύλες NOR διεγείρεται με την αλλαγή τιμής των σημάτων εισόδου του

Χρόνος	S	R	Q	
t_0			0	
t_0-t_1	0	0	0	Αμετάβλητη
t_1-t_2	1	0	1	Θέση
t_2-t_3	0	0	1	Αμετάβλητη
t_3-t_4	0	1	0	Μηδενισμός
t_4-t_5	0	0	0	Αμετάβλητη
t_5-t_6	0	0	0	Αμετάβλητη
t_6-t_7	0	1	0	Μηδενισμός
t_7-t_8	0	0	0	Αμετάβλητη
t_8-t_9	1	0	1	Θέση
t_9-t_{10}	0	0	1	Αμετάβλητη

3. Ένας συναγερμός ενεργοποιείται όταν διακοπεί η ακτινοβολία του φωτός που προσπίπτει σε ένα φωτο-transistor. Ο συναγερμός συνδέεται με έναν μανταλωτή με πύλες NOR, όπως φαίνεται στο κύκλωμα του Σχήματος 6.5.3. Να περιγραφεί η λειτουργία του κυκλώματος.



Σχήμα 6.5.3 Σύστημα συναγερμού

Όταν το φωτο-transistor φωτίζεται, τότε οδηγείται στον κόρο και η τάση εξόδου του είναι $V_0=0V$ με αποτέλεσμα η είσοδος S του μανταλωτή να είναι $S=0$. Αν ανοίξουμε τον διακόπτη Δ, τότε η είσοδος R του μανταλωτή γίνεται $R=1$. Επομένως, οι είσοδοι του μανταλωτή είναι $S=0$ και $R=1$, οπότε ο μανταλωτής είναι σε κατάσταση μηδενισμού ($Q=0$) και ο συναγερμός είναι απενεργοποιημένος.

Αν κλείσουμε το διακόπτη Δ, τότε η είσοδος R του μανταλωτή γίνεται $R=0$. Επομένως, οι είσοδοι του μανταλωτή είναι $S=0$ και $R=0$, οπότε η κατάσταση του μανταλωτή παραμένει αμετάβλητη ($Q=0$) και ο συναγερμός παραμένει απενεργοποιημένος.

Όταν διακοπεί η ακτινοβολία του φωτός που προσπίπτει στο φωτο-transistor, τότε το φωτο-transistor οδηγείται στην αποκοπή και η τάση εξόδου του είναι $V_0=5V$ με αποτέλεσμα η είσοδος S του μανταλωτή να είναι $S=1$. Επομένως, οι είσοδοι του μανταλωτή να είναι $S=1$ και $R=0$, οπότε ο μανταλωτής είναι σε κατάσταση θέσης ($Q=1$) και ο συναγερμός μπαίνει σε λειτουργία.

Όταν το φωτο-transistor ξαναφωτίζεται, τότε η είσοδος S του μανταλωτή είναι $S=0$. Επομένως, οι είσοδοι του μανταλωτή είναι $S=0$ και $R=0$, οπότε η κατάσταση του μανταλωτή παραμένει αμετάβλητη ($Q=1$) και ο συναγερμός παραμένει σε λειτουργία (ο συναγερμός συνεχίζει να λειτουργεί ακόμη και όταν το φωτο-transistor ξαναφωτίζεται).

Ο συναγερμός απενεργοποιείται, αν ανοίξουμε τον διακόπτη Δ.

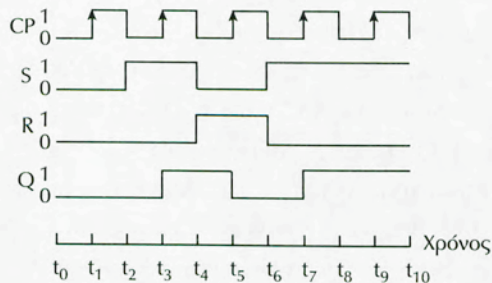
Η λειτουργία του κυκλώματος συνοψίζεται στον Πίνακα Λειτουργίας του κυκλώματος που παρουσιάζεται στον Πίνακα 6.5.3

Πίνακας 6.5.3 Πίνακας Λειτουργίας του κυκλώματος

Φως	Διακόπτης	S	R	Q	
Ναι	Ανοικτός	0	1	0	Μηδενισμός
Ναι	Κλειστός	0	0	0	Αμετάβλητη
Όχι	Κλειστός	1	0	1	Θέση
Ναι	Κλειστός	0	0	1	Αμετάβλητη

4. Δίνονται οι κυματομορφές εισόδων ενός R-S flip-flop που διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού στο Σχήμα 6.5.4. Να σχεδιαστεί η κυματομορφή εξόδου του R-S flip-flop (με $Q=0$ στη χρονική στιγμή $t_0=0$).

Η κυματομορφή εξόδου του R-S flip-flop φαίνεται στο Σχήμα 6.5.4.



Σχήμα 6.5.4 Κυματομορφές εισόδων και εξόδου R-S flip-flop που διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού

Οι εισοδοί του flip-flop προετοιμάζουν την αλλαγή κατάστασης του flip-flop, η οποία πραγματοποιείται με το θετικό μέτωπο του παλμού του ρολογιού στις χρονικές στιγμές t_1 , t_3 , t_5 , t_7 και t_9 , όπως φαίνεται στον Πίνακα 6.5.4.

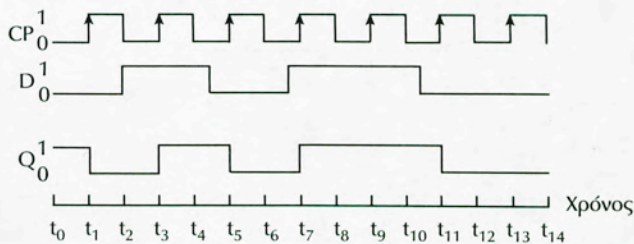
Πίνακας 6.5.4 Το R-S flip-flop διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού

Χρόνος	S	R	Q
t_0			0
t_1	0	0	0
t_3	1	0	1
t_5	0	1	0
t_7	1	0	1
t_9	1	0	1

Αμετάβλητη
Θέση
Μηδενισμός
Θέση
Θέση

5. Δίνονται οι κυματομορφές εισόδων ενός D flip-flop που διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού στο Σχήμα 6.5.5. Να σχεδιαστεί η κυματομορφή εξόδου του D flip-flop (με $Q=1$ στη χρονική στιγμή $t_0=0$).

Η κυματομορφή εξόδου του D flip-flop φαίνεται στο Σχήμα 6.5.5.



Σχήμα 6.5.5 Κυματομορφές εισόδων και εξόδου D flip-flop που διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού

Οι είσοδοι του flip-flop προετοιμάζουν την αλλαγή κατάστασης του flip-flop, η οποία πραγματοποιείται με το θετικό μέτωπο του παλμού του ρολογιού στις χρονικές στιγμές $t_1, t_3, t_5, t_7, t_9, t_{11}$ και t_{13} , όπως φαίνεται στον Πίνακα 6.5.5.

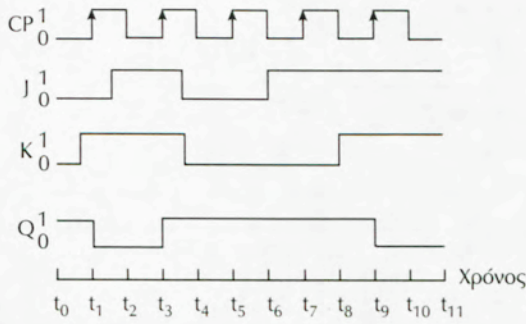
Πίνακας 6.5.5 Το D flip-flop διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού

Χρόνος	D	Q
t_0		1
t_1	0	0
t_3	1	1
t_5	0	0
t_7	1	1
t_9	1	1
t_{11}	0	0
t_{13}	0	0

Μηδενισμός
Θέση
Μηδενισμός
Θέση
Θέση
Μηδενισμός
Μηδενισμός

6. Δίνονται οι κυματομορφές εισόδων ενός J-K flip-flop που διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού στο Σχήμα 6.5.6. Να σχεδιαστεί η κυματομορφή εξόδου του J-K flip-flop (με $Q=1$ στην χρονική στιγμή $t_0=0$).

Η κυματομορφή εξόδου του J-K flip-flop φαίνεται στο Σχήμα 6.5.6.



Σχήμα 6.5.6 Κυματομορφές εισόδων και εξόδου J-K flip-flop που διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού

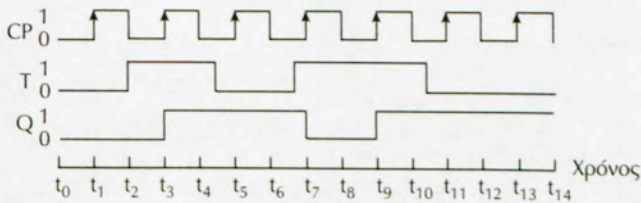
Οι εισόδοι του flip-flop προετοιμάζουν την αλλαγή κατάστασης του flip-flop, η οποία πραγματοποιείται με το θετικό μέτωπο του παλμού του ρολογιού στις χρονικές στιγμές t_1 , t_3 , t_5 , t_7 και t_9 , όπως φαίνεται στον Πίνακα 6.5.6.

Πίνακας 6.5.6 Το J-K flip-flop διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού

Χρόνος	J	K	Q	
t_0			1	
t_1	0	1	0	Μηδενισμός
t_3	1	1	1	Toggle
t_5	0	0	1	Αμετάβλητη
t_7	1	0	1	Θέση
t_9	1	1	0	Toggle

7. Δίνονται οι κυματομορφές εισόδων ενός T flip-flop που διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού στο Σχήμα 6.5.7. Να σχεδιαστεί η κυματομορφή εξόδου του T flip-flop (με $Q=0$ στη χρονική στιγμή $t_0=0$).

Η κυματομορφή εξόδου του T flip-flop φαίνεται στο Σχήμα 6.5.7.



Σχήμα 6.5.7 Κυματομορφές εισόδων και εξόδου T flip-flop που διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού

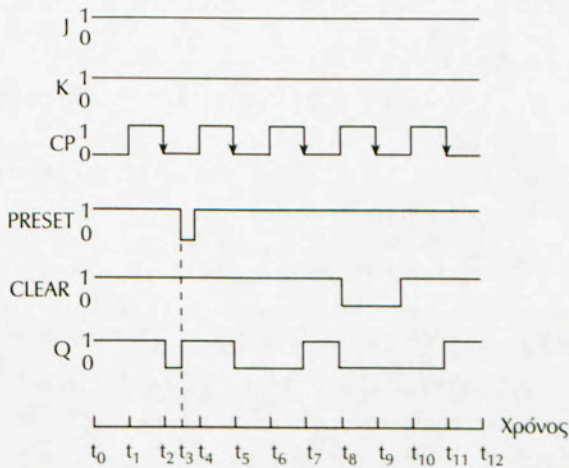
Οι είσοδοι του flip-flop προετοιμάζουν την αλλαγή κατάστασης του flip-flop, η οποία πραγματοποιείται με το θετικό μέτωπο του παλμού του ρολογιού στις χρονικές στιγμές $t_1, t_3, t_5, t_7, t_9, t_{11}$ και t_{13} , όπως φαίνεται στον Πίνακα 6.5.7.

Πίνακας 6.5.7 Το T flip-flop διεγείρεται με το θετικό μέτωπο του παλμού του ρολογιού

Χρόνος	T	Q	
t_0		0	
t_1	0	0	Αμετάβλητη
t_3	1	1	Toggle
t_5	0	1	Αμετάβλητη
t_7	1	0	Toggle
t_9	1	1	Toggle
t_{11}	0	1	Αμετάβλητη
t_{13}	0	1	Αμετάβλητη

8. Δίνονται οι κυματομορφές εισόδων ενός J-K flip-flop που διεγείρεται με το αρνητικό μέτωπο του παλμού του ρολογιού και με ασύγχρονες εισόδους στο Σχήμα 6.5.8. Να σχεδιαστεί η κυματομορφή εξόδου του J-K flip-flop (με $Q=1$ στη χρονική στιγμή $t_0=0$).

Η κυματομορφή εξόδου του J-K flip-flop με ασύγχρονες εισόδους φαίνεται στο Σχήμα 6.5.8.



Σχήμα 6.5.8 Κυματομορφές εισόδων και εξόδου J-K flip-flop που διεγείρεται με το αρνητικό μέτωπο του παλμού του ρολογιού και με ασύγχρονες εισόδους

Οι ασύγχρονες είσοδοι PRESET και CLEAR του flip-flop “υπερισχύουν” των άλλων εισόδων του και η λειτουργία χρονισμού πραγματοποιείται όταν PRESET=1 και CLEAR=1, όπως φαίνεται στον Πίνακα 6.5.8.

Πίνακας 6.5.8 Το J-K flip-flop διεγείρεται με το αρνητικό μέτωπο του παλμού του ρολογιού και οι ασύγχρονες είσοδοι “υπερισχύουν” των άλλων εισόδων

Χρόνος	PRESET	CLEAR	J	K	Q	
t_0					1	
t_2	1	1	1	1	0	Toggle
t_3	0	1	1	1	1	Ασύγχρονη Θέση
t_5	1	1	1	1	0	Toggle
t_7	1	1	1	1	1	Toggle
t_8	1	0	1	1	0	Ασύγχρονος Μηδενισμός
t_{11}	1	1	1	1	1	Toggle

6.6 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ

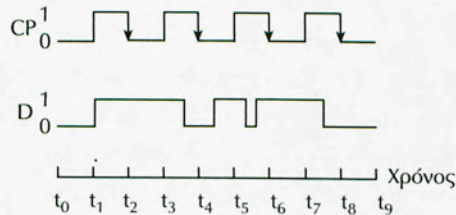
- Τι είναι το flip-flop; Ποιους τύπους flip-flops γνωρίζετε;
- Σε έναν μανταλωτή με πύλες NAND:
 - Ποιες τιμές πρέπει να έχουν οι είσοδοι για να παραμένει αμετάβλητη η έξοδος του;
 - Ποιες τιμές έχουν οι έξοδοί του στην κατάσταση μηδενισμού;
- Σε έναν μανταλωτή με πύλες NOR:
 - Ποιες τιμές πρέπει να έχουν οι είσοδοι για να παραμένει αμετάβλητη η έξοδος του;
 - Ποιες τιμές πρέπει να έχουν οι είσοδοί του για να πάει από την κατάσταση ηρεμίας στην κατάσταση μηδενισμού;
- Ποιο από τα παρακάτω είναι σωστό και ποιο είναι λάθος;
 - Η επόμενη κατάσταση του R-S flip-flop είναι $Q=0$, όταν $S=1$ και $R=0$
 ΣΩΣΤΟ ΛΑΘΟΣ
 - Αν ο παλμός εισόδου είναι $CP=0$, τότε το D flip-flop δεν μπορεί να αλλάξει κατάσταση, ανεξάρτητα από την τιμή της εισόδου D.
 ΣΩΣΤΟ ΛΑΘΟΣ
 - Η κατάσταση του J-K flip-flop αντιστρέφεται, όταν $J=1$ και $K=1$
 ΣΩΣΤΟ ΛΑΘΟΣ

δ. Η κατάσταση του T flip-flop αντιστρέφεται, όταν $T=0$

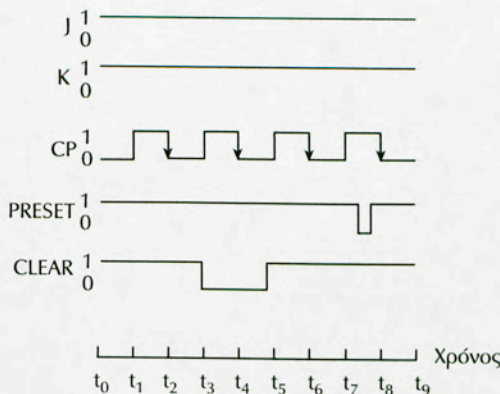
ΣΩΣΤΟ

ΛΑΘΟΣ

5. Να εξηγήσετε τι σημαίνει διέγερση ενός μανταλωτή ή ενός flip-flop. Να εξηγήσετε τον τρόπο διέγερσης των μανταλωτών και των flip-flops.
6. Ποια είναι η βασική διαφορά ανάμεσα στις σύγχρονες και τις ασύγχρονες εισόδους ενός flip-flop;
7. Όταν οι ασύγχρονες εισόδους ενός J-K flip-flop, που ενεργοποιούνται με λογικό «0», είναι $\text{PRESET}=0$ και $\text{CLEAR}=1$, τότε το flip-flop τίθεται:
 - α) σε κατάσταση θέσης ($Q=1$)
 - β) σε κατάσταση μηδενισμού ($Q=0$)
8. Να σχεδιαστεί η κυματομορφή εξόδου του D flip-flop (με $Q=1$ στη χρονική στιγμή $t_0=0$), όταν δίνονται οι παρακάτω κυματομορφές εισόδων ενός D flip-flop που διεγείρεται με το αρνητικό μέτωπο του παλμού του ρολογιού:



9. Να σχεδιαστεί η κυματομορφή εξόδου του J-K flip-flop (με $Q=1$ στη χρονική στιγμή $t_0=0$), όταν δίνονται οι παρακάτω κυματομορφές εισόδων ενός J-K flip-flop που διεγείρεται με το αρνητικό μέτωπο του παλμού του ρολογιού και με ασύγχρονες εισόδους, οι οποίες ενεργοποιούνται με λογική κατάσταση «0»:



Εργασία 1

Μία αντλία χρησιμοποιείται για το αυτόματο γέμισμα μίας δεξαμενής υγρού σε μία βιομηχανία. Δύο αισθητήρες (sensors) SA και SB ελέγχουν τη στάθμη του υγρού μέσα στη δεξαμενή: ο αισθητήρας SA δίνει "1" όταν η στάθμη υπερβεί τη μέγιστη επιτρεπόμενη στάθμη και ο αισθητήρας SB δίνει "1" όταν η στάθμη πέσει κάτω από την ελάχιστη επιτρεπόμενη στάθμη. Να σχεδιάσετε ένα ψηφιακό κύκλωμα ελέγχου της λειτουργίας της αντλίας χρησιμοποιώντας έναν μανταλωτή. Το κύκλωμα έχει δύο εισόδους A και B που συνδέονται με δύο διακόπτες οι οποίοι είναι συνδεδεμένοι με τους δύο αισθητήρες και μία έξοδο Y που δίνει "1" για την εκκίνηση της αντλίας όταν η στάθμη του υγρού πέσει κάτω από την ελάχιστη επιτρεπόμενη στάθμη και "0" για το σταμάτημα της αντλίας όταν η στάθμη του υγρού υπερβεί τη μέγιστη επιτρεπόμενη στάθμη. Σας συμφέρει να χρησιμοποιήσετε μανταλωτή με πύλες NAND ή μανταλωτή με πύλες NOR;

Εργασία 2

Μία από τις εφαρμογές των flip-flops είναι η σχεδίαση Διαιρέτη Συχνότητας. Μπορούμε να διαιρέσουμε τη συχνότητα των παλμών ενός ρολογιού με οποιαδήποτε δύναμη του 2, χρησιμοποιώντας το κατάλληλο πλήθος J-K flip-flops με την ακόλουθη συνδεσμολογία: Συνδέουμε n flip-flops έτσι ώστε η έξοδος κάθε flip-flop τροφοδοτεί την είσοδο CP του επόμενου flip-flop (οι εισοδοί J και K όλων flip-flops είναι J=1 και K=1). Αν οι παλμοί ενός ρολογιού CLOCK εφαρμόζονται στην είσοδο CP του πρώτου flip-flop, τότε η έξοδος του τελευταίου flip-flop έχει συχνότητα ίση με το $1/2^n$ της συχνότητας των παλμών του ρολογιού CLOCK.

Να σχεδιάσετε, σύμφωνα με την παραπάνω συνδεσμολογία, ένα κύκλωμα διαιρέτη συχνότητας χρησιμοποιώντας τρία (3) J-K flip-flops που διεγείρονται με το αρνητικό μέτωπο του παλμού του ρολογιού τους.

Να σχεδιάσετε τις κυματομορφές των παλμών του ρολογιού CLOCK και των εξόδων των J-K flip-flops για να διαπιστώσετε ότι το κύκλωμα λειτουργεί ως διαιρέτης συχνότητας.

1. Να περιγράφετε την αρχή λειτουργίας των καταχωρητών.
2. Να σχεδιάζετε απλούς καταχωρητές χρησιμοποιώντας D flip-flop.
3. Να περιγράφετε την αρχή λειτουργίας των καταχωρητών δεξιάς, αριστερής και κυκλικής ολίσθησης.
4. Να σχεδιάζετε καταχωρητές ολίσθησης χρησιμοποιώντας D flip-flops.
5. Να περιγράφετε την αρχή λειτουργίας των καταχωρητών ολίσθησης τύπου SIPO, SISO, PIPO και PISO.
6. Να περιγράφετε τη σειριακή και παράλληλη μεταφορά δεδομένων χρησιμοποιώντας καταχωρητές.
7. Να κατανοείτε τα πλεονεκτήματα και μειονεκτήματα της σειριακής και της παράλληλης μεταφοράς δεδομένων.
8. Να μπορείτε να μελετάτε τα φυλλάδια δεδομένων (data sheets) των καταχωρητών σε ολοκληρωμένο κύκλωμα.
9. Να μπορείτε να επιλέγετε και να χρησιμοποιείτε σε μία εφαρμογή καταχωρητές σε ολοκληρωμένο κύκλωμα.

7

κεφάλαιο

ΚΑΤΑΧΩΡΗΤΕΣ

7.1 ΕΙΣΑΓΩΓΗ

Ένας καταχωρητής (register) είναι ένα κύκλωμα που χρησιμοποιείται για την αποθήκευση πληροφοριών. Ένα flip-flop όπως ήδη έχουμε δει στο κεφάλαιο 6 μπορεί να αποθηκεύσει ένα bit πληροφορίας. Ένας καταχωρητής των n bits κατασκευάζεται από μια ομάδα n flip-flops (και μπορεί να αποθηκεύσει πληροφορία n bits) και πύλες για τον έλεγχο της μεταφοράς της πληροφορίας από και προς τον καταχωρητή.

Η έννοια του καταχωρητή είναι αρκετά γενική και περιλαμβάνει επίσης τους απαριθμητές και τις μονάδες μνήμης.

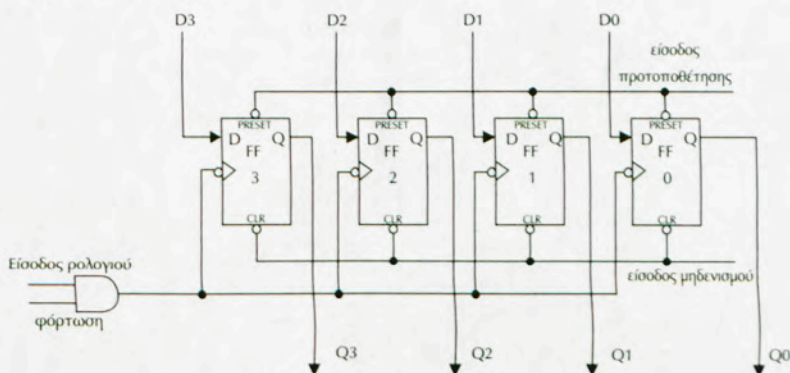
Οι απαριθμητές που θα παρουσιαστούν στο 8ο κεφάλαιο μπορούν να θεωρηθούν ως καταχωρητές οι οποίοι αλλάζουν τα περιεχόμενά τους με μία προκαθορισμένη σειρά, όταν εφαρμόζουμε παλμούς στην είσοδό τους. Οι πύλες ελέγχου που αναφέραμε επιβάλλουν τη σειρά των αλλαγών στα περιεχόμενα του απαριθμητή.

Οι μνήμες που θα παρουσιαστούν στο 10ο κεφάλαιο μπορούν να θεωρηθούν απλά ως ένα σύνολο από καταχωρητές. Οι πύλες ελέγχου για κάθε θέση της μνήμης, επιτρέπουν ή όχι την ανάγνωση ή την αλλαγή της αποθηκευμένης πληροφορίας, ανάλογα με τα δεδομένα τα οποία τοποθετούνται στις εισόδους διεύθυνσης και δεδομένων της μνήμης.

Μία ειδική κατηγορία καταχωρητών είναι οι καταχωρητές ολίσθησης, στους οποίους η αποθηκευμένη πληροφορία μετακινείται (ολισθαίνει) στο εσωτερικό τους.

7.2 ΚΑΤΑΧΩΡΗΤΕΣ

Θα παρουσιάσουμε τον τρόπο λειτουργίας ενός καταχωρητή των 4 bits. Στο Σχήμα 7.2.1 παρουσιάζεται ένας καταχωρητής των 4 bits, ο οποίος αποτελείται από τέσσερα D flip-flops.



Σχήμα 7.2.1 Καταχωρητής των 4-bits με D flip-flops

Στο σχήμα 7.2.1 παρατηρούμε ότι η **είσοδος ρολογιού είναι κοινή** για όλα τα D flip-flops, με αποτέλεσμα τα δεδομένα που βρίσκονται στις εισόδους D0, D1, D2,

D3 (το DO είναι το LSB και το D3 είναι το MSB της δυαδικής πληροφορίας που αποθηκεύεται στον καταχωρητή) να μεταφέρονται στα τέσσερα flip-flops του καταχωρητή ταυτόχρονα με το αρνητικό μέτωπο του ρολογιού. Οι τέσσερις έξοδοι Q0, Q1, Q2, Q3 των flip-flops, αποτελούν τις εξόδους του καταχωρητή, τις οποίες μπορούμε να χρησιμοποιήσουμε για να οδηγήσουμε κάποιο άλλο κύκλωμα. Η μεταφορά της πληροφορίας από τις εισόδους στον καταχωρητή ονομάζεται **φόρτωση** (loading) του καταχωρητή. Στο σχήμα 7.2.1. υπάρχει μία είσοδος ελέγχου την οποία συμβολίζουμε με φόρτωση και η οποία επιτρέπει στους παλμούς του ρολογιού να περάσουν στα flip-flops του καταχωρητή. Η είσοδος ελέγχου του ρολογιού κατασκευάζεται με μια πύλη AND η οποία τοποθετείται στην πορεία του ρολογιού. Αν η είσοδος ελέγχου φόρτωσης είναι "0", τότε η έξοδος της AND θα είναι και αυτή "0", επομένως ανεξάρτητα από το αν υπάρχουν παλμοί στην είσοδο του ρολογιού, τα flip-flops δεν θα δέχονται παλμούς ρολογιού με αποτέλεσμα τα δεδομένα του καταχωρητή να μην αλλάζουν. Για να φορτωθούν καινούργια δεδομένα στον καταχωρητή η είσοδος ελέγχου φόρτωσης θα πρέπει να πάρει την τιμή "1", με αποτέλεσμα να περνούν οι παλμοί του ρολογιού στα flip-flops στα οποία θα αποθηκευθούν οι λογικές καταστάσεις που βρίσκονται στις εισόδους D με το αρνητικό μέτωπο του παλμού του ρολογιού. Για παράδειγμα, αν οι εισοδοί των flip-flops είναι D3=1, D2=0, D1=1 και DO=1, τότε οι έξοδοι των flip-flops γίνονται Q3=1, Q2=0, Q1=1 και Q0=1 (με το αρνητικό μέτωπο του ρολογιού), με αποτέλεσμα στον καταχωρητή να αποθηκευθεί η πληροφορία 1011.

Εκτός από τις σύγχρονες εισόδους του ρολογιού και των D εισόδων του καταχωρητή υπάρχουν συνήθως μία ή δύο ασύγχρονες εισοδοί (βλέπε κεφάλαιο 6). Στο σχήμα 7.2.1 η μία είσοδος ονομάζεται *προτοποθέτησης* (PRESET) ενώ η δεύτερη *μηδενισμού* (CLR). Οι κύκλοι σ' αυτές τις εισόδους σημαίνουν την ενεργοποίησή τους με την εφαρμογή της λογικής κατάστασης "0". Με την εφαρμογή λογικής κατάστασης "0" στην είσοδο *προτοποθέτησης* όλα τα flip-flops του καταχωρητή παίρνουν την λογική κατάσταση "1" ενώ όταν εφαρμοσθεί λογικής κατάστασης "0" στην είσοδο *μηδενισμού* όλα τα flip-flops του καταχωρητή παίρνουν την λογική κατάσταση "0". Η τοποθέτηση αυτών των καταστάσεων στα flip-flops του καταχωρητή γίνεται ανεξάρτητα από την ύπαρξη παλμών στην είσοδο του ρολογιού. Αυτές οι εισοδοί συνήθως χρησιμοποιούνται όταν θέλουμε η αρχική κατάσταση των flip-flops του να είναι συγκεκριμένη και όχι τυχαία.

Οι καταχωρητές σε ολοκληρωμένα κυκλώματα υπάρχουν συνήθως στα μεγέθη των 4, 8, 12 ή 16 bits.

7.3 ΚΑΤΑΧΩΡΗΤΕΣ ΟΛΙΣΘΗΣΗΣ

Ο **καταχωρητής ολίσθησης** (shift register) είναι ένας καταχωρητής στον οποίο η έξοδος του κάθε flip-flop τροφοδοτεί την είσοδο του γειτονικού του. Ένας κατα-

χωρητής ολίσθησης ολισθαίνει τα δεδομένα του από το ένα flip-flop στο γειτονικό του με κάθε παλμό του κοινού ρολογιού του. Ένα παράδειγμα ολίσθησης συναντάμε κατά την πληκτρολόγηση ενός αριθμού τηλεφώνου σε συσκευή δημόσιας χρήσης του ΟΤΕ και την ένδειξη του αριθμού στην οθόνη της συσκευής. Κάθε φορά που πιέζουμε το πλήκτρο ενός αριθμού τα ψηφία του αριθμού στην οθόνη μετακινούνται (ολισθαίνουν) κατά μία θέση προς τα αριστερά.

Ανάλογα με τον τρόπο τοποθέτησης των δεδομένων εισόδου και τον τρόπο εξόδου των περιεχομένων ενός καταχωρητή ολίσθησης μπορούμε να τους κατατάξουμε σε τέσσερις βασικούς τύπους οι οποίοι αναλύονται ξεχωριστά στις επόμενες παραγράφους:

- ☞ Σειριακής εισόδου-παράλληλης εξόδου (serial-in, parallel-out SIPO)
- ☞ Σειριακής εισόδου-σειριακής εξόδου (serial-in, serial-out SISO)
- ☞ Παράλληλης εισόδου-παράλληλης εξόδου (parallel-in, parallel-out PIPO)
- ☞ Παράλληλης εισόδου-σειριακής εξόδου (parallel-in, serial-out PISO)

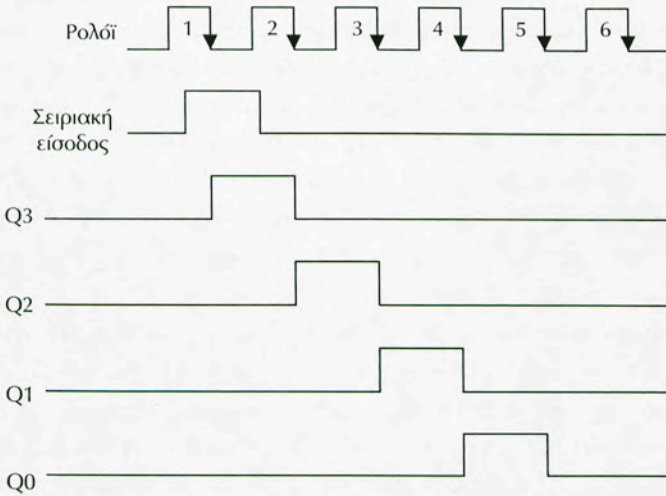
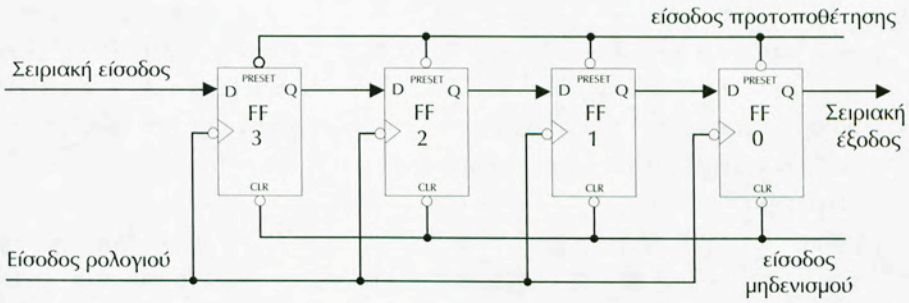
Ανάλογα με την κατεύθυνση της ολίσθησης θα ονομάζεται καταχωρητής δεξιάς ολίσθησης (right shift register) αν ολισθαίνει τα δεδομένα του προς τα δεξιά και καταχωρητής αριστερής ολίσθησης (left shift register) αν ολισθαίνει τα δεδομένα του προς τα αριστερά. Αν η έξοδος του τελευταίου flip-flop είναι συνδεδεμένη στην είσοδο του πρώτου τότε έχουμε ένα καταχωρητή κυκλικής ολίσθησης. Τα παραδείγματα που θα αναλύσουμε για λόγους απλότητας θα περιορισθούν σε καταχωρητές δεξιάς ολίσθησης.

7.3.1 Καταχωρητής ολίσθησης σειριακής εισόδου – σειριακής εξόδου SISO

Στον καταχωρητή ολίσθησης σειριακής εισόδου-σειριακής εξόδου (serial-in, serial-out SISO) τα δεδομένα τοποθετούνται σειριακά (διαδοχικά) το ένα bit μετά το άλλο στην είσοδο και εξέρχονται σειριακά (διαδοχικά) από την έξοδό του.

Στο Σχήμα 7.3.1 παρουσιάζεται ένα καταχωρητής δεξιάς ολίσθησης SISO των τεσσάρων bits. Η τοποθέτηση γίνεται με την εφαρμογή παλμών στην κοινή είσοδο ρολογιού των flip-flops του καταχωρητή ολίσθησης. Χρησιμοποιούμε τόσα flip-flops όσα είναι το μέγεθος (ή μήκος) του καταχωρητή σε bit. Η έξοδος του κάθε flip-flop συνδέεται στην είσοδο του γειτονικού του, ενώ η είσοδος του ρολογιού είναι κοινή για όλα τα flip-flops του καταχωρητή. Η είσοδος δεδομένων του πρώτου από αριστερά flip-flop αποτελεί τη **σειριακή είσοδο** των δεδομένων του καταχωρητή, ενώ η έξοδος του τελευταίου flip-flop αποτελεί τη **σειριακή έξοδο** των δεδομένων του καταχωρητή ολίσθησης.

Στο Σχήμα 7.3.1 (β) έχουμε ένα παράδειγμα της λειτουργίας του καταχωρητή ολίσθησης SISO. Ο οριζόντιος άξονας σ' αυτό το διάγραμμα των πέντε ψηφιακών σημάτων είναι ο άξονας του χρόνου, ενώ ο κατακόρυφος μας δίνει τη λογική κατάσταση ("0" ή "1") του κάθε ψηφιακού σήματος.



Σχήμα 7.3.1 Σχηματικό διάγραμμα καταχωρητή δεξιάς ολίσθησης SISO 4-bits και παράδειγμα λειτουργίας του

Αρχικά όλα τα flip-flops του καταχωρητή μηδενίζονται (παιρνουν την λογική κατάσταση "0" με την ενεργοποίηση της εισόδου μηδενισμού clear). Στην είσοδο των δεδομένων (δηλ. την είσοδο D του πρώτου flip-flop) εφαρμόζουμε τη λογική κατάσταση "1". Με το αρνητικό μέτωπο του παλμού του ρολογιού (1ος παλμός) η λογική κατάσταση "1" αποθηκεύεται στο flip-flop 3 με αποτέλεσμα η Q3 έξοδος να πάρει τη λογική κατάσταση "1". Οι έξοδοι Q2, Q1, Q0 θα συνεχίσουν να βρίσκονται στη λογική κατάσταση "0" αφού οι αντίστοιχες D2, D1, D0 εισόδοι με το αρνητικό μέτωπο του παλμού ρολογιού βρίσκονται στη λογική κατάσταση "0". Στη συνέχεια, στην είσοδο των δεδομένων εφαρμόζουμε τη λογική κατάσταση "0". Με το αρνητικό μέτωπο του επόμενου παλμού ρολογιού (2ος παλμός) θα συμβούν τα εξής: Το flip-flop 3 θα πάρει τη λογική κατάσταση "0" (επομένως και η Q3 έξοδος θα γίνει "0") αφού στην είσοδο D3 με το αρνητικό μέτωπο του παλμού 2 υπάρχει η λογική κατάσταση "0". Το flip-flop 2 θα πάρει τη λογική κατάσταση "1" (επομένως

και η Q2 έξοδος θα γίνει "1") αφού στην είσοδο D2 με το αρνητικό μέτωπο του παλμού 2 υπάρχει η λογική κατάσταση "1" λόγω της σύνδεσης της εξόδου Q3 του flip-flop 3 στην D2 είσοδο του flip-flop 2. Με την ίδια λογική βρίσκουμε ότι τα άλλα δύο flip-flop θα πάρουν τη λογική κατάσταση "0" και επομένως $Q1=Q0="0"$.

Η διαδικασία αυτή που περιγράψαμε είναι η ολίσθηση των δεδομένων μέσα στον καταχωρητή.

Η διαδικασία της ολίσθησης επαναλαμβάνεται με κάθε παλμό στην είσοδο του ρολογιού. Το σχήμα 7.3.1 (β) δίνει παραστατικά τις κυματομορφές των εξόδων των flip-flops του καταχωρητή με κάθε παλμό ρολογιού. Παρατηρούμε ότι με κάθε παλμό στην είσοδο του ρολογιού η λογική κατάσταση που εφαρμόσαμε στη σειριακή είσοδο θα ολισθαίνει στο γειτονικό προς τα **δεξιά** flip-flop, ενώ μετά από τέσσερις παλμούς θα εμφανισθεί στην έξοδο του τελευταίου flip-flop του καταχωρητή.

Με κάθε παλμό του **κοινού ρολογιού** εισέρχεται ένα καινούργιο bit πληροφορίας στον καταχωρητή, ενώ όλα τα flip-flops του καταχωρητή μεταφέρουν την πληροφορία που έχουν αποθηκευμένη στο γειτονικό τους flip-flop προς τα δεξιά, με αποτέλεσμα το περισσότερο σημαντικό bit (MSB) του καταχωρητή να αποκτά την τιμή της σειριακής εισόδου ενώ το λιγότερο σημαντικό bit (LSB) του καταχωρητή αποτελεί την σειριακή έξοδο του καταχωρητή.

Τα όσα αναφέραμε γίνονται καλύτερα κατανοητά με το παράδειγμα του σχήματος 7.3.2. Στο παράδειγμα αυτό η δυαδική πληροφορία που θα μεταφερθεί στον καταχωρητή ολίσθησης των 4-bits είναι η "0011". Αρχικά, όλα τα flip-flops του καταχωρητή μηδενίζονται. Στη συνέχεια τα bits της δυαδικής πληροφορίας η οποία εφαρμόζεται στην είσοδο μεταφέρονται ένα-ένα (**ξεκινώντας από το LSB**) στα flip-flops του καταχωρητή ολίσθησης με κάθε παλμό του ρολογιού. Στην έξοδο του καταχωρητή ολίσθησης θα εμφανίζονται **διαδοχικά** τα περιεχόμενα του καταχωρητή. Παρατηρούμε ότι με τον 4ο παλμό ρολογιού ο καταχωρητής έχει **αποθηκευμένα** όλα τα bits της δυαδικής πληροφορίας την οποία θέλαμε να αποθηκεύσουμε, ενώ στην έξοδό του εμφανίζεται το πρώτο bit που τοποθετήθηκε στον καταχωρητή. Αν συνεχίσουμε να δίνουμε παλμούς ρολογιού στον καταχωρητή ολίσθησης στην έξοδο θα εμφανίζονται διαδοχικά ένα-ένα όλα τα bits που είναι αποθηκευμένα στον καταχωρητή.

Η ψηφιακή είσοδος που τοποθετείται στον καταχωρητή τύπου SISO, εμφανίζεται στην έξοδό του μετά από ένα πλήθος παλμών ρολογιού ίσο με το μήκος του καταχωρητή ολίσθησης (το μήκος του καταχωρητή είναι το πλήθος των flip-flops με τα οποία κατασκευάζεται). Αυτή η χαρακτηριστική τους ιδιότητα χρησιμοποιείται για την πραγματοποίηση καθυστέρησης σε ψηφιακό σήμα. Η καθυστέρηση αυτή υπολογίζεται πολλαπλασιάζοντας την περίοδο των παλμών του ρολογιού επί το πλήθος των flip-flops του καταχωρητή. Μία χαρακτηριστική εφαρμογή είναι στις ηλεκτρικές κιθάρες και τα ηλεκτρονικά συστήματα ήχου για την παραγωγή του φαινομένου της αντήχησης (echo).

Σειριακή είσοδος



Σειριακή είσοδος

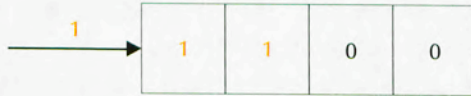
Μηδενισμός όλων των flip-flop

0



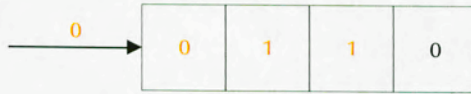
1ος παλμός ρολογιού

0



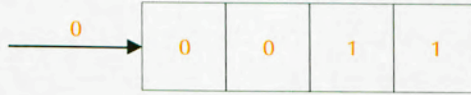
2ος παλμός ρολογιού

0



3ος παλμός ρολογιού

0



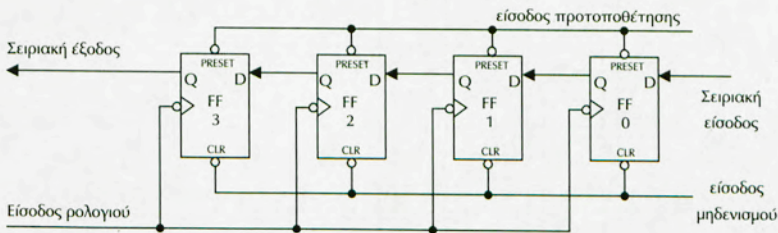
4ος παλμός ρολογιού

1

Σχήμα 7.3.2. Παράδειγμα αποθήκευσης πληροφορίας σε καταχωρητή δεξιάς ολίσθησης SISO 4-bits

Καταχωρητής SISO αριστερής ολίσθησης

Με κατάλληλη τροποποίηση του κυκλώματος του καταχωρητή SISO δεξιάς ολίσθησης του Σχήματος 7.3.1 προκύπτει ένας καταχωρητής SISO αριστερής ολίσθησης όπως φαίνεται στο Σχήμα 7.3.3. Τα δεδομένα εισέρχονται από το flip-flop 0 και η έξοδός τους γίνεται από το flip-flop 3. Η είσοδος της προς αποθήκευση πληροφορίας γίνεται τοποθετώντας πρώτα το **MSB**.



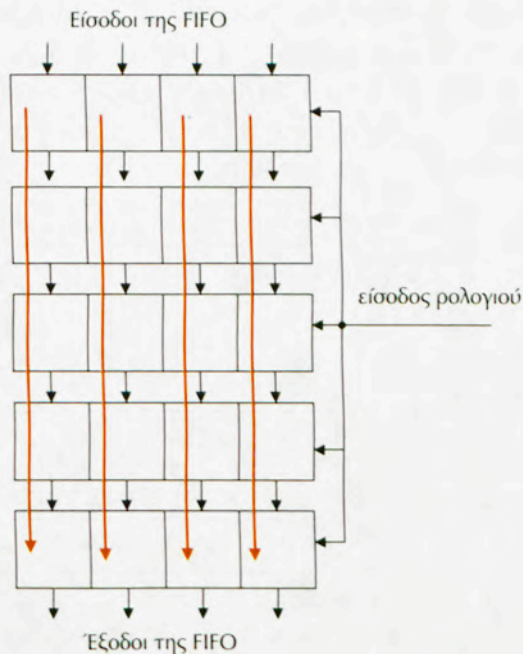
Σχήμα 7.3.3. Σχηματικό διάγραμμα καταχωρητή αριστερής ολίσθησης SISO 4-bits

Μνήμη FIFO με καταχωρητές SISO

Μία χρήσιμη εφαρμογή των SISO καταχωρητών είναι στην κατασκευή μνήμης ειδικού τύπου η οποία ονομάζεται FIFO (first-in, first-out). Η μνήμη αυτή αποτελεί-

ται από ένα αριθμό καταχωρητών στους οποίους μπορούμε να αποθηκεύσουμε δυαδικές πληροφορίες. Αποτελείται από έναν αριθμό **M καταχωρητών ολίσθησης** κάθε ένας από τους οποίους έχει **μήκος N bits**. Υπάρχουν M εισοδοί για τα εισερχόμενα δεδομένα και M εξοδοί για τα εξερχόμενα. Υπάρχει επίσης μία κοινή είσοδος ρολογιού για όλα τα flip-flops των καταχωρητών ολίσθησης που αποτελούν αυτή τη μνήμη. Το παράδειγμα του σχήματος 7.3.4 μας δείχνει τον τρόπο με τον οποίο κατασκευάζουμε μια μνήμη FIFO των 4 bits με μήκος 5 bits. Χρησιμοποιούμε τέσσερις ($M=4$) καταχωρητές ολίσθησης SISO με μήκος (μέγεθος) πέντε bits ($N=5$) ο καθένας. Οι κόκκινες γραμμές δείχνουν την κατεύθυνση ολίσθησης των δεδομένων στους SISO καταχωρητές. Οι εισοδοί ρολογιού των SISO καταχωρητών είναι συνδεδεμένες σε μία κοινή είσοδο η οποία αποτελεί την είσοδο ρολογιού της FIFO μνήμης.

Η λειτουργία της μπορεί να περιγραφεί ως εξής. Με κάθε παλμό του ρολογιού το περιεχόμενο του κάθε καταχωρητή ολισθαίνει κατά μία θέση, ενώ τα λιγότερο σημαντικά bits των τεσσάρων καταχωρητών ολίσθησης αποθηκεύουν τα δεδομένα που βρίσκονται στις ψηφιακές εισόδους τους. Οι ψηφιακές εξοδοί των τεσσάρων καταχωρητών ολίσθησης αποτελούν τις εξόδους της μνήμης FIFO. Με την διαδικασία αυτή, τα δεδομένα που τοποθετούνται στις εισόδους της FIFO θα εμφανισθούν στις εξόδους της μετά από πέντε ($N=5$) παλμούς ρολογιού. Η ονομασία FIFO αυτής της μνήμης οφείλεται στο ότι από τα δεδομένα τα οποία τοποθετούνται στη μνήμη διαδοχικά αυτό που εισέρχεται πρώτο είναι και αυτό που εξέρχεται πρώτο. Η FIFO μνήμη κατασκευάζεται χρησιμοποιώντας M καταχωρητές ολίσθησης SISO με μέγεθος N bits ο καθένας.

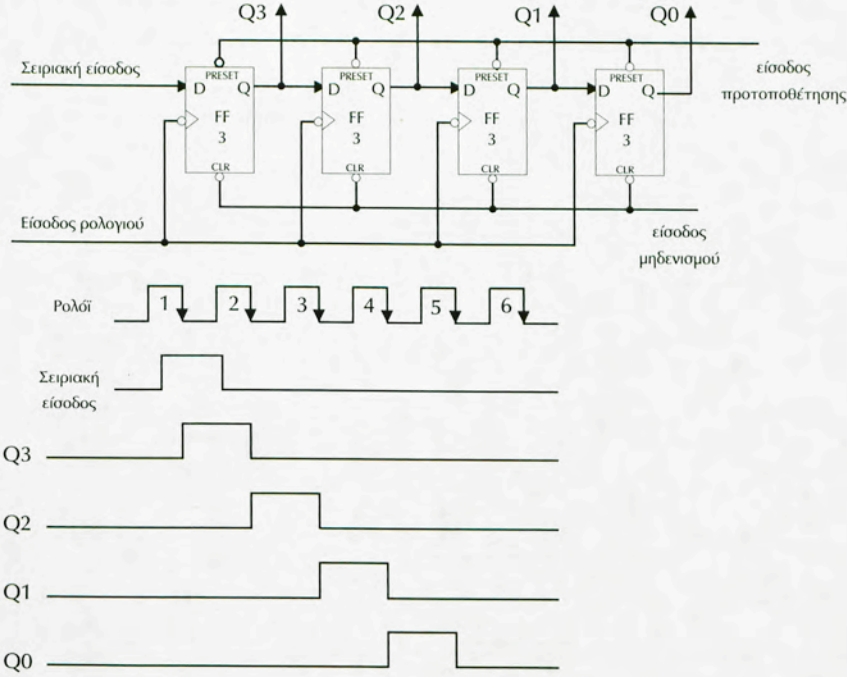


Σχήμα 7.3.4. Κατασκευή μνήμης FIFO με SISO καταχωρητές

Οι μνήμες FIFO χρησιμοποιούνται για την προσωρινή αποθήκευση της πληροφορίας έτσι ώστε να προσαρμόζονται οι ρυθμοί μεταφοράς ανάμεσα σε δύο ψηφιακά συστήματα κατά τη διακίνηση της πληροφορίας. Ένα αντίστοιχο παράδειγμα από την καθημερινή ζωή μας είναι οι “ουρές” που σχηματίζουμε για να εξυπηρετηθούμε, για παράδειγμα σε ένα ταμείο, όπου ο ρυθμός εξυπηρέτησης των πελατών είναι μικρότερος από το ρυθμό με τον οποίο εισέρχονται νέοι πελάτες (όταν το ταμείο είναι ένα τότε η FIFO μνήμη είναι ίδια με ένα καταχωρητή ολίσθησης SISO). Φυσικά αυτός που εισέρχεται πρώτος στην ουρά είναι και αυτός που φεύγει (εξυπηρετείται) πρώτος!

7.3.2 Καταχωρητής ολίσθησης σειριακής εισόδου – παράλληλης εξόδου SIPO

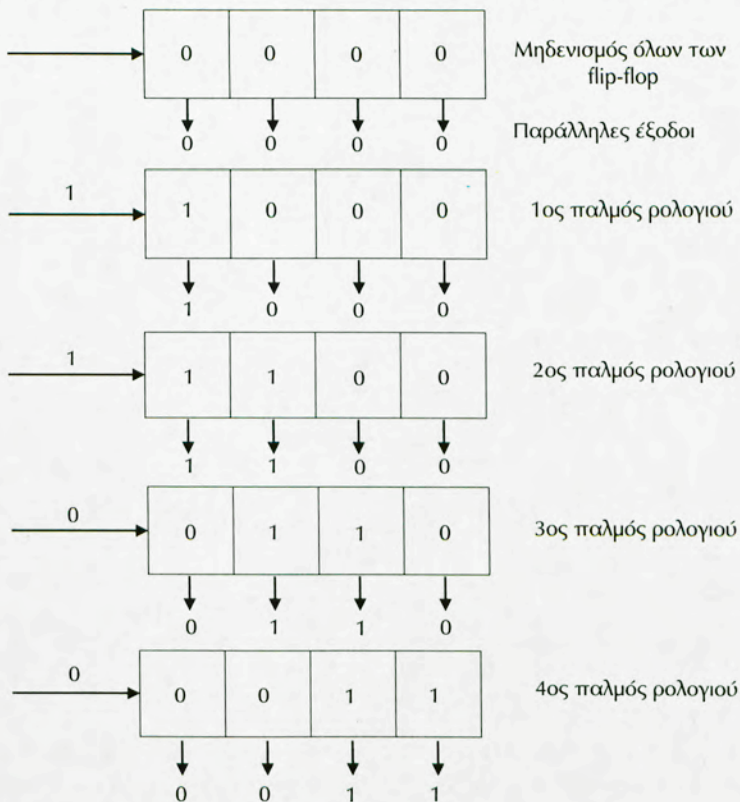
Στον καταχωρητή ολίσθησης σειριακής εισόδου-παράλληλης εξόδου (serial-in, parallel-out SIPO) τα δεδομένα τοποθετούνται σειριακά (διαδοχικά) το ένα bit μετά το άλλο στην είσοδο και εξέρχονται παράλληλα (ταυτόχρονα) από τις εξόδους του.



Σχήμα 7.3.5. Σχηματικό διάγραμμα καταχωρητή ολίσθησης SIPO 4-bit και παράδειγμα λειτουργίας του

Στο Σχήμα 7.3.5 παρουσιάζεται ένας καταχωρητής ολίσθησης σειριακής εισόδου-παράλληλης εξόδου (serial-in, parallel-out SIPO). Η τοποθέτηση των δεδομένων γίνεται όμοια με τους καταχωρητές SISO, με την εφαρμογή παλμών ρολογιού στην

κοινή είσοδο ρολογιού των flip-flops του καταχωρητή ολίσθησης. Με κάθε παλμό του **κοινού ρολογιού** εισέρχεται ένα νέο bit πληροφορίας στον καταχωρητή, ενώ όλα τα flip-flops του καταχωρητή μεταφέρουν την πληροφορία που έχουν αποθηκευμένη στο γειτονικό τους flip-flop (προς τα δεξιά για τα παραδείγματα που θα παρουσιάσουμε), με αποτέλεσμα το περισσότερο σημαντικό bit (MSB) του καταχωρητή να αποκτά την τιμή της σειριακής εισόδου ενώ οι έξοδοι των flip-flop του καταχωρητή αποτελούν τις παράλληλες εξόδους του καταχωρητή. Η ονομασία “παράλληλης εξόδου” οφείλεται στο ότι οι έξοδοι του καταχωρητή είναι διαθέσιμες ταυτόχρονα. Τα όσα αναφέραμε γίνονται καλύτερα κατανοητά με το επόμενο παράδειγμα του σχήματος 7.3.6. Στο παράδειγμα αυτό η δυαδική πληροφορία η οποία θα μεταφερθεί στον καταχωρητή ολίσθησης των 4-bit είναι η “0011”. Αρχικά όλα τα flip-flop του καταχωρητή μηδενίζονται και στη συνέχεια ένα-ένα τα bits της δυαδικής πληροφορίας η οποία εφαρμόζεται στην είσοδο μεταφέρονται στα flip-flop του καταχωρητή ολίσθησης με κάθε παλμό του ρολογιού. Στις εξόδους του καταχωρητή ολίσθησης οι οποίες είναι και οι έξοδοι των flip-flop του θα εμφανίζονται ταυτόχρονα τα περιεχόμενα του καταχωρητή. Παρατηρούμε ότι με τον 4ο παλμό ρολογιού ο καταχωρητής έχει αποθηκευμένα όλα τα bits της δυαδικής πληροφορίας την οποία θέλαμε να αποθηκεύσουμε, ενώ στις εξόδους του εμφανίζεται αυτή η πληροφορία.

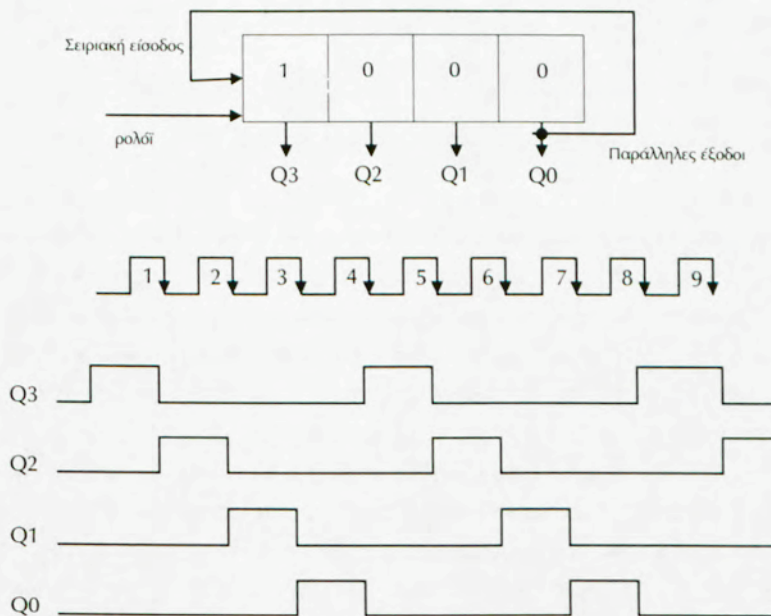


Σχήμα 7.3.6. Σχηματικό διάγραμμα καταχωρητή ολίσθησης SIPO 4-bits

Η πιο συνηθισμένη εφαρμογή των καταχωρητών ολίσθησης SIPO είναι στη μεταφορά δεδομένων σειριακά για τη μετατροπή των δεδομένων από τη σειριακή μορφή στην παράλληλη μορφή. Το θέμα αυτό θα παρουσιασθεί λεπτομερειακά στην παράγραφο 7.4.

Καταχωρητής SIPO κυκλικής ολίσθησης

Στο Σχήμα 7.3.7 φαίνεται το διάγραμμα λειτουργίας ενός καταχωρητή SIPO κυκλικής ολίσθησης των τεσσάρων bits, όπου η έξοδος του τελευταίου flip-flop τροφοδοτεί την σειριακή είσοδο του καταχωρητή.



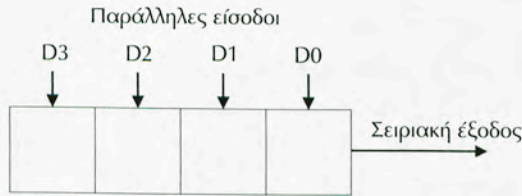
Σχήμα 7.3.7. Σχηματικό διάγραμμα λειτουργίας κυκλικού καταχωρητή ολίσθησης 4-bit

Η φόρτωση του κυκλικού καταχωρητή μπορεί να γίνει όπως γίνεται στο καταχωρητή SIPO **πριν** την σύνδεση της σειριακής εισόδου του με την έξοδο του τελευταίου flip-flop, **μετά** από την οποία η αποθηκευμένη πληροφορία αρχίζει να ολισθαίνει κυκλικά με κάθε παλμό του ρολογιού. Στο παράδειγμα του Σχήματος 7.3.7 παρουσιάζονται οι κυματομορφές των εξόδων του καταχωρητή μετά την φόρτωση της πληροφορίας "1000".

Οι κυκλικοί καταχωρητές βρίσκουν εφαρμογή σε κυκλώματα ελέγχου απαρτημάτων για την πραγματοποίηση συστημάτων αυτομάτου ελέγχου, την οδήγηση ειδικού τύπου κινητήρων που ονομάζονται βηματικοί κινητήρες (stepper motors), στην κωδικοποίηση των εξόδων ενός ψηφιακού ελεγκτή.

7.3.3 Καταχωρητής ολίσθησης παράλληλης εισόδου – σειριακής εξόδου PISO

Στον καταχωρητή ολίσθησης παράλληλης εισόδου-σειριακής εξόδου (Parallel-in, serial-out PISO), τα δεδομένα τοποθετούνται παράλληλα (ταυτόχρονα) στις εισόδους του και εξέρχονται σειριακά (διαδοχικά) το ένα bit μετά το άλλο από την έξοδό του.



Σχήμα 7.3.8 Σχηματικό διάγραμμα καταχωρητή ολίσθησης PISO 4-bits

Η φόρτωση των δεδομένων γίνεται σύγχρονα ή ασύγχρονα. Στην σύγχρονη παράλληλη φόρτωση τα δεδομένα που εφαρμόζονται στις παράλληλες εισόδους φορτώνονται στον καταχωρητή με την εφαρμογή παλμού στην είσοδο του ρολογιού. Στην ασύγχρονη παράλληλη φόρτωση η πληροφορία που υπάρχει στις παράλληλες εισόδους μεταφέρεται στον καταχωρητή ανεξάρτητα από την ύπαρξη παλμών στην είσοδο του ρολογιού του.

Στο Σχήμα 7.3.8 φαίνεται το σχηματικό διάγραμμα ενός καταχωρητή ολίσθησης PISO των τεσσάρων bits. Για παράδειγμα, αν αποθηκευθεί η πληροφορία 0011 στον καταχωρητή (δίνοντας ταυτόχρονα τα bits της πληροφορίας στις παράλληλες εισόδους), τότε με τους παλμούς του ρολογιού τα bits της πληροφορίας εμφανίζονται σειριακά στην έξοδο του καταχωρητή, με πρώτο το LSB (δηλαδή με τον 1ο παλμό ρολογιού εμφανίζεται "1", με τον 2ο "1", με τον 3ο "0" και με τον 4ο "0").

Η πιο συνηθισμένη εφαρμογή των καταχωρητών ολίσθησης PISO είναι στην μεταφορά δεδομένων σειριακά για την μετατροπή των δεδομένων από την παράλληλη μορφή στην σειριακή μορφή. Το θέμα αυτό θα παρουσιασθεί λεπτομερειακά στην παράγραφο 7.4.

7.3.4 Καταχωρητής ολίσθησης παράλληλης εισόδου-παράλληλης εξόδου PIPO

Στον καταχωρητή ολίσθησης παράλληλης εισόδου-παράλληλης εξόδου (Parallel-in, parallel-out PIPO), τα δεδομένα τοποθετούνται παράλληλα (ταυτόχρονα) στις εισόδους του και εξέρχονται παράλληλα στις εξόδους του.

Η φόρτωση των δεδομένων γίνεται σύγχρονα ή ασύγχρονα όπως και στον καταχωρητή PISO.

Στο Σχήμα 7.3.9 φαίνεται το σχηματικό διάγραμμα ενός καταχωρητή ολίσθησης PIPO των τεσσάρων bits. Για παράδειγμα, αν αποθηκευθεί η πληροφορία 0011 στον καταχωρητή (δίνοντας ταυτόχρονα τα bits της πληροφορίας στις παράλληλες εισόδους), τότε με τον επόμενο παλμό του ρολογιού τα bits της πληροφορίας εμφανίζονται ταυτόχρονα στις εξόδους του καταχωρητή.



Σχήμα 7.3.9 Σχηματικό διάγραμμα καταχωρητή ολίσθησης PIPO 4-bits

Οι πιο συνηθισμένες εφαρμογές των καταχωρητών ολίσθησης PIPO είναι στη μεταφορά πληροφορίας μεταξύ ψηφιακών συστημάτων και στην πραγματοποίηση αριθμητικών πράξεων με δυαδικούς αριθμούς. Κάθε ολίσθηση προς τα αριστερά ενός δυαδικού αριθμού κατά ένα ψηφίο τον πολλαπλασιάζει επί 2. Για παράδειγμα, ο δυαδικός αριθμός 0111 (δεκαδικός 7) αν ολισθηθεί κατά ένα ψηφίο προς τα αριστερά γίνεται 1110, δηλαδή ο δεκαδικός 14. Γενικά ο πολλαπλασιασμός δύο αριθμών μπορεί να γίνει με μία σειρά από διαδοχικές προσθέσεις και ολισθήσεις προς τα αριστερά. Παρόμοια κάθε ολίσθηση προς τα δεξιά ενός δυαδικού αριθμού κατά ένα ψηφίο τον διαιρεί δια 2. Για παράδειγμα, ο δυαδικός αριθμός 1110 (δεκαδικός 14) αν ολισθηθεί κατά ένα ψηφίο προς τα δεξιά γίνεται 0111, δηλαδή ο δεκαδικός 7. Κάθε διαίρεση δύο αριθμών μπορεί να γίνει με μία σειρά από διαδοχικές αφαιρέσεις και ολισθήσεις προς τα δεξιά.

7.4 ΣΕΙΡΙΑΚΗ ΚΑΙ ΠΑΡΑΛΛΗΛΗ ΜΕΤΑΦΟΡΑ ΔΕΔΟΜΕΝΩΝ

Η μεταφορά δεδομένων ανάμεσα σε δύο κυκλώματα ενός ψηφιακού συστήματος ή ανάμεσα σε δύο ανεξάρτητα ψηφιακά συστήματα (που μπορεί να βρίσκονται σε μεγάλη απόσταση μεταξύ τους) μπορεί να γίνει με δύο τρόπους: **σειριακά** ή **παράλληλα**. Στη σειριακή μεταφορά των δεδομένων τα bits της πληροφορίας μεταφέρονται σειριακά το ένα μετά το άλλο. Στην παράλληλη μεταφορά των δεδομένων

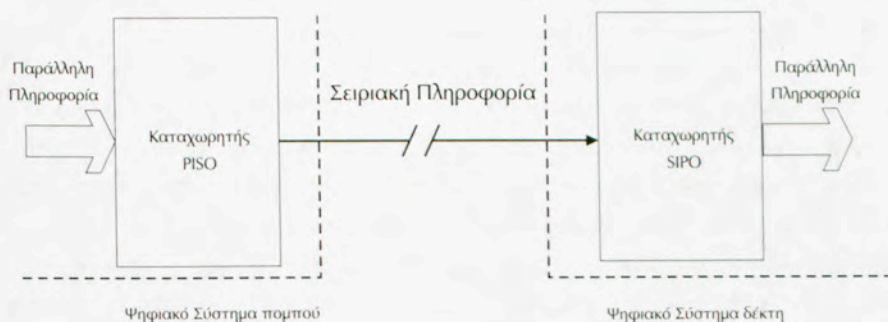
τα bits της πληροφορίας μεταφέρονται ταυτόχρονα σε ομάδες των N bits. Για τη μεταφορά των bits της πληροφορίας χρησιμοποιούνται συνήθως ηλεκτρικές συνδέσεις. Κατά τη σειριακή μετάδοση των δεδομένων χρησιμοποιείται μόνο ένας αγωγός, ενώ κατά την παράλληλη μεταφορά χρησιμοποιούνται τόσοι αγωγοί όσα είναι τα bits της πληροφορίας που μεταφέρονται παράλληλα. Στη σειριακή μετάδοση ο χρόνος ο οποίος χρειάζεται είναι ίσος με το χρόνο μετάδοσης ενός bit πολλαπλασιαζόμενο επί το πλήθος των bits. Στην παράλληλη μεταφορά ο χρόνος ο οποίος χρειάζεται είναι ίσος με το χρόνο μετάδοσης ενός bit. Επομένως ο χρόνος της σειριακής μετάδοσης N bits είναι N φορές μεγαλύτερος από τον χρόνο παράλληλης μετάδοσης. Για τη σύγκριση των δύο τρόπων μετάδοσης χρησιμοποιούμε τις έννοιες του χρόνου μετάδοσης και του κόστους. Στη σειριακή μετάδοση χρειαζόμαστε περισσότερο χρόνο συγκριτικά με την παράλληλη, αλλά κερδίζουμε σε κόστος αφού χρησιμοποιούμε μόνο έναν αγωγό για τη μεταφορά των δεδομένων.

Μπορούμε να σκεφθούμε παρόμοιες έννοιες από την καθημερινή μας ζωή. Για παράδειγμα η κίνηση των αυτοκινήτων από ένα δρόμο με μία λωρίδα κυκλοφορίας γίνεται σειριακά, το ένα αυτοκίνητο πίσω από το άλλο. Σε ένα δρόμο με πολλές λωρίδες κυκλοφορίας κινούνται πολλά αυτοκίνητα ταυτόχρονα. Φυσικά ο χρόνος που χρειάζεται για να κινηθεί ένας αριθμός αυτοκινήτων στο δρόμο με την μία λωρίδα είναι μεγαλύτερος από το χρόνο που απαιτείται για να κινηθεί ο ίδιος αριθμός αυτοκινήτων μέσω του δρόμου με τις πολλές λωρίδες, ο οποίος όμως έχει μεγαλύτερο κόστος κατασκευής.

Συνήθως η μεταφορά των δεδομένων μέσα σε ένα ψηφιακό σύστημα γίνεται παράλληλα έτσι ώστε να είναι όσο το δυνατόν ταχύτερο το σύστημα, ενώ για την μεταφορά των δεδομένων ανάμεσα σε δύο ψηφιακά συστήματα επιλέγεται η σειριακή μετάδοση εξασφαλίζοντας το ελάχιστο κόστος αφού χρησιμοποιούμε μόνο έναν αγωγό.

Το σχήμα 7.4.1 δείχνει τον τρόπο υλοποίησης μιας σειριακής διασύνδεσης δύο ψηφιακών συστημάτων (οι δύο γραμμές // εκφράζουν μεγάλη απόσταση). Χρησιμοποιούμε ένα καταχωρητή παράλληλης εισόδου-σειριακής εξόδου PISO για το σύστημα που στέλνει τα δεδομένα (πομπός-transmitter) και έναν καταχωρητή σειριακής εισόδου-παράλληλης εξόδου SIPO για το σύστημα που λαμβάνει τα δεδομένα (δέκτης-receiver). Για να μεταφερθούν N bits σειριακά μεταξύ των δύο συστημάτων, αρχικά φορτώνεται ο καταχωρητής PISO του πομπού παράλληλα με τόσα bits όσα είναι το μήκος του. Συνήθως, ο καταχωρητής SIPO του δέκτη έχει το ίδιο μήκος με τον καταχωρητή του πομπού. Αφού φορτωθεί η πληροφορία των m bit στον καταχωρητή του πομπού αρχίζει να ολισθαίνει σειριακά με τους παλμούς του ρολογιού του PISO καταχωρητή. Αντίστοιχα, ο καταχωρητής SIPO ολισθαίνει σειριακά τα δεδομένα που δέχεται στη σειριακή του είσοδο με τους παλμούς του ρολογιού του. Κάθε φορά που μεταφέρονται m bit πληροφορίας αυτά θα είναι διαθέσιμα στις παράλληλες εξόδους του καταχωρητή SIPO

του δέκτη. Φυσικά για να γίνεται σωστά η μεταφορά των δεδομένων θα πρέπει το ρολόι του καταχωρητή PISO του πομπού να είναι ίδιο με το ρολόι του καταχωρητή SIPO. Η ύπαρξη αυτού του κοινού ρολογιού μεταξύ των δύο συστημάτων εξασφαλίζει το **συγχρονισμό** τους για την σωστή μεταφορά της πληροφορίας. Ο συγχρονισμός αυτός εξασφαλίζεται με διάφορους τρόπους. Ο πιο απλός είναι να υπάρχει ένα κοινό ρολόι μεταξύ των δύο συστημάτων και αυτός ο τρόπος συνηθίζεται για την μεταφορά της πληροφορίας μεταξύ των δύο συστημάτων που βρίσκονται σε μικρή απόσταση μεταξύ τους. Για συστήματα που βρίσκονται σε μεγάλες αποστάσεις μαζί με τα δεδομένα της πληροφορίας στέλνονται και bits τα οποία χρησιμοποιούνται για το συγχρονισμό μεταξύ των δύο συστημάτων. Ειδικά ολοκληρωμένα κυκλώματα έχουν αναπτυχθεί για τη μετάδοση παράλληλων δεδομένων σειριακά. Αυτά τα ολοκληρωμένα είναι γνωστά με την ονομασία UART (Universal Asynchronous Receiver Transmitter).



Σχήμα 7.4.1. Σειριακή μεταφορά δεδομένων

Ο ρυθμός μετάδοσης δεδομένων μετριέται σε bits ανά δευτερόλεπτο (bits/sec) στη σειριακή μεταφορά. Λόγω του ότι ο ρυθμός μετάδοσης δεδομένων είναι συνήθως μεγάλος, χρησιμοποιούνται τα πολλαπλάσια Kbits/sec (1Kbits=1000 bits) και Mbits/sec (1Mbits= 1000000 bits). Στην παράλληλη μεταφορά ο ρυθμός μετάδοσης δεδομένων μετριέται σε bytes ανά δευτερόλεπτο (bytes/sec) και σε πολλαπλάσια του Kbytes/sec και Mbytes/sec. Θυμίζουμε ότι 1byte=8bits.

Η παράλληλη μεταφορά λόγω της μεγαλύτερης ταχύτητας που εξασφαλίζει συγκριτικά με τη σειριακή μετάδοση, κυριαρχεί στα υπολογιστικά συστήματα για τη διασύνδεση των βασικών τους τμημάτων, όπως της κεντρικής μονάδας επεξεργασίας, της μνήμης και των υποσυστημάτων σύνδεσης με τις μονάδες εισόδου και εξόδου. Για την παράλληλη μεταφορά δεδομένων χρησιμοποιούμε έναν καταχωρητή για το σύστημα που στέλνει τα δεδομένα (πομπός-transmitter) και έναν καταχωρητή για το σύστημα που λαμβάνει τα δεδομένα (δέκτης-receiver). Αφού φορτωθεί η πληροφορία των προς μεταφορά bits στον καταχωρητή του πομπού, τα

δεδομένα είναι διαθέσιμα στις εξόδους του, επομένως και στις εισόδους του καταχωρητή του δέκτη. Αρκεί ένας παλμός του ρολογιού του καταχωρητή του δέκτη για να αποθηκευθούν τα δεδομένα και να είναι διαθέσιμα στις εξόδους του.

Παραδείγματα σειριακής μεταφοράς δεδομένων

Η σειριακή μεταφορά δεδομένων χρησιμοποιήθηκε από την εποχή που εμφανίσθηκε η τηλεφωνία λόγω της οικονομίας την οποία προσφέρει με τη χρήση ενός καλωδίου για τη μεταφορά της πληροφορίας. Ο τηλεγράφος με τη χρήση του κώδικα Morse ήταν μία από τις πρώτες εφαρμογές της σειριακής μετάδοσης της πληροφορίας. Στη συνέχεια το τηλέτυπο και την τελευταία δεκαετία τα συστήματα τηλεομοιοτυπίας (fax) αποτέλεσαν τα σύγχρονα συστήματα μετάδοσης δεδομένων. Σήμερα για την επικοινωνία υπολογιστικών συστημάτων που βρίσκονται σε απόσταση χρησιμοποιούμε τεχνικές μετάδοσης της πληροφορίας σειριακά με γνωστότερο παράδειγμα το διαδίκτιο (Internet). Η σύνδεση υπολογιστικών συστημάτων σε μικρές αποστάσεις γίνεται με τις τεχνικές των δικτύων των υπολογιστών με τις οποίες ανταλλάσσονται δεδομένα σειριακά (τοπικά δίκτυα: LAN Local Area Networks) με ρυθμούς μεταφοράς συνήθως 10 Mbits/sec. Η σειριακή σύνδεση γίνεται με ηλεκτρικές συνδέσεις, οπτικές ίνες (fibers), ασύρματες ζεύξεις.

Λόγω των πλεονεκτημάτων που παρουσιάζουν οι τεχνικές σειριακής μεταφοράς δεδομένων έχουν εμφανισθεί τεχνικές για τη σειριακή διασύνδεση περιφερειακών σε υπολογιστικά συστήματα με γνωστότερες το υψηλής ταχύτητας firewire (IEEE1394) με ρυθμούς μεταφοράς της τάξης των 400 Mbits/sec και το χαμηλότερης ταχύτητας USB (Universal Serial Bus) με ρυθμούς μεταφοράς της τάξης των 10 Mbits/sec. Με τη χρήση τέτοιων σειριακών διαύλων (serial buses) μπορούν να συνδεθούν με απλό τρόπο περιφερειακές συσκευές σε έναν υπολογιστή όπως εκτυπωτές, σαρωτές, κάμερες.

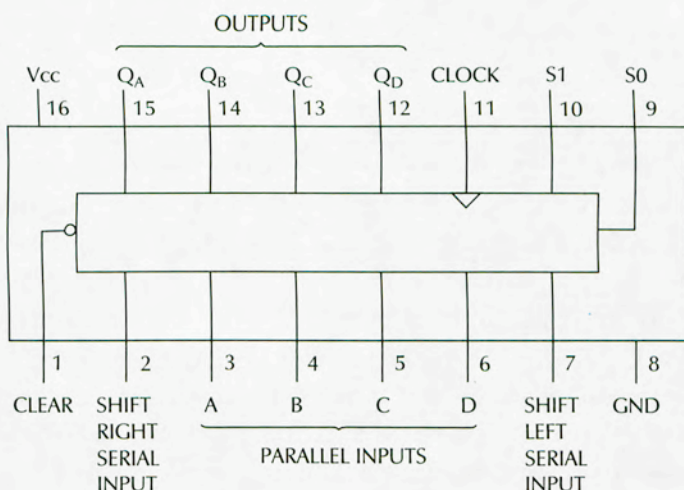
Παραδείγματα παράλληλης μεταφοράς δεδομένων

Η παράλληλη μεταφορά δεδομένων χρησιμοποιείται κυρίως στη διασύνδεση των σημαντικότερων τμημάτων ενός υπολογιστικού συστήματος όπως η κεντρική μονάδα επεξεργασίας, η μνήμη του και περιφερειακών συσκευών όπως για παράδειγμα ένας σκληρός δίσκος. Με την παράλληλη μεταφορά εξασφαλίζεται ο μεγάλος ρυθμός μεταφοράς δεδομένων, ο οποίος απαιτείται για να επιτυγχάνεται μεγάλη ταχύτητα λειτουργίας του υπολογιστικού συστήματος. Η παράλληλη μεταφορά των δεδομένων γίνεται με τη χρήση καταχωρητών PIPO και με μεγέθη λέξεων τα οποία είναι πολλαπλάσια του byte.

Ο δίαυλος PCI (Peripheral Component Interconnect) είναι από τους πλέον γνωστούς παράλληλης μεταφοράς δεδομένων στους προσωπικούς υπολογιστές με μέγεθος λέξης 4 bytes (32 bits) και ρυθμούς μεταφοράς δεδομένων της τάξης των 132 Mbytes/sec.

7.5 ΚΑΤΑΧΩΡΗΤΗΣ ΟΛΙΣΘΗΣΗΣ ΜΕ ΤΟ Ο.Κ. 74194

Το ολοκληρωμένο κύκλωμα 74194 είναι ένας γενικής χρήσης Καταχωρητής Ολίσθησης των 4-bits (Universal Shift Register). Αυτός ο καταχωρητής μπορεί να χρησιμοποιηθεί ως καταχωρητής ολίσθησης οποιουδήποτε από τους τέσσερις τύπους που αναφέραμε. Το διάγραμμα ακροδεκτών του παρουσιάζεται στο σχήμα 7.5.1 και ο πίνακας αληθείας του στον Πίνακα 7.5.1.



Σχήμα 7.5.1 Διάγραμμα ακροδεκτών του Ο.Κ. 74194

Πίνακας 7.5.1 Πίνακας αλήθειας του Ο.Κ. 74194

Inputs					Outputs								
Clear	Mode		Clock	Serial		Parallel							
	S1	S0		Left	Right	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}
H	L	H	↑	X	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}
H	H	L	↑	H	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	H
H	H	L	↑	L	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	L
H	L	L	X	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}

H= υψηλή στάθμη (λογική κατάσταση "1")

L= χαμηλή στάθμη (λογική κατάσταση "0")

X= (Αδιάφορη κατάσταση)

↑ = αλλαγή της λογικής κατάστασης της εισόδου του ρολογιού από "0" σε "1"

a,b,c,d = η σταθερή λογική κατάσταση των εισόδων A,B,C,D αντίστοιχα

$Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0}$ = οι καταστάσεις των Q_A, Q_B, Q_C, Q_D αντίστοιχα, πριν σταθεροποιηθούν οι καταστάσεις των εισόδων που φαίνονται στον πίνακα

$Q_{An}, Q_{Bn}, Q_{Cn}, Q_{Dn}$ = οι καταστάσεις των Q_A, Q_B, Q_C, Q_D αντίστοιχα, πριν από τον πιο πρόσφατο παλμό του ρολογιού

Οι εισόδοι ελέγχου του τρόπου (Mode) λειτουργίας πρέπει να αλλάζουν μόνο όταν η είσοδος του ρολογιού είναι σε υψηλή στάθμη

Μπορεί να φορτώσει παράλληλα δεδομένα, να τα ολισθήσει δεξιά, να τα ολισθήσει αριστερά, ή να διατηρήσει τα περιεχόμενά του χωρίς να τα μεταβάλει, όπως καθορίζεται από τον προγραμματισμό των εισόδων ελέγχου S1 και S0. Στον πίνακα αλήθειας 7.5.1 φαίνονται οι περιπτώσεις αριστερής και δεξιάς ολίσθησης, καθώς και η περίπτωση "διατήρησης" (HOLD) της εξόδου όπου τα δεδομένα του καταχωρητή μένουν αμετάβλητα. Στον πίνακα 7.5.2 παρουσιάζεται η λειτουργία του O.K. 74194. Με το συμβολισμό $n+1$ εννοούμε την κατάσταση την οποία θα πάρει κάποιο από τα flip-flop του καταχωρητή **μετά** τον παλμό στην είσοδο του ρολογιού, ενώ με n εννοούμε την κατάσταση την οποία είχε κάποιο από τα flip-flop του καταχωρητή **πριν** τον παλμό στην είσοδο του ρολογιού. Ανάλογα με τις καταστάσεις που βάζουμε στις εισόδους ελέγχου του ολοκληρωμένου επιλέγουμε (προγραμματίζουμε) τη λειτουργία του:

- ✓ Αν οι εισόδοι ελέγχου S1, S0 τοποθετηθούν σε χαμηλή στάθμη ($S1=0, S0=0$), τότε τα περιεχόμενα των flip-flops του καταχωρητή μένουν αμετάβλητα με τους παλμούς του ρολογιού και διατηρούν την κατάσταση που είχαν πριν τοποθετήσουμε στις εισόδους ελέγχου τις χαμηλές στάθμες.
- ✓ Η δεξιά ολίσθηση των δεδομένων γίνεται τοποθετώντας στις εισόδους ελέγχου $S1=0, S0=1$, οπότε με κάθε παλμό στην είσοδο του ρολογιού τα δεδομένα του καταχωρητή ολισθαίνουν προς τα δεξιά και η SRSI είναι η σειριακή είσοδος των δεδομένων.

Πίνακας 7.5.2 Λειτουργία του O.K. 74194

Mode (Λειτουργία)	S1	S0	QA(n+1)	QB(n+1)	QC(n+1)	QD(n+1)
Hold (Διατήρηση)	0	0	QA(n)	QB(n)	QC(n)	QD(n)
Shift Right (Ολίσθηση δεξιά)	0	1	SRSI	QA(n)	QB(n)	QC(n)
Shift Left (Ολίσθηση αριστερά)	1	0	QB(n)	QC(n)	QD(n)	SLSI
Load (Φόρτωση)	1	1	A	B	C	D

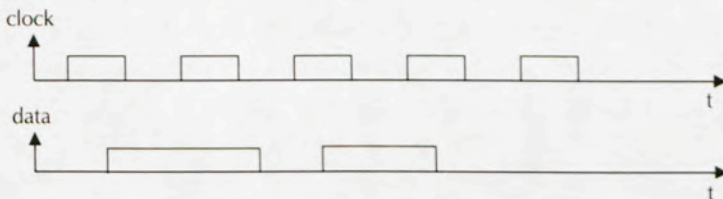
- ✓ Η αριστερή ολίσθηση των δεδομένων γίνεται τοποθετώντας στις εισόδους ελέγχου $S1=1$, $S0=0$, οπότε με κάθε παλμό στην είσοδο του ρολογιού τα δεδομένα του καταχωρητή ολισθαίνουν προς τα αριστερά και η SLSI είναι η σειριακή είσοδος των δεδομένων.
- ✓ Η παράλληλη φόρτωση των δεδομένων γίνεται εφαρμόζοντας στις εισόδους A, B, C, D τα δεδομένα, έχοντας τοποθετήσει τις εισόδους ελέγχου $S1$, $S0$ σε υψηλή στάθμη ($S1=1$, $S0=1$), οπότε με την εμφάνιση παλμού στην είσοδο του ρολογιού τα δεδομένα αποθηκεύονται στα flip-flop του καταχωρητή.

7.6 ΠΕΡΙΛΗΨΗ

1. Ο καταχωρητής (register) είναι μία ομάδα από flip-flops που μπορεί να αποθηκεύσει προσωρινά ψηφιακή πληροφορία. Μπορεί να διατηρεί τα δεδομένα του αμετάβλητα (έως ότου πάψει να εφαρμόζεται τάση τροφοδοσίας) ή να "φορτώνει" καινούργια δεδομένα από τις εισόδους του. Το πλήθος των flip-flops ορίζει το μήκος του καταχωρητή, δηλαδή το μέγεθος της πληροφορίας που μπορεί να αποθηκεύσει ο καταχωρητής. Με ένα flip-flop μπορεί να αποθηκευθεί πληροφορία ενός bit, ενώ με N flip-flops μπορεί να αποθηκευθεί πληροφορία N bits. Συνήθως, το μέγεθος των καταχωρητών σε ολοκληρωμένα κυκλώματα είναι 4, 8, 16, 32 bits.
2. Ο καταχωρητής ολίσθησης (shift register) είναι ένας καταχωρητής, του οποίου η έξοδος από κάθε ένα flip-flop συνδέεται στην είσοδο του γειτονικού του flip-flop. Η ολίσθηση των δεδομένων μπορεί να γίνεται προς τα αριστερά ή δεξιά.
3. Υπάρχουν τέσσερις βασικοί τύποι καταχωρητών ολίσθησης ανάλογα με τον τρόπο εισόδου και εξόδου των δεδομένων τους:
 - α) Σειριακής εισόδου-παράλληλης εξόδου (serial-in, parallel-out SIPO)
 - β) Σειριακής εισόδου-σειριακής εξόδου (serial-in, serial-out SISO)
 - γ) Παράλληλης εισόδου- παράλληλης εξόδου (parallel-in, parallel-out PIPO)
 - δ) Παράλληλης εισόδου-σειριακής εξόδου (parallel-in, serial-out PISO)
4. Η μεταφορά δεδομένων ανάμεσα σε δύο ψηφιακά συστήματα μπορεί να γίνει σειριακά ή παράλληλα. Στη σειριακή μεταφορά των δεδομένων τα bits της πληροφορίας μεταφέρονται σειριακά το ένα μετά το άλλο. Στην παράλληλη μεταφορά των δεδομένων τα bits της πληροφορίας μεταφέρονται ταυτόχρονα σε ομάδες. Κατά τη σειριακή μετάδοση των δεδομένων χρησιμοποιείται μόνο ένας αγωγός, ενώ κατά την παράλληλη μεταφορά χρησιμοποιείται τόσοι αγωγοί όσα και τα bits της πληροφορίας που μεταφέρονται παράλληλα. Με τη σειριακή μετάδοση έχουμε οικονομία όσον αφορά στο πλήθος των αγωγών που χρησιμοποιούνται συγκριτικά με την παράλληλη μετάδοση. Από την άλλη πλευρά ο ρυθμός μεταφοράς των bits είναι μικρότερος στη σειριακή μετάδοση συγκριτικά με την παράλληλη.

7.7 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ

1. Τι είναι ένας καταχωρητής;
2. Τι είναι ένας καταχωρητής ολίσθησης;
3. Ένας καταχωρητής ολίσθησης SISO των 4-bits έχει:
 - α. Μία είσοδο
 - β. Δύο εισόδους
 - γ. Τέσσερις εισόδους
4. Ένας καταχωρητής ολίσθησης SISO των 4 bits έχει την πληροφορία "1101". Να γράψετε τα περιεχόμενά του για πέντε διαδοχικούς παλμούς ρολογιού καθώς επίσης και τις καταστάσεις της σειριακής του εξόδου. Δίνεται ότι η σειριακή του είσοδος θα είναι μόνιμα σε λογική κατάσταση "1".
5. Ένας καταχωρητής ολίσθησης SISO αποτελείται από 100 flip-flops και η συχνότητα του παλμού του ρολογιού του είναι 1 KHz (περίοδος=1msec). Πόσο θα καθυστερούν τα δεδομένα για να περάσουν μέσα από αυτόν τον καταχωρητή;
6. Σε έναν καταχωρητή αριστερής ολίσθησης SISO των 4-bits θέλουμε να φορτώσουμε την λέξη 1101. Να γράφεται την τιμή της εισόδου, τα περιεχόμενα του καταχωρητή και την τιμή της εξόδου για τέσσερις παλμούς ρολογιού. Δίνεται ότι η αρχική κατάσταση του καταχωρητή είναι 0000.
7. Σε έναν καταχωρητή δεξιάς ολίσθησης SISO των 4-bits θέλουμε να φορτώσουμε την λέξη 1101. Να γράφεται την τιμή της εισόδου, τα περιεχόμενα του καταχωρητή και την τιμή της εξόδου για τέσσερις παλμούς ρολογιού. Δίνεται ότι η αρχική κατάσταση του καταχωρητή είναι 0000.
8. Σε έναν καταχωρητή ολίσθησης SIPO των 4-bits δίνουμε στην είσοδό του δεδομένα με την αλόλουθη σειρά 0,1,1,1. Μετά από τέσσερις παλμούς ρολογιού ο καταχωρητής περιέχει τη λέξη 1110. Δίνεται ότι η αρχική κατάσταση του καταχωρητή είναι 0000. Ο καταχωρητής είναι δεξιάς η αριστερής ολίσθησης;
9. Σε έναν καταχωρητή δεξιάς ολίσθησης SIPO των 2-bits δίνονται οι παρακάτω κυματομορφές των παλμών ρολογιού (clock) και της εισόδου (data):



Να σχεδιάσετε τις κυματομορφές των εξόδων των δύο flip-flops του καταχωρητή που διεγείρονται με το αρνητικό μέτωπο του ρολογιού. Δίνεται ότι η αρχική κατάσταση του καταχωρητή είναι 00.

10. Ποια είναι τα πλεονεκτήματα και τα μειονεκτήματα της σειριακής μεταφοράς δεδομένων συγκριτικά με την παράλληλη μεταφορά.
11. Τι τύπου καταχωρητές ολίσθησης χρησιμοποιούνται για τη σειριακή σύνδεση δύο συστημάτων που επεξεργάζονται πληροφορίες σε παράλληλη μορφή;

1. Να γνωρίζετε τη λειτουργία ενός ασύγχρονου και ενός σύγχρονου απαριθμητή.
2. Να κατασκευάζετε ασύγχρονους και σύγχρονους απαριθμητές με FLIP-FLOPS και να περιγράφετε τη λειτουργία τους.
3. Να σχεδιάζετε και να κατασκευάζετε απαριθμητές καθορισμένου υπολοίπου (modulo).
α) με FLIP-FLOP
β) με Ολοκληρωμένο κύκλωμα
4. Να μπορείτε να τροποποιείτε τον αριθμό του modulo ενός απαριθμητή.
5. Να μελετάτε και να χρησιμοποιείτε ολοκληρωμένα κυκλώματα απαριθμητών.
6. Να χρησιμοποιείτε BCD απαριθμητές.
7. Να κατασκευάζετε απαριθμητές προς τα πάνω και προς τα κάτω.
8. Να περιγράφετε τη λειτουργία των αμφίδρομων απαριθμητών.
9. Να γνωρίζετε τη λειτουργία του ολοκληρωμένου κυκλώματος 74193 και να κατασκευάζετε απαριθμητές με αυτό το ολοκληρωμένο κύκλωμα.

8 κεφάλαιο

ΑΠΑΡΙΘΜΗΤΕΣ

8.1 ΕΙΣΑΓΩΓΗ

Μία από τις πιο στοιχειώδεις λειτουργίες στα ακολουθιακά ψηφιακά συστήματα (sequential digital systems) είναι η απαρίθμηση. Σημαντικές εφαρμογές είναι η απαρίθμηση ενός αριθμού παλμών και η παρακολούθηση της προόδου μιας διεργασίας. Για παράδειγμα μπορούμε να μετρήσουμε συχνότητα, ταχύτητα, απόσταση, με την απαρίθμηση παλμών. Ένας απαριθμητής προγράμματος (program counter) σε έναν υπολογιστή αποτελεί ένα παράδειγμα ενός απαριθμητή ο οποίος καταγράφει την εξέλιξη μιας διεργασίας (στο παράδειγμα διεργασία είναι η εκτέλεση των εντολών του προγράμματος).

Οι απαριθμητές είναι ψηφιακές διατάξεις οι οποίες μπορούν να καταμετρήσουν τον αριθμό των ηλεκτρικών παλμών που φθάνουν στην είσοδο του ρολογιού (clock) τους. Η καταμέτρηση γίνεται είτε στο δυαδικό σύστημα (δυαδικοί απαριθμητές – binary counters), είτε στο δεκαδικό σύστημα (δεκαδικοί απαριθμητές κωδικοποιημένοι δυαδικά – Binary Coded Decimal (BCD) counters). Ουσιαστικά, μπορούμε να θεωρήσουμε τους απαριθμητές ως ακολουθιακά κυκλώματα με μία μόνο είσοδο (input), αυτήν του ρολογιού τους. Η πληροφορία εξόδου αφορά στον αριθμό των παλμών που εφαρμόστηκαν σε αυτήν την είσοδο.

8.2 ΒΑΣΙΚΕΣ ΕΝΝΟΙΕΣ

Οι απαριθμητές (counters) χωρίζονται σε δύο κατηγορίες :

- ☛ τους ασύγχρονους απαριθμητές (asynchronous counters)
- ☛ τους σύγχρονους απαριθμητές (synchronous counters).

Οι απαριθμητές κατασκευάζονται από flip-flops κατάλληλα συνδεδεμένα μεταξύ τους.

Στους σύγχρονους απαριθμητές, οι είσοδοι ρολογιού των flip-flops, που τους αποτελούν είναι κοινές (η κοινή αυτή είσοδος ονομάζεται είσοδος ρολογιού του απαριθμητή), με αποτέλεσμα όλα τα flip-flops να αλλάζουν κατάσταση ταυτόχρονα. Αντίθετα, στους ασύγχρονους απαριθμητές οι είσοδοι ρολογιού των flip-flops, που τους αποτελούν, δεν είναι κοινές, αλλά οδηγούνται από την έξοδο του προηγούμενου flip-flop, με αποτέλεσμα τα flip-flops να μην αλλάζουν ταυτόχρονα κατάσταση, αλλά οι αλλαγές των καταστάσεών τους να μεταδίδονται σαν κυμάτωση (ripple) από το ένα flip-flop προς το άλλο.

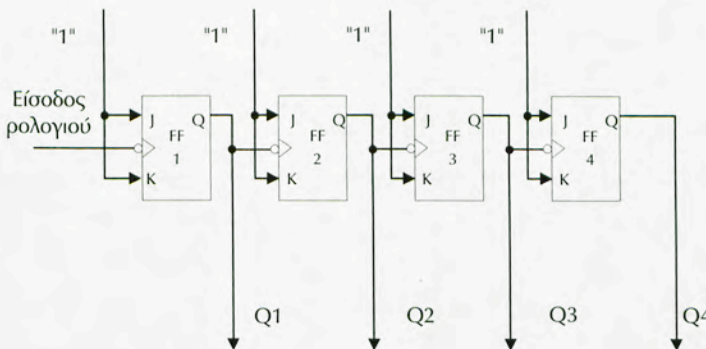
8.3 ΑΣΥΓΧΡΟΝΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

8.3.1 Ασύγχρονος δυαδικός απαριθμητής

Στο Σχήμα 8.3.1 φαίνεται το βασικό κύκλωμα ενός ασύγχρονου (asynchronous) δυαδικού (binary) απαριθμητή (counter) με τέσσερα flip-flops. Το κύκλωμα αυτό χρη-

σιμοποιεί 4 J-K flip-flops τα οποία διεγείρονται με το αρνητικό μέτωπο του παλμού του ρολογιού τους. Από το σχήμα 8.3.1 φαίνεται ότι το εξωτερικό σήμα του ρολογιού του απαριθμητή εφαρμόζεται μόνο στο πρώτο flip-flop, ενώ το σήμα ρολογιού των υπόλοιπων flip-flops προέρχεται από την έξοδο του προηγούμενου flip-flop. Με αυτόν τον τρόπο σύνδεσης το σήμα του ρολογιού διαδίδεται σειριακά στο εσωτερικό του κυκλώματος από την έξοδο του κάθε flip-flop στην είσοδο ρολογιού του επόμενου flip-flop. Τα flip-flops αλλάζουν το ένα μετά το άλλο σε μία γρήγορη ακολουθία και το σήμα του ρολογιού μεταδίδεται μέσω του απαριθμητή σαν κυμάτωση (ripple).

Τα J-K flip-flops του σχήματος 8.3.1 λειτουργούν με τρόπο "toggle" λόγω του ότι $J=K=1$ και έτσι αλλάζουν κατάσταση (παιρνουν την συμπληρωματική της προηγούμενης κατάστασης), όταν στην είσοδο του ρολογιού εφαρμοστεί παλμός.



Σχήμα 8.3.1 Ασύγχρονος δυαδικός απαριθμητής 4-bits

Στον πίνακα 8.3.1 φαίνεται η ακολουθία μετρήσεων του απαριθμητή. Τα Q4, Q3, Q2, Q1 είναι οι έξοδοι των τεσσάρων flip-flops και αντιστοιχούν στον 4-bits αριθμό Q4Q3Q2Q1 (με Q4 το MSB και Q1 το LSB).

Η αναλυτική λειτουργία του κυκλώματος του απαριθμητή είναι η εξής:

- ✓ Το Q1 σύμφωνα με ότι είπαμε (λόγω του ότι $J=K=1$) θα συμπληρώνει (αντιστρέφει) την κατάστασή του με κάθε παλμό μέτρησης. Με το πρώτο αρνητικό μέτωπο του ρολογιού, το flip-flop 1 αλλάζει λογική κατάσταση από "0" σε "1". Τα άλλα flip-flops θα παραμείνουν στην ίδια κατάσταση, γιατί η αλλαγή κατάστασης από "0" σε "1" του flip-flop1 δεν προκαλεί στις εισόδους των ρολογιών τους αρνητικό μέτωπο παλμού. Έτσι, με τον πρώτο παλμό ρολογιού, οι έξοδοι του ασύγχρονου δυαδικού απαριθμητή θα είναι: Q4Q3Q2Q1=0001
- ✓ Με το δεύτερο παλμό ρολογιού, το flip-flop 1 συμπληρώνει πάλι την κατάστασή του. Όποτε η έξοδος Q1 αλλάζει από "1" σε "0" (επομένως έχουμε αρνητικό μέτωπο παλμού) και λόγω του ότι τροφοδοτεί την είσοδο ρολο-

Πίνακας 8.3.1 Ακολουθία μέτρησης ενός δυαδικού ασύγχρονου 4-bits απαριθμητή

Παλμός ρολογιού	Έξοδοι flip-flops			
	Q4	Q3	Q2	Q1
Αρχική κατάσταση	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

γιού του flip-flop 2, θα προκαλέσει την αλλαγή της κατάστασής του flip-flop 2 από "0" σε "1". Τα άλλα δύο flip-flops δεν θα αλλάξουν κατάσταση αφού δεν εμφανίζονται αρνητικά μέτωπα παλμών στις εισόδους των ρολογιών τους. Επομένως, με τον δεύτερο παλμό ρολογιού, οι έξοδοι του ασύγχρονου δυαδικού απαριθμητή θα είναι: $Q_4Q_3Q_2Q_1 = 0010$

- ✓ Με τον τρίτο παλμό ρολογιού, το flip-flop 1 συμπληρώνει πάλι την κατάστασή του. Η έξοδος Q1 αλλάζει από "0" σε "1" (δεν έχουμε αρνητικό μέτωπο παλμού για το flip-flop 2) και επομένως η κατάσταση του flip-flop 2 δεν αλλάζει. Τα άλλα δύο flip-flops δεν θα αλλάξουν κατάσταση αφού δεν εμφανίζονται αρνητικά μέτωπα παλμών στις εισόδους των ρολογιών τους. Επομένως, με τον τρίτο εξωτερικό παλμό ρολογιού (clock), οι έξοδοι του ασύγχρονου δυαδικού απαριθμητή θα είναι: $Q_4Q_3Q_2Q_1 = 0011$
- ✓ Ο κύκλος απαρίθμησης συνεχίζεται με παρόμοιο τρόπο έως ότου όλες οι έξοδοι των flip-flops βρεθούν στην κατάσταση "1". Τότε, με τον επόμενο

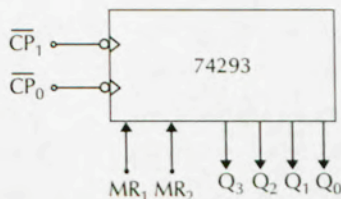
παλμό ρολογιού όλα τα flip-flops μετáγονται στην κατάσταση "0" και ο κύκλος απαρίθμησης επαναλαμβάνεται από την αρχή.

Σ' αυτό το σημείο, επίσης, είναι σωστό να τονίσουμε ότι οι παλμοί του ρολογιού που θα απαριθμηθούν **δεν πρέπει** αναγκαστικά να έχουν σταθερή συχνότητα (ή ισοδύναμα περίοδο). Ανάλογα με την εφαρμογή, ο ρυθμός των παλμών ρολογιού μπορεί να μεταβάλλεται στο χρόνο. Ένα παράδειγμα από την πραγματικότητα θα μπορούσε να είναι ένα σύστημα απαρίθμησης των χιλιομέτρων που διανύει ένα αυτοκίνητο. Μπορούμε να φαντασθούμε ένα ψηφιακό σύστημα καταγραφής χιλιομέτρων το οποίο θα απαριθμεί τον αριθμό των περιστροφών μίας από τις ρόδες του αυτοκινήτου και θα το αντιστοιχεί σε χιλιόμετρα (ένα συγκεκριμένο αριθμό περιστροφών). Ο ρυθμός των παλμών (κάθε πότε εμφανίζεται παλμός) που θα αποτελούν την είσοδο για το ρολόι του απαριθμητή μας θα εξαρτάται από την ταχύτητα με την οποία μετακινείται το αυτοκίνητο (μικρές ταχύτητες θα σημαίνουν μικρό ρυθμό παλμών δηλαδή οι παλμοί θα εμφανίζονται σε μεγάλα χρονικά διαστήματα σε σύγκριση με τις μεγάλες ταχύτητες οι οποίες θα σημαίνουν μεγάλο ρυθμό παλμών δηλαδή οι παλμοί θα εμφανίζονται σε μικρά χρονικά διαστήματα).

8.3.2 Ασύγχρονος Δυαδικός Απαριθμητής 74293

Το O.K. 74293 είναι ένας δυαδικός ασύγχρονος απαριθμητής, το οποίο φαίνεται στο Σχήμα 8.3.2. Η λειτουργία του ολοκληρωμένου ως 4-bits απαριθμητή, επιτυγχάνεται ως εξής:

- ☛ Τα Q_0, Q_1, Q_2, Q_3 είναι οι έξοδοι του απαριθμητή, όπου το Q_0 είναι το λιγότερο σημαντικό bit και το Q_3 είναι το περισσότερο σημαντικό bit.
- ☛ Η έξοδος Q_0 συνδέεται στην είσοδο \overline{CP}_1 .
- ☛ Θέτοντας τις εισόδους ελέγχου MR_1 και MR_2 σε λογική κατάσταση "1" μηδενίζεται η αρχική κατάσταση του απαριθμητή. Στην συνέχεια θέτοντας MR_1 είτε MR_2 σε λογική κατάσταση "0" μπορεί να ξεκινήσει η διαδικασία απαρίθμησης.
- ☛ Οι παλμοί ρολογιού εφαρμόζονται στην είσοδο ρολογιού \overline{CP}_0 .



Σχήμα 8.3.2 Το O.K. 74293

8.3.3 Ασύγχρονος BCD Απαριθμητής

Ο BCD απαριθμητής απαριθμεί δέκα καταστάσεις, από την κατάσταση 0 έως την κατάσταση 9, μετά την οποία γυρίζει πάλι στην κατάσταση 0. Ο BCD απαριθμητής ονομάζεται και δεκαδικός απαριθμητής. Ο BCD απαριθμητής πρέπει (σύμφωνα με τα όσα γνωρίζουμε) να αποτελείται από 4 flip-flops, αφού χρειάζονται τέσσερα bits για την κωδικοποίηση των 10 δεκαδικών ψηφίων. Για να καταλάβουμε την λειτουργία αυτού του δυαδικού απαριθμητή, αρχικά πρέπει να κοιτάξουμε τον πίνακα 8.3.2 που δείχνει την ακολουθία των μετρήσεων του. Τα Q4, Q3, Q2, Q1 είναι οι έξοδοι των τεσσάρων flip-flops με αρχική κατάσταση μηδέν.

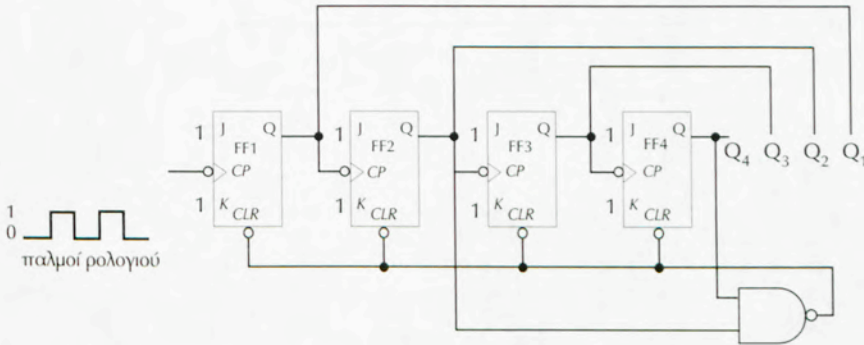
Πίνακας 8.3.2 Ακολουθία μέτρησης ενός BCD απαριθμητή

Παλμός ρολογιού	Έξοδοι			
	Q4	Q3	Q2	Q1
Αρχική κατάσταση	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

Συγκρίνοντας την ακολουθία μέτρησης ενός δυαδικού ασύγχρονου απαριθμητή τεσσάρων bits (Πίνακας 8.3.1) με την ακολουθία μέτρησης του ασύγχρονου BCD απαριθμητή παρατηρούμε ότι οι ακολουθίες μέτρησης είναι ίδιες για τους 9 πρώτους παλμούς ρολογιού. Στην συνέχεια ο BCD απαριθμητής επιστρέφει στην αρχική κατάσταση όπου όλα τα flip-flops μηδενίζονται.

Η κατασκευή ενός ασύγχρονου BCD απαριθμητή είναι παρόμοια με την κατασκευή του δυαδικού ασύγχρονου απαριθμητή τεσσάρων bits. Στο Σχήμα 8.3.3 φαίνεται το κύκλωμα ενός ασύγχρονου BCD απαριθμητή.

Ο απαριθμητής αποτελείται από τέσσερα J-K flip-flops με $J=K="1"$.



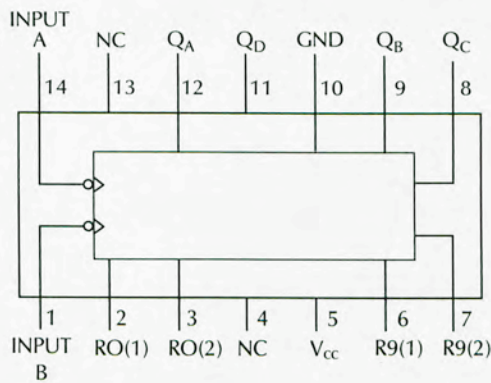
Σχήμα 8.3.3 Ασύγχρονος BCD απαριθμητής

Η διαφορά του κυκλώματος του ασύγχρονου BCD απαριθμητή από το κύκλωμα του ασύγχρονου δυαδικού απαριθμητή τεσσάρων bits, βρίσκεται στην ύπαρξη μίας πύλης **NAND**. Η πύλη αυτή υπάρχει για να μηδενίζει το περιεχόμενο των τεσσάρων flip-flops με τον επόμενο παλμό ρολογιού, όταν ο απαριθμητής βρίσκεται στην κατάσταση $Q_4Q_3Q_2Q_1=1001$. (Η επόμενη κατάσταση στην οποία θα περνούσαν τα τέσσερα flip-flops μετά την κατάσταση 1001, αν δεν υπήρχε η πύλη NAND, θα ήταν η 1010 όπως γίνεται στον ασύγχρονο δυαδικό απαριθμητή).

Αυτό συμβαίνει γιατί, όταν εμφανισθεί η κατάσταση $Q_4Q_3Q_2Q_1=1010$, η έξοδος της πύλης NAND παίρνει τη λογική κατάσταση "0" (αφού έχει εισόδους τις εξόδους Q_4 και Q_2). Επειδή η έξοδος της πύλης NAND τροφοδοτεί τις ασύγχρονες εισόδους μηδενισμού των flip-flops, τα τέσσερα flip-flops θα πάρουν τη λογική κατάσταση "0" δηλαδή $Q_4Q_3Q_2Q_1=0000$. Όταν η κατάσταση του απαριθμητή δεν είναι $Q_4Q_3Q_2Q_1=1001$, τότε η έξοδος της πύλης NAND είναι "1", με αποτέλεσμα οι ασύγχρονες εισόδους μηδενισμού των flip-flops να είναι απενεργοποιημένες.

8.3.4 Ασύγχρονος Απαριθμητής BCD με το Ο.Κ. 7490

Στο Σχήμα 8.3.4 παρουσιάζεται το ολοκληρωμένο κύκλωμα 7490 που είναι ένας ασύγχρονος απαριθμητής BCD.



Σχήμα 8.3.4 Το O.K. 7490

Το O.K. 7490 αποτελείται εσωτερικά από δύο τμήματα. Το ένα τμήμα είναι ένα J-K flip-flop του οποίου η είσοδος ρολογιού INPUT A είναι ο ακροδέκτης 14, οι εισόδοι του J και K συνδέονται εσωτερικά στην λογική κατάσταση "1" και η έξοδος του QA είναι ο ακροδέκτης 12. Το δεύτερο τμήμα αποτελείται από τρία J-K flip-flops με τις εισόδους τους J και K συνδεδεμένες εσωτερικά στην λογική κατάσταση "1" και εξόδους QB, QC και QD (ακροδέκτες 9, 8, και 11 αντίστοιχα). Το πρώτο flip-flop του δεύτερου τμήματος έχει είσοδο ρολογιού την INPUT B (ακροδέκτης 1) ενώ το κάθε ένα από τα άλλα δύο flip-flops έχει είσοδο ρολογιού που τροφοδοτείται από την έξοδο του γειτονικού του. Για την λειτουργία του O.K. 7490 ως ασύγχρονου απαριθμητή BCD πρέπει να συνδέσουμε την έξοδο QA στην είσοδο INPUT B, ενώ η είσοδος INPUT A είναι η είσοδος ρολογιού του απαριθμητή BCD.

Επίσης τουλάχιστον δύο από τις εισόδους ελέγχου R0(1), R0(2), R9(1) και R9(2) (ακροδέκτες 2, 3, 6 και 7 αντίστοιχα) θα πρέπει να βρίσκονται σε λογική κατάσταση "0" ώστε να λειτουργεί ο απαριθμητής. Διαφορετικά, αν R0(1)=1, R0(2)=1 και R9(1)=0, τότε ο απαριθμητής θα βρίσκεται στην κατάσταση 0000 χωρίς να απαριθμεί, ενώ αν R9(1)=1 και R9(2)=1, τότε ο απαριθμητής θα βρίσκεται στην κατάσταση 1001 χωρίς να απαριθμεί.

8.4 ΣΥΓΧΡΟΝΟΙ ΔΥΑΔΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

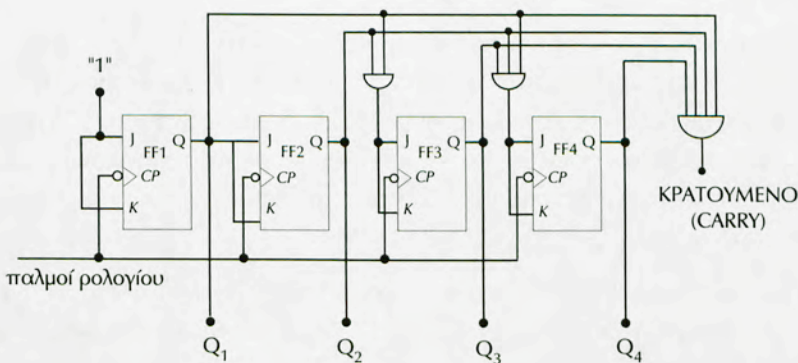
Στην παράγραφο 8.2 αναφέραμε ότι οι απαριθμητές χωρίζονται σε δύο κατηγορίες, τους ασύγχρονους και τους σύγχρονους. Οι σύγχρονοι απαριθμητές διαφέρουν από τους ασύγχρονους στο ότι οι παλμοί του ρολογιού εφαρμόζονται στις εισόδους ρολογιού CP όλων των flip-flops του απαριθμητή. Η κατασκευή των απαριθμητών βασίζεται σε flip-flops τα οποία συμπληρώνουν (αντιστρέφουν) την κατάστασή τους, όταν οι εισόδοι ελέγχου τους βρίσκονται σε μια συγκεκριμένη κατάσταση.

8.4.1 Προς τα πάνω Απαριθμητές

Στην παράγραφο αυτή θα ασχοληθούμε με την κατασκευή σύγχρονων δυαδικών απαριθμητών, δηλαδή απαριθμητών των οποίων οι διαδοχικές καταστάσεις τις οποίες παίρνουν τα flip-flops που τους αποτελούν ακολουθούν το δυαδικό σύστημα αρίθμησης. Οι δυαδικοί απαριθμητές που θα περιγράψουμε ονομάζονται απαριθμητές προς τα πάνω (up-counters) ή αύξοντες, επειδή με κάθε παλμό ρολογιού αυξάνεται το περιεχόμενό τους κατά μία μονάδα. Οι απαριθμητές αυτοί μπορούν να κατασκευασθούν με J-K flip-flops. Θυμίζουμε ότι ένα J-K flip-flop συμπληρώνει την κατάστασή του με την εμφάνιση παλμού στην είσοδο του ρολογιού του όταν $J=K="1"$. Λόγω του ότι η είσοδος του ρολογιού είναι κοινή σε όλα τα flip-flops ενός σύγχρονου απαριθμητή, η λογική κατασκευής του στηρίζεται σε συνδυαστικά κυκλώματα με τα οποία ελέγχονται οι είσοδοι J και K των flip-flops και ανάλογα επιτρέπεται ή όχι η αλλαγή της κατάστασής τους.

Ο τρόπος με τον οποίο σχεδιάζουμε ένα δυαδικό σύγχρονο απαριθμητή είναι αρκετά απλός. Θα χρησιμοποιήσουμε J-K flip-flops για την υλοποίηση ενός σύγχρονου δυαδικού απαριθμητή των τεσσάρων bits. Το τελευταίο bit του απαριθμητή θα αλλάζει (συμπληρώνει) πάντα την κατάστασή του με κάθε παλμό ρολογιού. Για να γίνεται αυτό οι είσοδοι J και K του flip-flop FF1 θα πρέπει να βρίσκονται στη λογική κατάσταση "1" συνεχώς. Κάθε άλλο flip-flop θα αλλάζει (αντιστρέφεται) μόνο, αν **όλα** τα bits των προηγούμενων από αυτό flip-flops έχουν τη λογική κατάσταση "1".

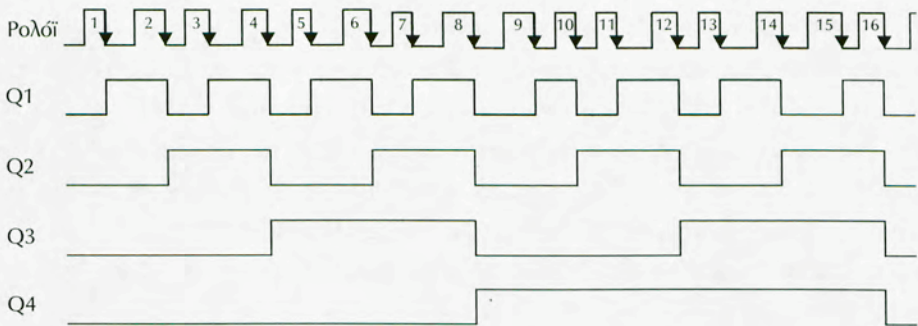
Για παράδειγμα αν η κατάσταση του απαριθμητή είναι $Q_4Q_3Q_2Q_1=0011$ τότε η επόμενη κατάστασή του $Q_4Q_3Q_2Q_1=0100$. Το Q_1 αλλάζει πάντα, το Q_2 αντιστρέφεται αφού $Q_1=1$, το Q_3 αντιστρέφεται αφού $Q_2Q_1=11$ και το Q_4 δεν αλλάζει αφού $Q_3Q_2Q_1=011$ (δεν είναι όλα "1").



Σχήμα 8.4.1 Σύγχρονος δυαδικός απαριθμητής τεσσάρων bits

Στο σχήμα 8.4.1 φαίνεται το κύκλωμα ενός σύγχρονου δυαδικού απαριθμητή των τεσσάρων bits. Τα τέσσερα flip-flops έχουν κοινό ρολόι. Οι εισόδους J και K του FF1 βρίσκονται συνεχώς στη λογική κατάσταση "1", επομένως, όπως ήδη έχουμε αναφέρει, θα συμπληρώνει την κατάστασή του με κάθε αρνητικό μέτωπο παλμού στην είσοδο του ρολογιού του. Τα υπόλοιπα flip-flops θα αλλάζουν κατάσταση με το αρνητικό μέτωπο του παλμού του ρολογιού μόνο, αν όλα τα προηγούμενα flip-flops βρίσκονται στην κατάσταση "1". Τη συνθήκη αυτή την υλοποιούμε με τις πύλες **AND** που οδηγούν τις εισόδους J και K των flip-flops και σαν εισόδους έχουν τις εξόδους των προηγούμενων flip-flops. Η έξοδος της τελευταίας πύλης AND έχει την έννοια του κρατουμένου και συχνά χρησιμοποιείται για την κατασκευή μεγαλύτερων απαριθμητών.

Στο σχήμα 8.4.2 φαίνονται οι κυματομορφές των εξόδων του σύγχρονου προς τα πάνω δυαδικού απαριθμητή των τεσσάρων bits.

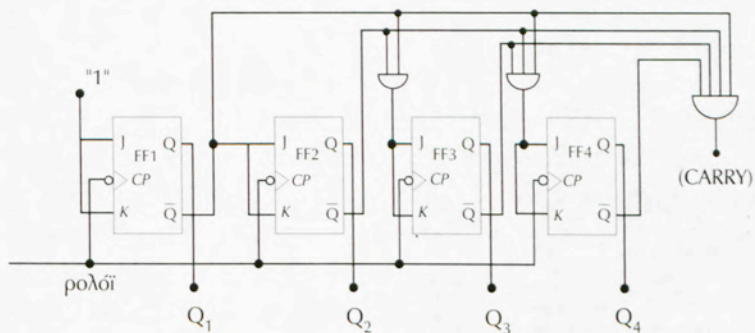


Σχήμα 8.4.2 Κυματομορφές των εξόδων ενός προς τα πάνω σύγχρονου δυαδικού απαριθμητή 4-bits

8.4.2 Προς τα κάτω απαριθμητές

Ο προς τα κάτω (down-counter) ή φθίνων απαριθμητής θα ελαττώνει το περιεχόμενό του κατά μία μονάδα με κάθε παλμό ρολογιού. Το κύκλωμα του προς τα κάτω σύγχρονου δυαδικού απαριθμητή με J-K flip-flops φαίνεται στο Σχήμα 8.4.3. Για τις συνδέσεις μεταξύ των flip-flops χρησιμοποιούμε τις συμπληρωματικές εξόδους τους. Η ακολουθία μέτρησης αυτού του απαριθμητή φαίνεται στον Πίνακα 8.4.1 (ξεκινώντας με αρχική τιμή $Q_4Q_3Q_2Q_1 = 1111$).

Λόγω του ότι η ακολουθία μέτρησης του προς τα κάτω απαριθμητή είναι η συμπληρωματική της ακολουθίας μέτρησης του προς τα πάνω απαριθμητή, μπορούμε να χρησιμοποιήσουμε τις συμπληρωματικές εξόδους ενός προς τα πάνω απαριθμητή για να κατασκευάσουμε έναν προς τα κάτω απαριθμητή.



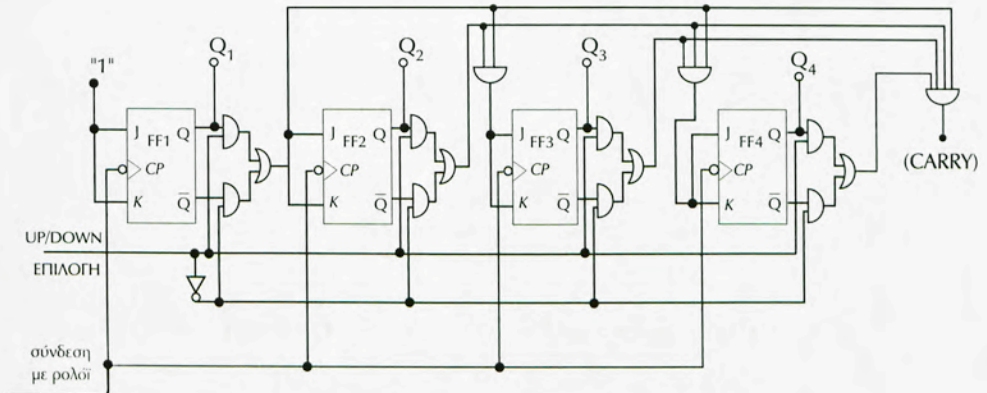
Σχήμα 8.4.3 Σύγχρονος δυαδικός απαριθμητής προς τα κάτω τεσσάρων bits

Πίνακας 8.4.1 Ακολουθία μέτρησης ενός δυαδικού σύγχρονου προς τα κάτω απαριθμητή 4-bits

Παλμός ρολογιού	Q4	Q3	Q2	Q1
Αρχική κατάσταση	1	1	1	1
1	1	1	1	0
2	1	1	0	1
3	1	1	0	0
4	1	0	1	1
5	1	0	1	0
6	1	0	0	1
7	1	0	0	0
8	0	1	1	1
9	0	1	1	0
10	0	1	0	1
11	0	1	0	0
12	0	0	1	1
13	0	0	1	0
14	0	0	0	1
15	0	0	0	0
16	1	1	1	1

8.4.3 Αμφίδρομοι απαριθμητές

Ο αμφίδρομος απαριθμητής (Up/Down Counter) έχει τη δυνατότητα απαρίθμησης είτε προς τα πάνω είτε προς τα κάτω. Στο σχήμα 8.4.4 φαίνεται ένας δυαδικός σύγχρονος αμφίδρομος μετρητής τεσσάρων bits. Η επιλογή του τρόπου απαρίθμησης γίνεται με την είσοδο ελέγχου "Up/Down". Όταν η είσοδος αυτή είναι "1", τότε ο απαριθμητής μετράει προς τα πάνω, ενώ όταν η είσοδος αυτή είναι "0", τότε ο απαριθμητής μετράει προς τα κάτω.



Σχήμα 8.4.4 Σύγχρονος δυαδικός αμφίδρομος απαριθμητής των 4-bits

ναί "0", τότε ο απαριθμητής μετράει προς τα κάτω.

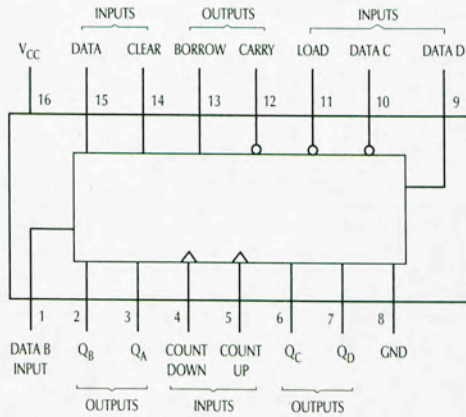
Χρησιμοποιώντας δύο πύλες **AND** και μία πύλη **OR** για κάθε flip-flop του απαριθμητή επιτυγχάνουμε την επιλογή του τρόπου λειτουργίας του απαριθμητή. Ανάλογα με την λογική κατάσταση της εισόδου ελέγχου "Up/Down", επιλέγουμε αν η έξοδος Q ή η έξοδος \bar{Q} καθορίζει την κατάσταση των εισόδων J και K του επόμενου flip-flop. Όταν η είσοδος ελέγχου είναι "1", το κύκλωμα μετρά προς τα πάνω, αφού οι εισοδοί J και K των flip-flops ελέγχονται από τις προηγούμενες εξόδους Q. Όταν η είσοδος ελέγχου είναι "0", το κύκλωμα μετρά προς τα κάτω, αφού οι εισοδοί J και K των flip-flops ελέγχονται από τις προηγούμενες εξόδους \bar{Q} .

8.4.4 Απαριθμητής με το O.K. 74193

Το O.K. 74LS193 είναι ένας σύγχρονος αμφίδρομος δυαδικός απαριθμητής των 4-bits. Η σύγχρονη λειτουργία εξασφαλίζεται με την ταυτόχρονη (παράλληλη) τροφοδότηση όλων των flip-flops με την είσοδο του ρολογιού του ολοκληρω-

μένου κυκλώματος, έτσι ώστε όλες οι έξοδοι να αλλάζουν ταυτόχρονα. Οι έξοδοι των flip-flops μεταβάλλονται με το θετικό μέτωπο των παλμών στην είσοδο του ρολογιού.

Στο σχήμα 8.4.5 παρουσιάζεται το ολοκληρωμένο κύκλωμα 74193.



Σχήμα 8.4.5 Το Ο.Κ. 74193

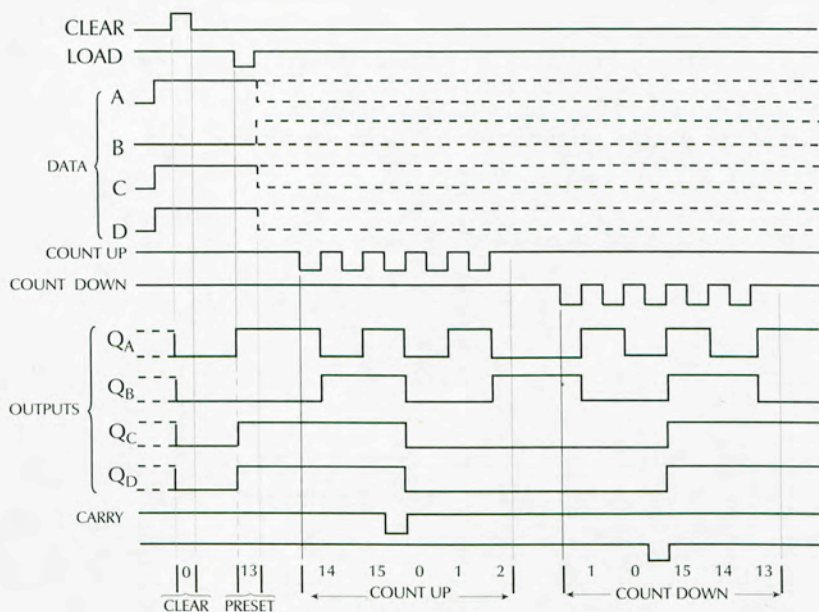
Υπάρχουν δύο είσοδοι ρολογιού **count up** (απαρίθμηση προς τα πάνω) και **count down** (απαρίθμηση προς τα κάτω). Η κατεύθυνση της απαρίθμησης προς τα πάνω ή προς τα κάτω, εξαρτάται από το σε ποια από τις δύο αυτές εισόδους εφαρμόζουμε τους παλμούς του ρολογιού, οπότε ο απαριθμητής θα μετατρέπεται σε απαριθμητής προς τα πάνω ή απαριθμητής προς τα κάτω αντίστοιχα.

Ο απαριθμητής προγραμματίζεται ώστε να ξεκινά από μία συγκεκριμένη κατάσταση των flip-flops του, δηλαδή να μην ξεκινά υποχρεωτικά από 0000 ή 1111, αλλά από οποιοδήποτε αριθμό των 4 bits . Αυτό γίνεται με την τοποθέτηση των επιθυμητών καταστάσεων (λογική κατάσταση "0" ή "1") στις εισόδους δεδομένων **A,B,C,D**, όταν η είσοδος **LOAD** βρίσκεται σε κατάσταση "0". Η λειτουργία αυτή είναι ασύγχρονη (δηλαδή ανεξάρτητη από τους παλμούς του ρολογιού) και ονομάζεται **παράλληλη φόρτωση** (parallel load) του απαριθμητή.

Υπάρχει μία ασύγχρονη είσοδος μηδενισμού **CLEAR** η οποία όταν πάρει τη λογική κατάσταση "1", ο απαριθμητής μηδενίζεται και τα flip-flops παίρνουν τη λογική κατάσταση "0".

Η κατάσταση των flip-flops του απαριθμητή εμφανίζεται στις εξόδους τους **QA,QB,QC,QD**, όπου το QA είναι το LSB ενώ το QD είναι το MSB.

Οι έξοδοι **CARRY** και **BORROW** χρησιμοποιούνται για τη σύνδεση δύο ή περισσότερων Ο.Κ. 74193 στη σειρά για τη δημιουργία μεγαλύτερων απαριθμητών.



Σχήμα 8.4.6 Κυματομορφές χρονισμού του απαριθμητή 74193

Στο Σχήμα 8.4.6 φαίνονται οι κυματομορφές των σημάτων εξόδου και εισόδου του Ο.Κ. 74193 κατά τη λειτουργία του σαν απαριθμητής προς τα πάνω και προς τα κάτω. Τα δεδομένα τα οποία εφαρμόζουμε στον απαριθμητή, στις εισόδους του D, C, B, A, αντιστοιχούν στον δυαδικό αριθμό $1101 = 13_{10}$. Αρχικά, ο απαριθμητής μηδενίζεται, στη συνέχεια φορτώνονται τα δεδομένα 1101 στα flip-flops του και η απαρίθμηση προς-τα-πάνω ξεκινά με τους παλμούς του ρολογιού στην είσοδο COUNT UP. Όταν ο απαριθμητής φτάσει στην κατάσταση $0010 = 2_{10}$, σταματούν οι παλμοί ρολογιού στην είσοδο COUNT UP και εμφανίζονται μετά από ένα χρονικό διάστημα στην είσοδο ρολογιού COUNT DOWN. Σ' αυτό το χρονικό διάστημα η κατάσταση των flip-flops του απαριθμητή μένει αμετάβλητη και στη συνέχεια ο απαριθμητής απαριθμεί προς τα κάτω. Μπορούμε να παρατηρήσουμε ότι στην απαρίθμηση προς τα πάνω, όταν ξεπερασθεί η κατάσταση $1111 = 15_{10}$, τότε εμφανίζεται ένας παλμός στην έξοδο CARRY. Αντίστοιχα, στην απαρίθμηση προς τα κάτω, όταν μηδενισθεί ο απαριθμητής, τότε εμφανίζεται ένας παλμός στην έξοδο BORROW.

8.5 ΑΠΑΡΙΘΜΗΤΕΣ MODULO N

8.5.1 Η έννοια του modulo

Οι απαριθμητές που έχουμε περιγράψει ως τώρα απαριθμούν έως ένα μέγιστο αριθμό παλμών και στη συνέχεια το περιεχόμενό τους μηδενίζεται (ή ισοδύ-

ναμα αρχίζουν την απαρίθμηση από την αρχή). Ένας απαριθμητής modulo N απαριθμεί N παλμούς (η ακολουθία μέτρησης είναι από 0 μέχρι και $N-1$). Ο δυαδικός απαριθμητής των τεσσάρων bits απαριθμεί 16 παλμούς (η ακολουθία μέτρησης είναι από 0 μέχρι και 15) και γι' αυτό ονομάζεται απαριθμητής modulo 16. Ο BCD απαριθμητής απαριθμεί 10 παλμούς (η ακολουθία μέτρησης είναι από 0 μέχρι και 9) και γι' αυτό ονομάζεται απαριθμητής modulo 10.

Παράδειγμα

Με ένα παράδειγμα θα προσπαθήσουμε να ξεκαθαρίσουμε την έννοια του modulo. Έστω ότι έχουμε έναν δυαδικό απαριθμητή modulo 16. Ο απαριθμητής ξεκινά από την αρχική κατάσταση 0000 να απαριθμεί. Κάποια χρονική στιγμή σταματάμε τους παλμούς στην είσοδο του ρολογιού και παρατηρούμε ότι οι έξοδοι του απαριθμητή είναι 1100. Πόσοι είναι οι παλμοί ρολογιού τους οποίους δέχθηκε ο απαριθμητής;

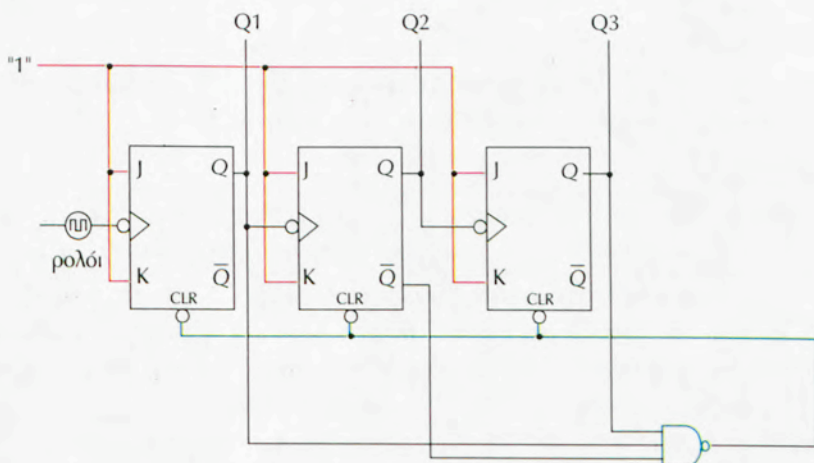
Η πρώτη απάντηση είναι ότι δέχθηκε 12 παλμούς ($1100 = 12_{10}$). Η σωστή απάντηση είναι 12 ή 28 (ένας κύκλος μέτρησης = 16 παλμοί + 12 παλμοί) ή 44 (δύο κύκλοι μέτρησης = $2 \times 16 + 12$) κ.τ.λ. Για να δώσουμε το σωστό αποτέλεσμα χρειαζόμαστε την πληροφορία από πόσους κύκλους μέτρησης (από 0 μέχρι 15) έχει περάσει ο απαριθμητής.

Με M flip-flops μπορούμε να κατασκευάσουμε έναν απαριθμητή modulo N με $N \leq 2^M$. Για παράδειγμα, με τρία flip-flops μπορούμε να κατασκευάσουμε έναν απαριθμητή modulo 8, αλλά επίσης μπορούμε να κατασκευάσουμε απαριθμητή modulo 7, modulo 6 και modulo 5. Για τον απαριθμητή modulo 4 πρέπει να χρησιμοποιήσουμε δύο flip-flops.

8.5.2 Αλλαγή του modulo

Για να κατασκευάσουμε έναν προς τα πάνω απαριθμητή modulo 5 χρησιμοποιούμε έναν προς τα πάνω απαριθμητή modulo 8, τροποποιώντας κατάλληλα το κύκλωμά του, όπως φαίνεται στο Σχήμα 8.5.1. Ο απαριθμητής modulo 8 έχει τρία flip-flops με ασύγχρονες εισόδους μηδενισμού (clear) που ενεργοποιούνται με "0". Αν οι εισοδοί μηδενισμού είναι απενεργοποιημένες τότε η ακολουθία μέτρησης είναι από 0 έως και 7. Για να αλλάξουμε το modulo του απαριθμητή από 8 σε 5 βραχυκυκλώνουμε τις ασύγχρονες εισόδους μηδενισμού των flip-flops και τις οδηγούμε μέσω μίας πύλης NAND με εισόδους τις $Q_3 \overline{Q_2} Q_1$. Όταν ο απαριθμητής φτάσει στην κατάσταση $Q_3 Q_2 Q_1 = 101$ (δηλαδή 5 στο δεκαδικό σύστημα), τότε $Q_3 \overline{Q_2} Q_1 = 111$ οπότε η έξοδος της πύλης NAND είναι "0" με αποτέλεσμα να ενεργοποιείται η είσοδος μηδενισμού και ο απαριθμητής να μηδενίζεται. Με τη σύνδεση αυτή, όταν έλθει ο 5ος παλμός ο απαριθμητής θα πάρει την κατάσταση 101 η οποία αμέσως θα γίνει 000 (αντί να αυξησει το περιεχόμενό του). Έτσι η ακολουθία μέτρησης είναι από 0 μέχρι και 4 δηλαδή το κύκλωμα λειτουρ-

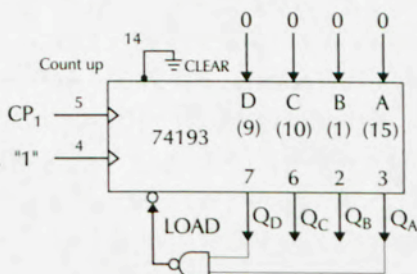
γείως απαριθμητής modulo 5. Παρόμοια λογική μπορεί να επεκταθεί σε οποιαδήποτε αλλαγή του modulo.



Σχήμα 8.5.1 Αλλαγή του modulo ενός δυαδικού προς τα πάνω απαριθμητή από 8 σε 5

Εκτός από την αλλαγή του modulo ενός απαριθμητή με την χρήση της ασύγχρονης εισόδου μηδενισμού χρησιμοποιείται η δυνατότητα της παράλληλης φόρτωσης που υπάρχει σε κάποια ολοκληρωμένα κυκλώματα απαριθμητών, όπως το 74193. Η είσοδος φόρτωσης (load) η οποία είναι ασύγχρονη ενεργοποιείται με την λογική κατάσταση "0".

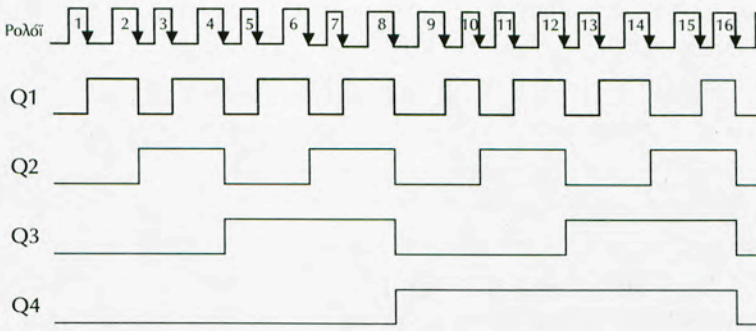
Για παράδειγμα, για να αλλάξουμε το modulo του 74193 από 16 σε 9 οδηγούμε την είσοδο φόρτωσης μέσω μίας πύλης **NAND** με εισόδους τις QD και QA, όπως φαίνεται στο Σχήμα 8.5.2. Όταν ο απαριθμητής φτάσει στην κατάσταση QDQCQBQA=1001 (δηλαδή 9 στο δεκαδικό σύστημα), τότε η έξοδος της πύλης NAND είναι "0" με αποτέλεσμα να ενεργοποιείται η είσοδος φόρτωσης και ο απαριθμητής φορτώνει τα δεδομένα που υπάρχουν στις εισόδους A,B,C,D. Για να είναι η ακολουθία μέτρησης είναι από 0 μέχρι και 8 (δηλαδή το κύκλωμα να λειτουργεί ως απαριθμητής modulo 9) θα πρέπει να θέσουμε ABCD=0000.



Σχήμα 8.5.2 Αλλαγή του modulo ενός δυαδικού προς τα πάνω απαριθμητή από 16 σε 9

8.6 ΔΙΑΙΡΕΣΗ ΣΥΧΝΟΤΗΤΑΣ

Στο Σχήμα 8.6.1 παρουσιάζονται οι κυματομορφές εξόδων του προς τα πάνω ασύγχρονου δυαδικού απαριθμητή των τεσσάρων bits του Σχήματος 8.3.1. Κάθε έξοδος των flip-flops του απαριθμητή έχει την μισή συχνότητα από την συχνότητα των παλμών που εφαρμόζονται στην είσοδο του ρολογιού του, με αποτέλεσμα τις συνεχείς διαιρέσεις της συχνότητας του ρολογιού του πρώτου flip-flop διά 2. Λόγω αυτών των διαιρέσεων, μία από τις πιο συνηθισμένες εφαρμογές των απαριθμητών είναι η διαίρεση μίας συχνότητας, με στόχο την παραγωγή υποπολλαπλασίων της. Αν η συχνότητα των παλμών ρολογιού του πρώτου flip-flop είναι f , τότε η συχνότητα της εξόδου του πρώτου flip-flop θα είναι $f/2$, του δεύτερου flip-flop θα είναι $f/4$, του τρίτου $f/8$ κλπ.



Σχήμα 8.6.1 Κυματομορφές των εξόδων ενός προς τα πάνω ασύγχρονου δυαδικού απαριθμητή 4-bits

Παράδειγμα

Έστω ότι χρειάζεται για μία κατασκευή να δημιουργηθούν οι συχνότητες 56600 Hz, 28800 Hz, 14400 Hz, 7200 Hz. Παρατηρούμε ότι μεταξύ τους αυτές οι συχνότητες έχουν τέτοια σχέση ώστε ξεκινώντας από την μεγαλύτερη η κάθε μία είναι το μισό της προηγούμενης. Χρειαζόμαστε 4 διαφορετικές συχνότητες, οπότε αν χρησιμοποιήσουμε ένα δυαδικό απαριθμητή τεσσάρων bits και σαν είσοδο ρολογιού βάλουμε ένα κύκλωμα παραγωγής παλμών με συχνότητα ίση με το διπλάσιο της μεγαλύτερης, δηλ. 113200 Hz, τότε οι έξοδοι του απαριθμητή θα μας δίνουν κάθε μία από τις επιθυμητές συχνότητες. Η συχνότητα εξόδου του πρώτου flip-flop θα είναι $113200 \text{ Hz}/2 = 56600 \text{ Hz}$, η συχνότητα της εξόδου του δεύτερου θα είναι $113200 \text{ Hz}/4 = 28800 \text{ Hz}$, η συχνότητα εξόδου του τρίτου flip-flop θα είναι $113200 \text{ Hz}/8 = 14400 \text{ Hz}$ και η συχνότητα της εξόδου του τέταρτου flip-flop θα είναι $113200 \text{ Hz}/16 = 7200 \text{ Hz}$. (Οι συχνότητες τις οποίες διαλέξαμε στο παράδειγμα είναι από τις πιο συνηθισμένες για την σειριακή επικοινωνία μεταξύ δύο

υπολογιστικών συστημάτων και εκφράζουν τον αριθμό των bits ανά δευτερόλεπτο που μεταφέρονται μεταξύ τους).

8.7 ΠΕΡΙΛΗΨΗ

1. Ο απαριθμητής είναι ένα ακολουθιακό κύκλωμα το οποίο απαριθμεί τους παλμούς οι οποίοι εφαρμόζονται στην είσοδο του ρολογιού του και καταγράφει το πλήθος τους. Τα flip-flops με τα οποία κατασκευάζονται οι απαριθμητές αποθηκεύουν την πληροφορία του πλήθους των παλμών ρολογιού και οι έξοδοί τους αποτελούν την έξοδο του απαριθμητή.
2. Οι απαριθμητές χωρίζονται σε δύο κατηγορίες, τους σύγχρονους και τους ασύγχρονους.
3. Οι ασύγχρονοι απαριθμητές έχουν σαν χαρακτηριστικό ότι οι παλμοί ρολογιού εφαρμόζονται μόνο στο πρώτο flip-flop. Στη συνέχεια η έξοδος του κάθε flip-flop οδηγεί την είσοδο του ρολογιού του επόμενου flip-flop.
4. Οι σύγχρονοι απαριθμητές έχουν σαν χαρακτηριστικό ότι οι παλμοί του ρολογιού εφαρμόζονται ταυτόχρονα σε όλα τα flip-flops.
5. Οι προς τα πάνω δυαδικοί απαριθμητές καταμετρούν παλμούς και αυξάνουν το περιεχόμενο τους κατά μία μονάδα με κάθε παλμό ρολογιού.
6. Οι προς τα κάτω δυαδικοί απαριθμητές καταμετρούν παλμούς και ελαττώνουν το περιεχόμενο τους κατά μία μονάδα με κάθε παλμό ρολογιού.
7. Οι αμφίδρομοι απαριθμητές συνδυάζουν την προς τα πάνω και προς τα κάτω μέτρηση σε ένα κύκλωμα.
8. Ο αριθμός modulo ενός απαριθμητή είναι το πλήθος των διαφορετικών καταστάσεων ή ο μέγιστος αριθμός παλμών που καταμετρά ο απαριθμητής σε κάθε κύκλο μέτρησης.

8.8 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ

1. Περιγράψτε τον τρόπο με τον οποίο διαδίδονται οι παλμοί του ρολογιού σε έναν ασύγχρονο απαριθμητή
2. Να σχεδιάσετε έναν προς τα πάνω ασύγχρονο δυαδικό απαριθμητή των 3 bits χρησιμοποιώντας J-K flip-flops.
3. Ποιά flip-flops πρέπει να αλλάξουν κατάσταση σε έναν προς τα πάνω ασύγχρονο δυαδικό απαριθμητή των 4 bits για να πάει στην επόμενη κατάσταση, όταν η προηγούμενη είναι:
(α) 0000

(β) 0101

(γ) 1010

(δ) 1111

4. Να σχεδιάσετε έναν προς τα πάνω σύγχρονο δυαδικό απαριθμητή των 3 bits χρησιμοποιώντας J-K flip-flops.
5. Ποιες είναι οι βασικές διαφορές μεταξύ ενός ασύγχρονου και ενός σύγχρονου απαριθμητή;
6. Ένας προς τα κάτω δυαδικός απαριθμητής των 4 bits έχει δυνατότητα παράλληλης φόρτωσης. Αν στις εισόδους φόρτωσης θέσουμε 14131211 = 1001, να δώσετε τις διαφορετικές καταστάσεις των flip-flops του απαριθμητή έως ότου μηδενισθεί.
7. Πόσες διαφορετικές καταστάσεις παίρνει ένας απαριθμητής modulo 8 και ποιες είναι αυτές, αν ο απαριθμητής είναι προς τα πάνω και ξεκινά από το μηδέν;
8. Να σχεδιάσετε έναν προς τα πάνω ασύγχρονο δυαδικό απαριθμητή modulo 8 χρησιμοποιώντας τρία J-K flip-flops.
9. Ένας ασύγχρονος δυαδικός απαριθμητής των 4 bits χρησιμοποιείται σαν διαιρέτης συχνότητας. Ποια θα είναι η συχνότητα εξόδου του τελευταίου flip-flop αν συχνότητα που εφαρμόζεται στην είσοδο του ρολογιού του πρώτου flip-flop είναι 16 Hz;
10. Ο μέγιστος αριθμός παλμών που μπορούν να απαριθμηθούν με ένα δυαδικό απαριθμητή των 8 bits σε ένα κύκλο μέτρησης είναι:
α. 128
β. 256
γ. 1024
11. Αν σε έναν προς τα πάνω δυαδικό απαριθμητή χρησιμοποιήσουμε για εξόδους τις συμπληρωματικές εξόδους των flip-flops που τον αποτελούν, τότε ο απαριθμητής μετρά προς τα κάτω.
ΣΩΣΤΟ ΛΑΘΟΣ

1. Να γράφετε αρνητικούς αριθμούς σε δυαδική μορφή.
2. Να βρίσκετε το συμπλήρωμα ως προς 1 ενός δυαδικού αριθμού.
3. Να βρίσκετε το συμπλήρωμα ως προς 2 ενός δυαδικού αριθμού.
4. Να κάνετε πράξεις με προσημασμένους δυαδικούς αριθμούς.
5. Να σχεδιάζετε και να κατασκευάζετε κυκλώματα ημιαθροιστών και πλήρων αθροιστών.
6. Να σχεδιάζετε και να κατασκευάζετε απλά αριθμητικά κυκλώματα.
7. Να μελετάτε τα φυλλάδια των κατασκευαστών αθροιστών σε ολοκληρωμένη μορφή και να σχεδιάζετε μ' αυτά απλά κυκλώματα αθροιστών-αφαιρετών.
8. Να γνωρίζετε τον τρόπο πρόσθεσης δύο BCD αριθμών.

9

κεφάλαιο

ΑΡΙΘΜΗΤΙΚΑ ΚΥΚΛΩΜΑΤΑ

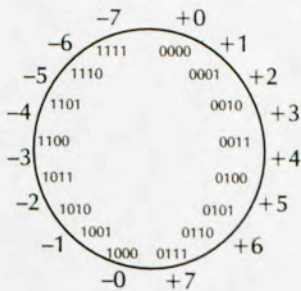
9.1 ΑΝΑΠΑΡΑΣΤΑΣΗ ΑΡΝΗΤΙΚΩΝ ΑΡΙΘΜΩΝ

Μέσα σε ένα ψηφιακό σύστημα, όλα τα δεδομένα, είτε είναι χαρακτήρες είτε αριθμοί, αναπαριστώνται με μια ακολουθία από δυαδικά ψηφία. Αυτή η αναπαράσταση είναι απλή όσο δεν έχουμε αρνητικούς αριθμούς. Οι σχεδιαστές ψηφιακών συστημάτων έχουν αναπτύξει τρεις διαφορετικές τεχνικές για την αναπαράσταση αρνητικών αριθμών: *πρόσημο και μέτρο*, *συμπλήρωμα ως προς ένα*, και *συμπλήρωμα ως προς δύο*. Στις επόμενες παραγράφους θα αναλύσουμε αυτές τις τεχνικές οι οποίες χρησιμοποιούνται για την κατασκευή ψηφιακών κυκλωμάτων για την πρόσθεση και αφαίρεση προσημασμένων δυαδικών αριθμών.

Στα μαθηματικά μπορούμε να έχουμε ένα άπειρο αριθμό θετικών και αρνητικών ακεραίων. Στα ψηφιακά συστήματα μπορούμε να αναπαραστήσουμε ένα συγκεκριμένο αριθμό ακεραίων ανάλογα με τον αριθμό των bit που χρησιμοποιούμε για να τους αναπαραστήσουμε. Στα περισσότερα σύγχρονα υπολογιστικά συστήματα χρησιμοποιούνται 32 bits για την αναπαράσταση των ακεραίων αριθμών. Στις επόμενες παραγράφους θα υποθέσουμε ότι η αναπαράσταση των ακεραίων γίνεται με 4 bits. Έτσι θα μπορούμε να αναπαραστήσουμε 16 ($=2^4$) ακεραίους από τους οποίους οι μισοί θα είναι θετικοί και οι άλλοι μισοί θετικοί. Κάθε μία από τις τρεις τεχνικές που αναφέραμε αναπαριστά τους αρνητικούς αριθμούς με διαφορετικό τρόπο.

9.1.1 Αναπαράσταση Προσημασμένου Μέτρου

Στην **Αναπαράσταση Προσημασμένου Μέτρου**, το περισσότερο σημαντικό bit (MSB) χρησιμοποιείται για να αναπαραστήσει το πρόσημο του αριθμού, ενώ τα υπόλοιπα bits αναπαριστούν το μέτρο (απόλυτη τιμή) σαν ένα δυαδικό μέγεθος χωρίς πρόσημο. Αν το bit του πρόσημου είναι 0, ο αριθμός είναι θετικός. Αν το bit του πρόσημου είναι 1, ο αριθμός είναι αρνητικός. Για να μετατρέψουμε ένα θετικό αριθμό σε αρνητικό, απλά αντικαθιστούμε το bit του πρόσημου του ("0") με το συμπλήρωμά του ("1").



Σχήμα 9.1.1 Αναπαράσταση προσημασμένου μέτρου

Το σχήμα 9.1.1 δείχνει ένα "τροχό αριθμών" για την αναπαράσταση των αριθμών 4 bits. Το σχήμα δείχνει τους δυαδικούς αριθμούς σε αναπαράσταση προσημασμένου μέτρου και τους ισοδύναμους ακέραιους δεκαδικούς. Ο μεγαλύτερος θετικός αριθμός που μπορεί να αναπαρασταθεί με τρία bits για το μέτρο είναι ο $+7 = 2^3 - 1$ ενώ ο μικρότερος αρνητικός αριθμός είναι ο -7 .

Το μηδέν έχει δύο διαφορετικές αναπαράστασεις, αν και το +0 και το -0 δεν έχουν κάποιο νόημα στα μαθηματικά.

Για παράδειγμα, η αναπαράσταση προσημασμένου μέτρου του δεκαδικού αριθμού + 6 είναι:

Πρόσημο	MSB			LSB
	0	1	1	0

ενώ η αναπαράσταση προσημασμένου μέτρου του δεκαδικού αριθμού -6 είναι:

Πρόσημο	MSB			LSB
	1	1	1	0

Η πρόσθεση δύο θετικών ή αρνητικών αριθμών είναι απλή. Απλά προσθέτουμε τους αριθμούς και δίνουμε το ίδιο πρόσημο στο αποτέλεσμα. Όταν τα πρόσημα των δύο αριθμών δεν είναι ίδια, τότε η πρόσθεση γίνεται πολύπλοκη (πρέπει να αφαιρέσουμε το μικρότερο μέτρο από το μεγαλύτερο και το πρόσημο είναι αυτό του αριθμού με το μεγαλύτερο μέτρο). Αυτή η πολύπλοκότητα έκανε τους σχεδιαστές ψηφιακών συστημάτων να προτείνουν άλλες τεχνικές αναπαράστασης των αρνητικών αριθμών, ώστε να κατασκευάζονται απλούστερα τα κυκλώματα πρόσθεσης και αφαίρεσης.

9.1.2 Αναπαράσταση Συμπληρώματος ως προς ένα

Στην αναπαράσταση **συμπληρώματος ως προς ένα (ones complement)** οι θετικοί αριθμοί (και το μηδέν) αναπαρίστανται όπως στην αναπαράσταση προσημασμένου μέτρου. Κάθε αρνητικός αριθμός είναι το συμπλήρωμα ως προς ένα του αντίστοιχου θετικού.

Θα παρουσιάσουμε μία απλή μέθοδο για την αναπαράσταση συμπληρώματος ως προς ένα ενός ακεραίου. **Το συμπλήρωμα ως προς ένα προκύπτει με την αντικατάσταση κάθε bit του αριθμού με το συμπλήρωμά του.** Έτσι για παράδειγμα $-7 = 1000$ αφού $+7 = 0111$.

MSB			LSB	
0	1	1	1	+7
↓	↓	↓	↓	↓
1	0	0	0	-7

Ο “τροχός των αριθμών” για την Αναπαράσταση του Συμπληρώματος ως προς ένα των αριθμών των 4-bits φαίνεται στο Σχήμα 9.1.2. Όλοι οι αρνητικοί αριθμοί έχουν 1 στο πρόσημό τους, ενώ οι θετικοί έχουν 0. Το μηδέν έχει δύο αναπαράστασεις, όπως στην αναπαράσταση προσημασμένου μέτρου.

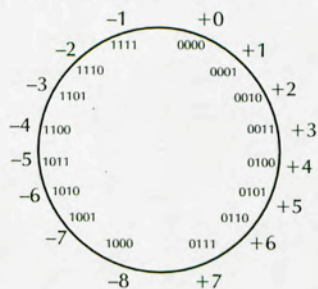


Σχήμα 9.1.2 Αναπαράσταση συμπληρώματος ως προς 1

Το πλεονέκτημα των αριθμών συμπληρώματος ως προς ένα είναι η ευκολία με την οποία μπορούμε να υπολογίσουμε αρνητικούς αριθμούς. Η αφαίρεση γίνεται προσθέτοντας στο μειωτέο τον αντίστοιχο αρνητικό του αφαιρετέου: $A-B=A+(-B)$. Όμως η αφαίρεση περιπλέκεται λόγω της ύπαρξης δύο αναπαράστασεων του μηδενός και γι’ αυτό το λόγο καταλήγουμε να χρησιμοποιούμε την αναπαράσταση συμπληρώματος ως προς δύο, η οποία απλοποιεί την αφαίρεση όπως θα περιγράψουμε στην επόμενη παράγραφο.

9.1.3 Αναπαράσταση Συμπληρώματος ως προς δύο

Στην αναπαράσταση του **συμπληρώματος ως προς δύο (twos complement)** οι θετικοί αριθμοί (και το μηδέν) αναπαρίστανται όπως στην αναπαράσταση προσημασμένου μέτρου. Κάθε αρνητικός αριθμός είναι το συμπλήρωμα ως προς δύο του αντίστοιχου θετικού. Στην αναπαράσταση συμπληρώματος ως προς δύο έχουμε μόνο μία αναπαράσταση για το μηδέν και όχι δύο όπως έχουμε στην αναπαράσταση συμπληρώματος ως προς ένα. Στο Σχήμα 9.1.3 φαίνεται η αναπαράσταση συμπληρώματος ως προς δύο των αριθμών των 4 bits.



Σχήμα 9.1.3 Αναπαράσταση συμπληρώματος ως προς 2

Θα παρουσιάσουμε μία απλή μέθοδο για την αναπαράσταση συμπληρώματος ως προς δύο ενός ακεραίου. **Το συμπλήρωμα ως προς δύο προκύπτει προσθέτοντας το 1 στο συμπλήρωμα ως προς ένα του αριθμού.** Για παράδειγμα, $+7=0111$, ενώ το συμπλήρωμά του ως προς 1 είναι 1000 και προσθέτοντας 1 παίρνουμε τον 1001 που είναι η αναπαράσταση συμπληρώματος ως προς δύο του -7 .

$$\begin{array}{r}
 0111 \\
 + 1000 \\
 \hline
 + \quad 1 \\
 \hline
 1001
 \end{array}
 \qquad
 \begin{array}{r}
 +7 \\
 \text{Συμπλήρωμα ως προς 1} \\
 \hline
 (-7) \text{ Συμπλήρωμα ως προς 2}
 \end{array}$$

Ένας μνημονικός κανόνας για την εύρεση του συμπληρώματος ως προς δύο ενός αριθμού είναι ο ακόλουθος: Ξεκινώντας από το LSB και μέχρι και τον πρώτο 1 τα bits διατηρούνται ως έχουν. Τα υπόλοιπα bits αντικαθίστανται από το συμπλήρωμά τους.

Η αφαίρεση γίνεται προσθέτοντας στο μειωτέο τον αντίστοιχο αρνητικό του αφαιρετέου. Όμως η αφαίρεση είναι εύκολο να πραγματοποιηθεί λόγω της ύπαρξης μίας αναπαραστάσεων του μηδενός. Το συμπλήρωμα ως προς δύο χρησιμοποιείται σήμερα σε όλα τα ψηφιακά συστήματα για την πραγματοποίηση της πρόσθεσης και της αφαίρεσης.

9.1.4 Πρόσθεση και Αφαίρεση Αριθμών

Θα χρησιμοποιήσουμε σ' όλα τα παραδείγματα αριθμούς 4 bits για λόγους απλούστευσης. Θα μιλήσουμε μόνο για την πράξη της πρόσθεσης, αφού η αφαίρεση γίνεται με την πρόσθεση στο μειωτέο του αντίθετου αριθμού του αφαιρετέου:

$$\begin{aligned}
 (\pm A) - (+B) &= (\pm A) + (-B) \\
 (\pm A) - (-B) &= (\pm A) + (+B)
 \end{aligned}$$

Πρόσθεση Αριθμών με την αναπαράσταση προσημασμένου μέτρου

Για να προσθέσουμε δύο αριθμούς σε αναπαράσταση προσημασμένου μέτρου εφαρμόζουμε τους κανόνες πρόσθεσης δυαδικών αριθμών, όπως φαίνεται στα παρακάτω παραδείγματα:

$$\begin{array}{r}
 + 5 \qquad 0101 \\
 + + 2 \qquad + 0010 \\
 \hline
 + 7 \qquad 0111
 \end{array}$$

(α)

$$\begin{array}{r}
 - 5 \qquad 1101 \\
 + - 2 \qquad + 1010 \\
 \hline
 - 7 \qquad 1111
 \end{array}$$

(β)

$$\begin{array}{r}
 + 5 \quad \quad 0101 \\
 + \quad - 2 \quad + \quad 1010 \\
 \hline
 + 3 \quad \quad 0011
 \end{array}$$

(γ)

$$\begin{array}{r}
 - 5 \quad \quad 1101 \\
 + \quad + 2 \quad + \quad 0010 \\
 \hline
 - 3 \quad \quad 1011
 \end{array}$$

(δ)

Στα παραδείγματα (α) και (β) οι δύο αριθμοί έχουν τα ίδια πρόσημα. Το αποτέλεσμα είναι απλά το άθροισμα των μέτρων τους και το πρόσημο είναι το ίδιο με το πρόσημο των προσθετέων. Στο παράδειγμα (γ) η αφαίρεση 5-2 μετατράπηκε σε πρόσθεση 5+(-2). Το αποτέλεσμα προκύπτει από την αφαίρεση του μικρότερου μέτρου (του 2) από το μεγαλύτερο (του 5) ενώ το πρόσημο θα είναι αυτό του αριθμού με το μεγαλύτερο μέτρο (του 5). Όμοια στο (δ) παράδειγμα αφαιρούμε το μικρότερο μέτρο από το μεγαλύτερο, ενώ το πρόσημο είναι αυτό του αριθμού με το μεγαλύτερο μέτρο.

Είδαμε λοιπόν ότι οι πράξεις αριθμών προσημασμένου μέτρου παρουσιάζουν μια πολυπλοκότητα.

Πρόσθεση Αριθμών με την αναπαράσταση συμπληρώματος ως προς ένα

Θα επαναλάβουμε τα ίδια παραδείγματα της προηγούμενης παραγράφου χρησιμοποιώντας το συμπλήρωμα ως προς ένα.

$$\begin{array}{r}
 + 5 \quad \quad 0101 \\
 + \quad + 2 \quad + \quad 0010 \\
 \hline
 + 7 \quad \quad 0111
 \end{array}$$

(ε)

$$\begin{array}{r}
 - 5 \quad \quad 1010 \\
 + \quad - 2 \quad + \quad 1101 \\
 \hline
 - 7 \quad \quad 1011 \\
 \hline
 \quad \quad + 1 \\
 \hline
 - 7 \quad \quad 1000
 \end{array}$$

(ζ)

$$\begin{array}{r}
 + 5 \quad \quad 0101 \\
 + \quad - 2 \quad + \quad 1101 \\
 \hline
 \quad \quad 10010 \\
 \hline
 \quad \quad + 1 \\
 \hline
 + 3 \quad \quad 0011
 \end{array}$$

(η)

$$\begin{array}{r}
 - 5 \quad \quad 1010 \\
 + \quad + 2 \quad + \quad 0010 \\
 \hline
 - 3 \quad \quad 1100
 \end{array}$$

(θ)

Στο παράδειγμα (ε) προσθέτουμε δύο θετικούς αριθμούς και το αποτέλεσμα είναι το ίδιο με το παράδειγμα (α) αφού οι δύο αναπαραστάσεις είναι ίδιες για τους θετικούς αριθμούς. Το παράδειγμα (ζ) δίνει αρχικά ένα διαφορετικό αποτέλεσμα από το (β) και προκύπτει ένα κρατούμενο (carry) από την πρόσθεση. **Στην αναπαράσταση συμπληρώματος ως προς ένα, όποτε έχουμε κρατούμενο από την πρόσθεση δύο αριθμών το προσθέτουμε στο λιγότερο σημαντικό bit (LSB) του**

άθροισματος. Το νέο άθροισμα που προκύπτει είναι το σωστό άθροισμα σε αναπαράσταση συμπληρώματος ως προς ένα. Κρατούμενο έχουμε και στο παράδειγμα (η) οπότε με την πρόσθεσή του έχουμε το σωστό άθροισμα. Στο τελευταίο παράδειγμα έχουμε σαν αποτέλεσμα 1100 το οποίο είναι το -3 στην αναπαράσταση συμπληρώματος ως προς ένα. Ένας απλός τρόπος για να βρίσκουμε το μέτρο ή απόλυτη τιμή ενός αρνητικού αριθμού σε αναπαράσταση συμπληρώματος ως προς ένα, είναι να παίρνουμε το συμπλήρωμα όλων των bits του.

Πρόσθεση Αριθμών με την αναπαράσταση συμπληρώματος ως προς δύο

Οι υπολογισμοί με το συμπλήρωμα ως προς δύο είναι παρόμοιοι με το συμπλήρωμα ως προς ένα με μόνη διαφορά ότι **δεν προσθέτουμε το κρατούμενο** το οποίο μπορεί να προκύψει από την πρόσθεση. Ας δούμε ξανά τα ίδια τέσσερα παραδείγματα χρησιμοποιώντας το συμπλήρωμα ως προς δύο:

$$\begin{array}{r} + 5 \quad 0101 \\ + + 2 \quad + 0010 \\ \hline + 7 \quad 0111 \end{array}$$

(ι)

$$\begin{array}{r} - 5 \quad 1011 \\ + - 2 \quad + 1110 \\ \hline - 7 \quad 1001 \end{array}$$

(κ)

$$\begin{array}{r} + 5 \quad 0101 \\ + - 2 \quad + 1110 \\ \hline + 3 \quad 0011 \end{array}$$

(λ)

$$\begin{array}{r} - 5 \quad 1011 \\ + + 2 \quad + 0010 \\ \hline - 3 \quad 1101 \end{array}$$

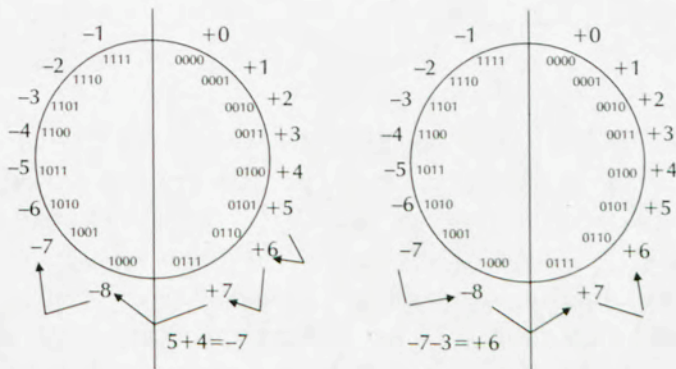
(μ)

Η αφαίρεση γίνεται με την πρόσθεση του αρνητικού αριθμού του αφαιρετέου σε αναπαράσταση συμπληρώματος ως προς δύο. Στο παράδειγμα (ι) προσθέτουμε δύο θετικούς αριθμούς και το αποτέλεσμα είναι το ίδιο με το παράδειγμα (ε) αφού οι δύο αναπαραστάσεις είναι ίδιες για τους θετικούς αριθμούς. Με το παράδειγμα (κ) φαίνεται πόσο απλό είναι το άθροισμα δύο αρνητικών αριθμών, ενώ **αν προκύψει κρατούμενο (carry) από την πρόσθεση, το αγνοούμε**. Το νέο άθροισμα που προκύπτει είναι το σωστό άθροισμα σε αναπαράσταση συμπληρώματος ως προς δύο και δεν χρειάζεται καμία διόρθωση γιατί έχουμε μία μόνο αναπαράσταση του μηδενός. Κρατούμενο έχουμε και στο παράδειγμα (λ) οπότε αγνοώντας το έχουμε το σωστό άθροισμα. Στο τελευταίο παράδειγμα έχουμε σαν αποτέλεσμα 1101 το οποίο είναι το -3 στην αναπαράσταση συμπληρώματος ως προς δύο. Ένας απλός τρόπος για να βρίσκουμε το μέτρο ή απόλυτη τιμή ενός αρνητικού αριθμού σε αναπαράσταση συμπληρώματος ως προς δύο, είναι να παίρνουμε το συμπλήρωμα του ως προς δύο.

Μπορούμε τώρα να συγκρίνουμε τις αναπαράστασεις ως προς ένα και δύο μεταξύ τους. Για το συμπλήρωμα ως προς δύο το να βρούμε τον αρνητικό ενός αριθμού παρουσιάζει κάποια πολυπλοκότητα, ενώ η πράξη της πρόσθεσης γίνεται απλά. Στο συμπλήρωμα ως προς ένα είναι απλή η διαδικασία της εύρεσης του αρνητικού ενός αριθμού, αλλά η πρόσθεση είναι πιο περίπλοκη. Επειδή έχουμε μία μόνο αναπαράσταση για το μηδέν η αναπαράσταση του συμπληρώματος ως προς δύο χρησιμοποιείται σχεδόν στα περισσότερα ψηφιακά συστήματα.

Υπερχείλιση

Η υπερχείλιση (overflow) συμβαίνει όποτε το άθροισμα δύο θετικών αριθμών δίνει ένα αρνητικό αποτέλεσμα ή όταν το άθροισμα δύο αρνητικών αριθμών δίνει ένα θετικό αποτέλεσμα. Μπορούμε να χρησιμοποιήσουμε τον “τροχό των αριθμών” του Σχήματος 9.1.4 για να δείξουμε παραστατικά την υπερχείλιση. Αν σε έναν αριθμό προσθέσουμε ένα θετικό αριθμό, μπορούμε να θεωρήσουμε ότι κινούμαστε στον τροχό κατά την φορά των δεικτών του ρολογιού κατά τόσες θέσεις όσες είναι το μέτρο του. Αν προσθέσουμε έναν αρνητικό αριθμό, κινούμαστε αντίθετα από τη φορά των δεικτών του ρολογιού. Στο σχήμα 9.1.4 χρησιμοποιούμε την αναπαράσταση του συμπληρώματος ως προς δύο, και μπορούμε να χωρίσουμε τον “τροχό” σε δύο ίσα τμήματα, με το ένα να αναπαριστά τους θετικούς αριθμούς (και το μηδέν), ενώ το άλλο να αναπαριστά τους αρνητικούς αριθμούς. Όταν με την πρόσθεση ή την αφαίρεση διασχίζεται η διαχωριστική γραμμή μεταξύ των δύο τμημάτων, τότε έχουμε υπερχείλιση.



Σχήμα 9.1.4 Σχηματική αναπαράσταση των συνθηκών υπερχείλισης

Αυτό φαίνεται με τα δύο παραδείγματα $(+5) + (+4)$ και $(-7) + (-3)$. Στο πρώτο παράδειγμα ξεκινάμε από την θέση που αναπαριστά το +5 και κινούμαστε κατά 4 θέσεις κατά την φορά των δεικτών του ρολογιού. Το αποτέλεσμα είναι ο αριθμός -7, άρα έχουμε υπερχείλιση. Στο δεύτερο παράδειγμα ξεκινάμε από την θέση που

αναπαριστά το -7 και κινούμαστε κατά 3 θέσεις κατά την αντίθετη φορά των δεικτών του ρολογιού. Το αποτέλεσμα είναι ο αριθμός +6, άρα έχουμε υπερχειλίση.

Το πρόβλημα της υπερχειλίσης στα ψηφιακά συστήματα αντιμετωπίζεται κατ' αρχήν χρησιμοποιώντας για την αποθήκευση του αθροίσματος καταχωρητή μήκους κατά ένα bit τουλάχιστον μεγαλύτερου από το μήκος των προσθετέων. Επιπλέον, χρησιμοποιώντας ειδικά κυκλώματα ανίχνευσης της ύπαρξης υπερχειλίσης, η πληροφορία αυτή αποθηκεύεται και χρησιμοποιείται για την σωστή ερμηνεία των αποτελεσμάτων.

9.2 ΚΥΚΛΩΜΑΤΑ ΔΥΑΔΙΚΩΝ ΑΘΡΟΙΣΤΩΝ

Σ' αυτή την παράγραφο, θα παρουσιάσουμε τα βασικά κυκλώματα πρόσθεσης δύο bits και πώς τα συνδέουμε για να κατασκευάζουμε κυκλώματα πρόσθεσης αριθμών με πολλά bits.

9.2.1 Ημιαθροιστής

Ο ημιαθροιστής (Half Adder) είναι το πιο βασικό από τα κυκλώματα αρίθμησης. Είναι ένα συνδυαστικό κύκλωμα που εκτελεί την πρόσθεση δύο δυαδικών ψηφίων (bits) και έχει δύο εισόδους x (πρώτος προσθετέος) και y (δεύτερος προσθετέος) και δύο εξόδους S (άθροισμα-sum) και C (κρατούμενο-carry).

Ο πίνακας αληθείας του ημιαθροιστή είναι:

x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Οι εξοδοί μπορούν να εκφραστούν ως λογικές συναρτήσεις των μεταβλητών εισόδου:

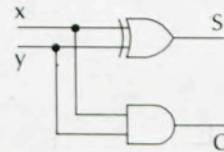
$$S = \bar{x} \cdot y + x \cdot \bar{y} = x \oplus y$$

$$C = x \cdot y$$

Ο ημιαθροιστής μπορεί να υλοποιηθεί με τις ακόλουθες πύλες:

- ✓ μία πύλη XOR
- ✓ μία πύλη AND

όπως φαίνεται στο Σχήμα 9.2.1.



Σχήμα 9.2.1 Κύκλωμα Ημιαθροιστή

9.2.2 Πλήρης Αθροιστής

Ο πλήρης αθροιστής (Full Adder) είναι ένα συνδυαστικό κύκλωμα που εκτελεί την πρόσθεση δύο δυαδικών ψηφίων (bits) λαμβάνοντας υπόψη τυχόν κρατούμενο εισόδου (Cin). Έχει τρεις εισόδους x (πρώτος προσθετέος), y (δεύτερος προσθετέος) και z (κρατούμενο εισόδου) και δύο εξόδους S (άθροισμα-sum) και C (κρατούμενο εξόδου).

Ο πίνακας αληθείας του πλήρη αθροιστή είναι ο ακόλουθος:

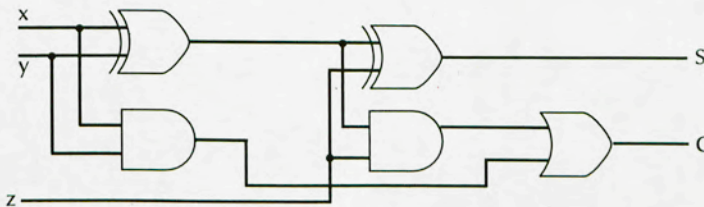
x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Οι εξοδοι μπορούν να εκφραστούν ως συναρτήσεις Boole των μεταβλητών εισόδου:

$$\begin{aligned}
 S &= \bar{x} \cdot \bar{y} \cdot z + \bar{x} \cdot y \cdot \bar{z} + x \cdot \bar{y} \cdot \bar{z} + x \cdot y \cdot z = \\
 &= (\bar{x} \cdot y \cdot \bar{z} + x \cdot \bar{y} \cdot \bar{z}) + (\bar{x} \cdot \bar{y} \cdot z + x \cdot y \cdot z) = \\
 &= (\bar{x} \cdot y + x \cdot \bar{y}) \cdot \bar{z} + (\bar{x} \cdot \bar{y} + x \cdot y) \cdot z = \\
 &= (x \oplus y) \cdot \bar{z} + \overline{(x \oplus y)} \cdot z = (x \oplus y) \oplus z
 \end{aligned}$$

$$\begin{aligned}
 C &= \bar{x} \cdot y \cdot z + x \cdot \bar{y} \cdot z + x \cdot y \cdot \bar{z} + x \cdot y \cdot z = (\bar{x} \cdot y \cdot z + x \cdot \bar{y} \cdot z) + (x \cdot y \cdot \bar{z} + x \cdot y \cdot z) = \\
 &= (\bar{x} \cdot y + x \cdot \bar{y}) \cdot z + x \cdot y \cdot (\bar{z} + z) = (x \oplus y) \cdot z + x \cdot y \cdot 1 = \\
 &= (x \oplus y) \cdot z + x \cdot y
 \end{aligned}$$

Ο πλήρης αθροιστής μπορεί να υλοποιηθεί με:



✓ δύο ημιαθροιστές

✓ μία πύλη OR

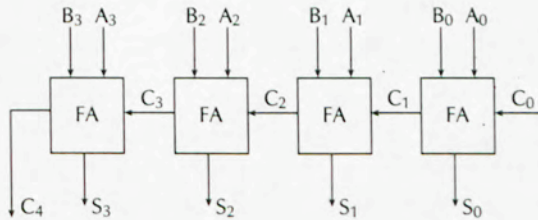
όπως φαίνεται στο Σχήμα 9.2.2.

Σχήμα 9.2.2 Κύκλωμα Πλήρους Αθροιστή

9.2.3 Παράλληλος Δυαδικός Αθροιστής

Στην παράλληλη πρόσθεση δύο **μη προσημασμένων** n-bits δυαδικών αριθμών A και B, τα bits ίδιας τάξης (βάρους) των δύο αριθμών προστίθενται παράλληλα (ταυτόχρονα) χρησιμοποιώντας n πλήρεις αθροιστές.

Στο Σχήμα 9.2.3 παρουσιάζεται ένας Παράλληλος Αθροιστής τεσσάρων bits που αποτελείται από 4 Πλήρεις Αθροιστές (FA). Οι αριθμοί $A_3A_2A_1A_0$ και $B_3B_2B_1B_0$ προστίθενται δίνοντας άθροισμα $S_3S_2S_1S_0$ και κρατούμενο εξόδου C_4 . Το αρχικό κρατούμενο εισόδου είναι $C_0=0$. Το κρατούμενο εξόδου του κάθε πλήρους αθροιστή (C_1, C_2, C_3) αποτελεί το κρατούμενο εισόδου του επομένου του.

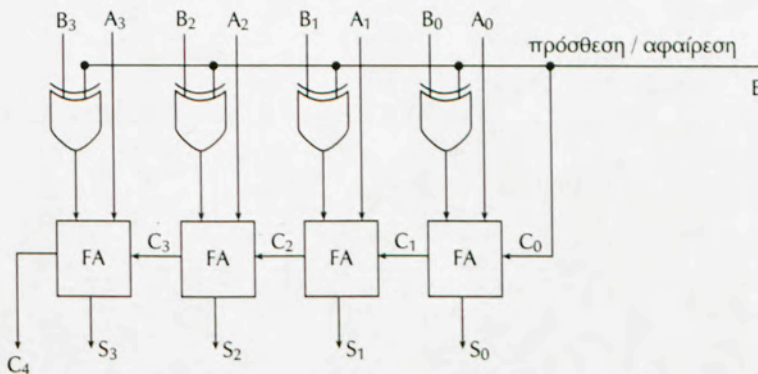


Σχήμα 9.2.3 Κύκλωμα παράλληλου δυαδικού αθροιστή τεσσάρων bits

9.2.4 Παράλληλος Δυαδικός Αθροιστής-Αφαιρέτης

Στο Σχήμα 9.2.4 παρουσιάζεται ένας Παράλληλος Αθροιστής-Αφαιρέτης τεσσάρων bits. Οι **μη προσημασμένοι** 4-bits δυαδικοί αριθμοί $A=A_3A_2A_1A_0$ και $B=B_3B_2B_1B_0$ προστίθενται ($A+B$) ή αφαιρούνται ($A-B$) δίνοντας αποτέλεσμα $C_4S_3S_2S_1S_0$.

Στο κύκλωμα υπάρχει μία είσοδος ελέγχου E Πρόσθεσης/Αφαίρεσης. Όταν αυτή η είσοδος είναι "0", τότε το κύκλωμα λειτουργεί ως αθροιστής. Όταν είναι "1" τότε λειτουργεί ως αφαιρέτης.



Σχήμα 9.2.4 Κύκλωμα παράλληλου δυαδικού αθροιστή/αφαιρέτη τεσσάρων bits

Η είσοδος Πρόσθεσης/Αφαίρεσης τροφοδοτεί την είσοδο κρατουμένου του πλήρους αθροιστή της χαμηλότερης βαθμίδας (LSB) και την μία από τις εισόδους των πυλών XOR. Η δεύτερη είσοδος των πυλών XOR οδηγείται από τα bits του αριθμού B.

Όταν $E=0$, τότε οι πλήρεις αθροιστές δέχονται τα bits του αριθμού B ως έχουν, το κρατούμενο εισόδου είναι $C0=0$ και εκτελείται η πράξη $A+B$. Το $C4$ μας δίνει το κρατούμενο της πρόσθεσης.

Όταν $E=1$, τότε οι πλήρεις αθροιστές δέχονται τα bits του αριθμού B σε συμπληρωματική μορφή, το κρατούμενο εισόδου είναι $C0=1$ (άρα στον A προστίθεται ο αντίθετος του B σε συμπλήρωμα ως προς δύο) και εκτελείται η πράξη $A-B$. Αν $A >= B$ ($C4=1$) τότε, το αποτέλεσμα είναι $S3S2S1S0$. Αν $A < B$ ($C4=0$), τότε το αποτέλεσμα είναι αρνητικό με μέτρο το συμπλήρωμα ως προς 2 του $S3S2S1S0$.

9.3 Αθροιστής BCD

Ο κώδικας BCD (Binary Coded Decimal) αναπαριστά τα 10 δεκαδικά ψηφία με δυαδικούς αριθμούς τεσσάρων bits. Τα δεκαδικά ψηφία από 0 έως 9 αναπαριστανται με τις ακολουθίες των δυαδικών ψηφίων από 0000 έως 1001. Οι υπόλοιποι συνδυασμοί από 1010 έως 1111 δε χρησιμοποιούνται.

Όπως και στο δεκαδικό σύστημα η πρόσθεση σε BCD γίνεται με ένα δεκαδικό ψηφίο τη φορά ξεκινώντας από τα λιγότερα σημαντικά ψηφία των αριθμών. Το σημείο το οποίο χρειάζεται προσοχή είναι, όταν το άθροισμα δύο BCD ψηφίων ξεπερνά τον αριθμό 1001 (9_{10}). Καλύτερα να δούμε αυτό το σημείο με τα παραδείγματα που ακολουθούν.

	BCD
5	0101
+ 3	+ 0011
8	1000

Στο πρώτο παράδειγμα βλέπουμε πως δεν υπάρχει πρόβλημα

	BCD	
7	0111	
+ 5	+ 0101	
12	1100	Λάθος BCD!
	+ 0110	Προσθέτουμε 6
	0001 0010	Σωστό BCD 12

Στο δεύτερο παράδειγμα βλέπουμε πως το άθροισμα αρχικά είναι $1100_2 = 12_{10}$, το οποίο είναι σωστό ως αποτέλεσμα αθροίσματος στο δυαδικό σύστημα, αλλά

όχι στον BCD κώδικα. Υπάρχει ένας απλός τρόπος **διόρθωσης με την πρόσθεση του αριθμού 6 (0110₂)** στο ψηφίο του αθροίσματος που είναι μεγαλύτερο από 9.

Ας δούμε τώρα και ένα παράδειγμα διόρθωσης με την άθροιση δύο διψήφιων BCD αριθμών:

		BCD		
35		0011	0101	
+ 26	+	0010	0110	
61		0101	1011	Λάθος BCD!
	+	0000	0110	Προσθέτουμε 6
		0110	0001	Σωστό BCD 61

Πίνακας 9.3.1 Άθροιση BCD

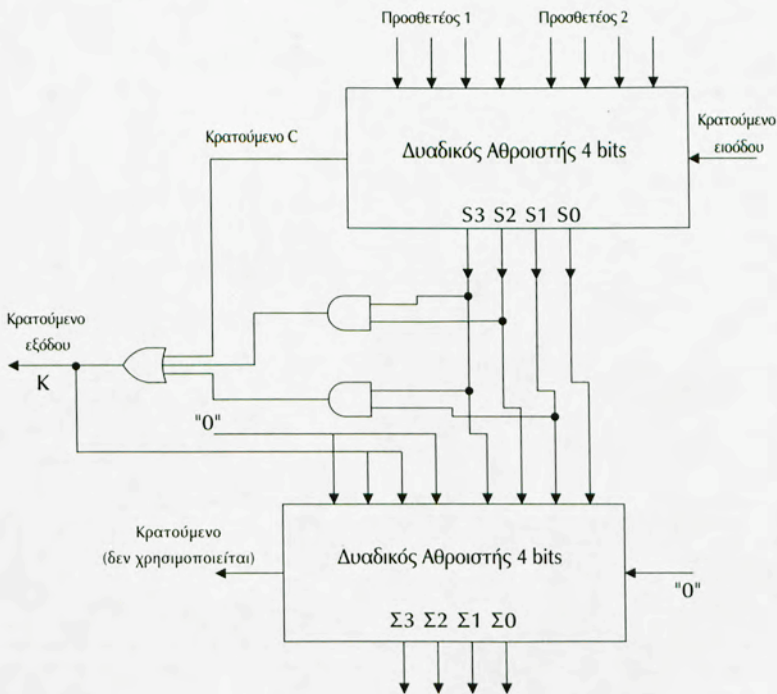
Δυαδικό Άθροισμα					Άθροισμα BCD					Δεκαδικός
C	S3	S2	S1	S0	K	Σ3	Σ2	Σ1	Σ0	
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	2
0	0	0	1	1	0	0	0	1	1	3
0	0	1	0	0	0	0	1	0	0	4
0	0	1	0	1	0	0	1	0	1	5
0	0	1	1	0	0	0	1	1	0	6
0	0	1	1	1	0	0	1	1	1	7
0	1	0	0	0	0	1	0	0	0	8
0	1	0	0	1	0	1	0	0	1	9
0	1	0	1	0	1	0	0	0	0	10
0	1	0	1	1	1	0	0	0	1	11
0	1	1	0	0	1	0	0	1	0	12
0	1	1	0	1	1	0	0	1	1	13
0	1	1	1	0	1	0	1	0	0	14
0	1	1	1	1	1	0	1	0	1	15
1	0	0	0	0	1	0	1	1	0	16
1	0	0	0	1	1	0	1	1	1	17
1	0	0	1	0	1	1	0	0	0	18
1	0	0	1	1	1	1	0	0	1	19

Βλέπουμε πως με την πρόσθεση του αριθμού 6 διορθώνουμε το αποτέλεσμα. Αυτή η παρατήρηση είναι πολύ χρήσιμη για την κατασκευή ενός BCD αθροιστή χρησιμοποιώντας δυαδικούς αθροιστές των 4 bits. Η διόρθωση με την πρόσθεση

του αριθμού 6 προκύπτει λόγω του ότι δεν χρησιμοποιούμε τους 6 δυαδικούς αριθμούς των τεσσάρων bits από 1010 έως 1111. Αυτό φαίνεται καλύτερα και στον πίνακα 9.3.1 για το άθροισμα δύο BCD αριθμών, όπου αριστερά είναι το αποτέλεσμα στο δυαδικό σύστημα μαζί με το κρατούμενο, ενώ δεξιά είναι ο σωστός BCD αριθμός (με το κρατούμενο που μπορεί να προκύψει) ο οποίος προκύπτει αρκεί να προσθέσουμε τον αριθμό 6 σε κάθε δυαδικό άθροισμα μεγαλύτερο του 1001.

Στο Σχήμα 9.3.1 φαίνεται ο BCD αθροιστής με τη χρήση δύο παράλληλων δυαδικών αθροιστών των 4 bits. Ο BCD αθροιστής έχει εισόδους το κρατούμενο εισόδου που είναι το κρατούμενο εξόδου της προηγούμενης βαθμίδας και τους BCD προσθετέους και εξόδους το κρατούμενο K και το άθροισμα $\Sigma 3 \Sigma 2 \Sigma 1 \Sigma 0$.

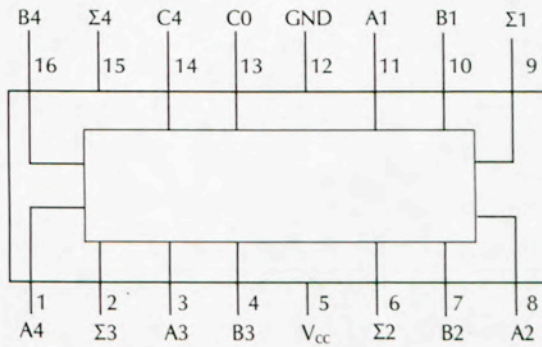
Όταν $K=1$ το αποτέλεσμα $S3S2S1S0$ θα πρέπει να διορθωθεί ώστε να προκύψει το σωστό άθροισμα BCD με την πρόσθεση του αριθμού 6. Το κρατούμενο K είναι "1" όταν το άθροισμά $S3S2S1S0$ είναι μεγαλύτερο από 9 (1001), οπότε είτε $C=1$, είτε $S3=S2=1$, είτε $S3=S1=1$. Με τις πύλες AND παίρνουμε τους όρους $S3 \cdot S2$ και $S3 \cdot S1$. Με την πύλη OR τριών εισόδων προκύπτει η λογική συνάρτηση του κρατουμένου $K=C+S3 \cdot S2+S3 \cdot S1$ την έξοδο της οποίας χρησιμοποιούμε για να προσθέσουμε τον αριθμό 6 (0110) στον δεύτερο αθροιστή. Αν $K=0$, τότε ο δεύτερος αθροιστής προσθέτει στον $S3S2S1S0$ τον αριθμό 0 (0000) και επομένως δεν αλλάζει το άθροισμα.



Σχήμα 9.3.1 BCD Αθροιστής

9.4 ΔΥΑΔΙΚΟΣ ΑΘΡΟΙΣΤΗΣ ΜΕ ΟΛΟΚΛΗΡΩΜΕΝΟ ΚΥΚΛΩΜΑ

Οι αθροιστές είναι διαθέσιμοι σε ολοκληρωμένη μορφή. Το Ο.Κ. 7483 είναι ένας παράλληλος δυαδικός αθροιστής 4-bits και παρουσιάζεται στο Σχήμα 9.4.1. Το Ο.Κ. έχει εισόδους τους προσθετέους $A=A_4A_3A_2A_1$ και $B=B_4B_3B_2B_1$ των 4 bits και το κρατούμενο εισόδου C_0 και εξόδους το κρατούμενο εξόδου C_4 και τα τέσσερα bits αθροίσματος $\Sigma_4\Sigma_3\Sigma_2\Sigma_1$. Αν $C_0=0$, τότε εκτελείται η πρόσθεση $A+B$. Αν $C_0=1$, τότε εκτελείται η πρόσθεση $A+B+1$.



Σχήμα 9.4.1 Το ολοκληρωμένο 7483

9.5 ΠΕΡΙΛΗΨΗ

1. Σε όλα τα ψηφιακά συστήματα οι θετικοί ακέραιοι αναπαρίστανται με τον ίδιο τρόπο. Η διαφορά υπάρχει στην αναπαράσταση των αρνητικών αριθμών. Τρεις είναι οι βασικές αναπαραστάσεις των προσημασμένων δυαδικών αριθμών: α) προσημασμένο μέτρο, β) συμπλήρωμα ως προς ένα και γ) το συμπλήρωμα ως προς δύο.
2. Στην Αναπαράσταση Προσημασμένου Μέτρου, το περισσότερο σημαντικό bit χρησιμοποιείται για να αναπαραστήσει το πρόσημο του αριθμού, ενώ τα υπόλοιπα bits αναπαριστούν την απόλυτη τιμή του (το μέτρο του). Αν το bit του πρόσημου είναι 0, τότε ο αριθμός είναι θετικός. Αν το bit του πρόσημου είναι 1, τότε ο αριθμός είναι αρνητικός.
3. Στην αναπαράσταση συμπληρώματος ως προς ένα οι θετικοί αριθμοί (και το μηδέν) αναπαρίστανται όπως και στην αναπαράσταση προσημασμένου μέτρου.

Οι αρνητικοί αριθμοί αναπαρίστανται με το συμπλήρωμα ως προς ένα των αντίστοιχων θετικών αριθμών. Το συμπλήρωμα ως προς ένα ενός αριθμού προκύπτει με την αντικατάσταση κάθε bit του αριθμού με το συμπλήρωμά του.

4. Στην αναπαράσταση συμπληρώματος ως προς δύο οι θετικοί αριθμοί έχουν 0 στο πρόσημό τους και ακολουθούνται από το μέτρο τους. Οι αρνητικοί αριθμοί αναπαρίστανται με το συμπλήρωμα ως προς δύο των αντίστοιχων θετικών αριθμών. Το συμπλήρωμα ως προς δύο ενός αριθμού υπολογίζεται προσθέτοντας το 1 στο συμπλήρωμα ως προς ένα του αριθμού.
5. Ο ημιαθροιστής και ο πλήρης αθροιστής αποτελούν τη βάση σε όλα τα αριθμητικά κυκλώματα. Ο ημιαθροιστής είναι ένα συνδυαστικό κύκλωμα που εκτελεί την πρόσθεση δύο δυαδικών ψηφίων που τοποθετούμε στις δύο εισόδους του, ενώ στις εξόδους του δίνει το άθροισμά τους και το κρατούμενο εξόδου.
Ο πλήρης αθροιστής είναι ένα συνδυαστικό κύκλωμα που εκτελεί την πρόσθεση δύο δυαδικών ψηφίων καθώς και του κρατούμενου εισόδου, ενώ στις εξόδους του δίνει το άθροισμά τους και το κρατούμενο εξόδου.
6. Το άθροισμα δύο δυαδικών αριθμών N bits μπορεί να προκύψει χρησιμοποιώντας N πλήρεις αθροιστές κατασκευάζοντας έναν παράλληλο δυαδικό αθροιστή. Η άθροιση των bits ίδιας τάξης γίνεται ταυτόχρονα (παράλληλα) σε όλους τους αθροιστές.
7. Ο δυαδικός αθροιστής/αφαιρέτης κατασκευάζεται με έναν παράλληλο δυαδικό αθροιστή και ένα συνδυαστικό κύκλωμα με το οποίο επιλέγεται η λειτουργία της πρόσθεσης ή της αφαίρεσης.
8. Οι αθροιστές BCD κατασκευάζονται από δύο παράλληλους δυαδικούς αθροιστές και ένα συνδυαστικό κύκλωμα διόρθωσης του αποτελέσματος.

9.6 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ

1. Να βρείτε το συμπλήρωμα ως προς ένα και δύο των αριθμών 4 bits: 0011, 0010, 1100, 1111. Θεωρώντας τα αποτελέσματά σας προσημασμένους αριθμούς σε συμπλήρωμα ως προς ένα και δύο αντίστοιχα, να δώσετε τους ισοδύναμους προσημασμένους δεκαδικούς αριθμούς.
2. Να συμπληρώσετε τον παρακάτω πίνακα για την αναπαράσταση προσημασμένων αριθμών 4 bits.

- β. $0100+1111=1000$ ΣΩΣΤΟ ΛΑΘΟΣ
 γ. $0011+1100=1111$ ΣΩΣΤΟ ΛΑΘΟΣ
 δ. $1010+1100=1100$ ΣΩΣΤΟ ΛΑΘΟΣ

8. Χρησιμοποιώντας την αναπαράσταση συμπληρώματος ως προς δύο να εκτελέσετε τις ακόλουθες πράξεις στο δυαδικό σύστημα με μήκος λέξης για τους προσημασμένους αριθμούς 4 bits:
- α. $(+4) + (+2)$
 β. $(+4) - (+2)$
 γ. $(-4) + (-2)$
 δ. $(-4) - (-2)$
9. Ποιος είναι ο μεγαλύτερος θετικός αριθμός και ο μικρότερος αρνητικός αριθμός στο δεκαδικό σύστημα που μπορεί να αναπαρασταθεί με αναπαράσταση συμπληρώματος ως προς 2 και μήκος λέξης 3 bits;
10. Ποια η διαφορά μεταξύ του ημιαθροιστή και του πλήρους αθροιστή;
11. Να σχεδιάσετε έναν ημιαθροιστή με εισόδους $x=y=A$ και εξόδους S (άθροισμα) και C (κρατούμενο). Να γράψετε τον πίνακα αληθείας του κυκλώματος.
12. Να εκτελέσετε τις ακόλουθες προσθέσεις των BCD αριθμών:
- α. $0001+0011$
 β. $0010+0110$
 γ. $0111+0100$
 δ. $10011001+00000001$
- Να δώσετε τα αποτελέσματα και στο δεκαδικό σύστημα.

1. Να χρησιμοποιείτε σωστά την ορολογία των μνημών ημιαγωγού.
2. Να γνωρίζετε τα είδη των μνημών και τα χαρακτηριστικά τους.
3. Να γνωρίζετε τη βασική λειτουργία των μνημών.
4. Να μπορείτε να προσδιορίζετε τη χωρητικότητα μιας μνήμης.
5. Να δίνετε την περιγραφή της δομής μιας μνήμης ROM.
6. Να περιγράφετε μερικές εφαρμογές των μνημών ROM.
7. Να δίνετε την περιγραφή της δομής μιας μνήμης RAM.
8. Να περιγράφετε μερικές εφαρμογές των μνημών RAM.
9. Να γνωρίζετε τις διαφορές μεταξύ μνημών τύπου ROM και RAM.
10. Να σχεδιάζετε τη σύνδεση Ο.Κ. μνημών ώστε να προκύπτουν μνήμες με μεγαλύτερη χωρητικότητα.
11. Να σχεδιάζετε τη σύνδεση Ο.Κ. μνημών ώστε να προκύπτουν μνήμες με μεγαλύτερο μέγεθος λέξης.

10

κεφάλαιο

ΜΝΗΜΕΣ

10.1 ΕΙΣΑΓΩΓΗ

Μνήμη (memory) στα ψηφιακά ηλεκτρονικά είναι κάθε ηλεκτρονικό κύκλωμα το οποίο μπορεί να αποθηκεύσει ένα σύνολο από δυαδικά ψηφία (bits) τα οποία θα έχουν λογικές τιμές "0" και "1". Η δυνατότητα που έχει η "μνήμη" να αποθηκεύει την πληροφορία σε δυαδική μορφή (δηλαδή να θυμάται) είναι παρόμοια με την έννοια της μνήμης, όπως τη γνωρίζουμε από την καθημερινή μας ζωή, γι' αυτό και χρησιμοποιούμε τον ίδιο όρο. Με την ηλεκτρονική "μνήμη" αναφερόμαστε στη χρήση της τεχνολογίας των ημιαγωγών πυριτίου για την αποθήκευση της πληροφορίας σε δυαδική μορφή και αυτοί οι τύποι μνημών θα μας απασχολήσουν σ' αυτό το κεφάλαιο. Η τεχνολογία των ψηφιακών συστημάτων χρησιμοποιεί σε μεγάλο βαθμό μνήμες ημιαγωγού (semiconductor memory) για την αποθήκευση της πληροφορίας με τα υπολογιστικά συστήματα σαν κύρια εφαρμογή τους.

Όπως ήδη γνωρίζουμε, το flip-flop μπορεί να αποθηκεύει ένα bit πληροφορίας. Στους καταχωρητές αναφέραμε ότι τους κατασκευάζουμε χρησιμοποιώντας έναν αριθμό από flip-flops. Ο κάθε καταχωρητής μπορεί να αποθηκεύσει ένα πλήθος από bits, όσα είναι και τα flip-flops που τον αποτελούν. Μπορούμε να πούμε πως η μνήμη κατασκευάζεται χρησιμοποιώντας έναν καταχωρητή για κάθε μία λέξη της. Σε κάθε **λέξη** μνήμης αντιστοιχούμε ένα μοναδικό αριθμό τον οποίο ονομάζουμε **διεύθυνση** (address). Η διεύθυνση χρησιμοποιείται για να μπορούμε να ξεχωρίζουμε τις λέξεις μιας μνήμης μεταξύ τους, ώστε να τις διαβάζουμε και να τις γράφουμε χωρίς να τις μπερδεύουμε (παραδείγματα ανάλογα της διεύθυνσης μνήμης είναι: ο αριθμός ταυτότητας που αντιστοιχεί σε ένα μοναδικό άτομο, η διεύθυνση κατοικίας που αντιστοιχεί σε ένα μοναδικό σπίτι, ο αριθμός τηλεφώνου που αντιστοιχεί σε μία μοναδική συσκευή). Η εικόνα την οποία μπορούμε να έχουμε για μία μνήμη φαίνεται στον παρακάτω πίνακα. Το κάθε τετράγωνο αντιστοιχεί σε ένα flip-flop, ενώ πρέπει να τονίσουμε ότι **η διεύθυνση μιας λέξης μνήμης δεν έχει καμία σχέση με το περιεχόμενό της**. Στο παράδειγμα του παρακάτω πίνακα η κάθε λέξη αποτελείται από οκτώ flip-flops. Τα περιεχόμενα των θέσεων μνήμης στο συγκεκριμένο παράδειγμα είναι οι BCD αριθμοί 88, 89, 78, 09.

Διεύθυνση Λέξης	b7	b6	b5	b4	B3	b2	b1	b0
0	1	0	0	0	1	0	0	0
1	1	0	0	0	1	0	0	1
2	0	1	1	1	1	0	0	0
3	0	0	0	0	1	0	0	1

Η κυριότερη εφαρμογή των μνημών ημιαγωγού είναι τα υπολογιστικά συστήματα. Σε έναν υπολογιστή η ηλεκτρονική μνήμη (η οποία ονομάζεται κύρια μνήμη) χρησιμοποιείται για την αποθήκευση των εντολών των προγραμμάτων που θα εκτελεστούν από την κεντρική μονάδα επεξεργασίας, καθώς και των δεδομένων πάνω στα οποία επιδρούν οι εντολές. Η κύρια μνήμη βασισμένη σε τεχνολογία ημιαγωγών είναι ταχύτατη, αλλά συγκρινόμενη με άλλους τύπους μνήμης όπως μαγνητικούς ή οπτικούς δίσκους είναι ακριβότερη και επιπλέον χάνει τα δεδομένα της με την απουσία τάσης τροφοδοσίας. Επιπλέον χρειάζονται ηλεκτρονικά κυκλώματα επικοινωνίας με την Κεντρική Μονάδα Επεξεργασίας (CPU) τα οποία αυξάνουν την πολυπλοκότητα και επομένως και το κόστος. Για λόγους οικονομίας, λοιπόν, χρησιμοποιούνται οι μονάδες εξωτερικής μνήμης, βασισμένες σε μαγνητικούς δίσκους (σκληρούς δίσκους) ή οπτικούς δίσκους (CD), για την αποθήκευση των πληροφοριών (προγραμμάτων και δεδομένων) που δεν χρειάζεται άμεσα να βρίσκονται στη μνήμη ημιαγωγών, και μεταφέρονται από και προς αυτή, μόνο όταν χρειάζεται.

10.1.1 Παράδειγμα

Ας θυμίσουμε μερικές βασικές έννοιες λέγοντας ότι με τον όρο **πληροφορία** εννοούμε οποιαδήποτε ακολουθία συμβόλων με την οποία εκφράζουμε κάποια έννοια. Για παράδειγμα η λέξη “μήλο” χρησιμοποιείται για να εκφράσουμε την πληροφορία ενός συγκεκριμένου φρούτου. Για την πληροφορία στη συγκεκριμένη περίπτωση χρησιμοποιούμε τα τέσσερα διακριτά σύμβολα (γράμματα) του ελληνικού αλφαβήτου μ, ή, λ, ο, τοποθετημένα το ένα δίπλα στο άλλο. Για να αποθηκευθεί η πληροφορία αυτή στη μνήμη ενός ψηφιακού συστήματος κάθε γράμμα κωδικοποιείται σε ένα σύνολο από δυαδικά ψηφία, σύμφωνα με ένα συγκεκριμένο κώδικα για παράδειγμα τον κώδικα ASCII. Το πρώτο γράμμα “μ” κωδικοποιείται ως 11101100, το “ή” ως 11011110, το “λ” ως 11101011 και το “ο” ως 11101111.

Διεύθυνση Λέξης	b7	b6	b5	b4	b3	b2	b1	b0	Ερμηνεία Περιεχομένου Λέξης
300	1	1	1	0	1	1	0	0	μ
301	1	1	0	1	1	1	1	0	ή
302	1	1	1	0	1	0	1	1	λ
303	1	1	1	0	1	1	1	1	ο

Ο παραπάνω πίνακας μας δίνει μια εικόνα των εννοιών της αποθήκευσης πληροφορίας με δυαδική μορφή σε μία μνήμη. Στη στήλη αριστερά φαίνεται η

διεύθυνση της κάθε θέσης μνήμης (οι πληροφορίες που μας ενδιαφέρουν αποθηκεύθηκαν στις διευθύνσεις 300 έως 303), οι στήλες b7 έως b0 μας δίνουν τα περιεχόμενα των δυαδικών ψηφίων (bit) που αποτελούν την κάθε λέξη της μνήμης ξεκινώντας από το περισσότερο σημαντικό bit b7, έως το λιγότερο σημαντικό bit b0. Η τελευταία στήλη δεξιά ερμηνεύει (αποκωδικοποιεί) το περιεχόμενο της κάθε λέξης της μνήμης (δηλαδή την ακολουθία των bits) σύμφωνα με τον τροποποιημένο για την ελληνική γλώσσα κώδικα ASCII (Ελληνικός Οργανισμός Τυποποίησης ΕΛΟΤ-928). Στο σημείο αυτό να τονίσουμε ότι η ερμηνεία του περιεχομένου μιας θέσης μνήμης δεν είναι μοναδική, δηλαδή, δεν μπορούμε να ξέρουμε την πληροφορία που έχει αποθηκευθεί σε ένα ψηφιακό σύστημα αν δεν γνωρίζουμε την κωδικοποίηση των περιεχομένων (ότι χρησιμοποιήθηκε ο κώδικας ASCII στο συγκεκριμένο παράδειγμα). Αν δεν γνωρίζαμε πώς είχε γίνει η κωδικοποίηση θα μπορούσαμε να ερμηνεύσουμε τα περιεχόμενα της κάθε λέξης με πολλούς τρόπους, για παράδειγμα να ερμηνεύσουμε το περιεχόμενο κάθε λέξης σαν ένα αριθμό στο δεκαεξαδικό σύστημα. Τότε η ερμηνεία της πρώτης λέξης θα ήταν ο αριθμός EC_{16} , της δεύτερης λέξης ο αριθμός DE_{16} , της τρίτης λέξης θα ήταν ο αριθμός EB_{16} και της τέταρτης λέξης ο αριθμός EF_{16} . Φυσικά οι δύο ερμηνείες δεν έχουν καμία σχέση μεταξύ τους.

10.2 ΒΑΣΙΚΕΣ ΕΝΝΟΙΕΣ – ΟΡΟΛΟΓΙΑ ΜΝΗΜΩΝ

Κύτταρο (cell) μνήμης

Το **κύτταρο μνήμης** είναι το βασικό ηλεκτρονικό κύκλωμα που χρησιμοποιείται για την αποθήκευση της στοιχειώδους μονάδας δυαδικής πληροφορίας του ενός bit και μπορεί να βρίσκεται σε μία από τις δύο λογικές καταστάσεις "0" ή "1".

Λέξη (Word) μνήμης

Μία μνήμη αποθηκεύει τις δυαδικές πληροφορίες σε ομάδες bits τις οποίες ονομάζουμε **λέξεις**. Η πληροφορία που βρίσκεται αποθηκευμένη σε κάθε λέξη εμφανίζεται στις εξόδους της μνήμης κατά τη διαδικασία της **ανάγνωσης**, ενώ κατά την διαδικασία της **εγγραφής** αλλάζει τα δεδομένα της, ανάλογα με τις λογικές καταστάσεις των εισόδων της. Ο αριθμός των bits σε κάθε λέξη καθορίζει το μήκος της. Μία ομάδα των οκτώ bits ονομάζεται **byte**. Συνήθως το μήκος των λέξεων στα Ο.Κ. μνημών είναι πολλαπλάσιο του byte.

Διεύθυνση (Address)

Κάθε λέξη της μνήμης αντιμετωπίζεται ενιαία. Για να διακρίνουμε τις λέξεις μεταξύ τους με ένα μοναδικό τρόπο αντιστοιχούμε σε κάθε λέξη έναν αριθμό ο οποίος ονομάζεται **διεύθυνση**. Ο αριθμός της διεύθυνσης γράφεται στο δεκαε-

ξαδικό σύστημα και σπάνια στο δεκαδικό ή στο δυαδικό σύστημα. Ο λόγος είναι ότι οι αριθμοί των διευθύνσεων είναι μεγάλοι και το δεκαεξαδικό σύστημα χρησιμοποιεί λιγότερα ψηφία από το δεκαδικό ή το δυαδικό σύστημα για να εκφράσει τον ίδιο αριθμό, με αποτέλεσμα να διευκολύνει τους προγραμματιστές με τη χρήση του. Για παράδειγμα, η διεύθυνση FEE0 στο δεκαεξαδικό γράφεται ως 111111011100000 στο δυαδικό και ως 65248 στο δεκαδικό σύστημα. Για τις διευθύνσεις σε Ο.Κ. μηνμών χρησιμοποιούνται k γραμμές (ακροδέκτες), κάθε μία από τις οποίες μπορεί να πάρει δύο λογικές καταστάσεις. Οι διευθύνσεις δίνονται κατά μία αύξουσα αριθμητική σειρά ξεκινώντας από το 0 και συνεχίζοντας έως το $2^k - 1$, όπου k είναι ο αριθμός των γραμμών διεύθυνσης.

Χωρητικότητα (Capacity)

Ένα από τα κύρια χαρακτηριστικά μιας μνήμης είναι η **χωρητικότητα** της και εκφράζεται από το συνολικό αριθμό των bits που μπορεί να αποθηκεύσει. Για να υπολογίσουμε τη χωρητικότητα πολλαπλασιάζουμε τον αριθμό των λέξεων που μπορεί να αποθηκεύσει η μνήμη με τον αριθμό των bits ανά λέξη. Το πλήθος των λέξεων μίας μνήμης είναι ίσο με το πλήθος των διευθύνσεών της (2^k). Η χωρητικότητα εκφράζεται με την χρήση των πολλαπλασιαστών K ($2^{10} = 1024$), M ($2^{20} = 1048576$), και G ($2^{30} = 1073741824$).

Η χωρητικότητα της μνήμης συχνά εκφράζεται με το γινόμενο του συνολικού αριθμού των λέξεων επί το μήκος της κάθε λέξης: Για παράδειγμα αν έχουμε μια μνήμη με 1024 λέξεις των 8 bits η κάθε λέξη, η χωρητικότητά της εκφράζεται ως $1K \times 8 \text{ bits}$ ($= 1024 \times 8 \text{ bits}$). Συνήθως η χωρητικότητα εκφράζεται σε bytes ή τα πολλαπλάσιά του (1 Kbyte ή 1 KB για την μνήμη του παραδείγματος).

Παράδειγμα

Έστω ότι μια μνήμη έχει χωρητικότητα 64 KB. Από το συμβολισμό B συμπεραίνουμε ότι το μήκος της κάθε λέξης είναι 1 byte. Ο αριθμός των λέξεων είναι 64K (δηλαδή $64 = 2^6$ επί $2^{10} = 2^{16} = 65536$), επομένως η χωρητικότητά της σε bits είναι $2^{16} \times 8 \text{ bits} = 524288 \text{ bits}$. Ο κατασκευαστής ενός Ο.Κ μνήμης όπως αυτή που περιγράψαμε θα τοποθετούσε στην επιφάνεια του Ο.Κ. τα σύμβολα $64K \times 8$ για να δηλώσει την χωρητικότητά της.

Παράλληλη προσπέλαση (Parallel Access)

Όταν μία μνήμη δηλώνεται ότι είναι παράλληλης προσπέλασης αυτό σημαίνει η είσοδος ή η έξοδος των δεδομένων της λέξης μνήμης γίνεται παράλληλα (ταυτόχρονα). Υπάρχουν τόσες ψηφιακές γραμμές στο Ο.Κ. της μνήμης για τη μεταφορά των δεδομένων όσο είναι και το μήκος της κάθε λέξης της μνήμης σε bits. Συνήθως και η μεταφορά της διεύθυνσης της λέξης που θα προσπελασθεί γίνεται παράλληλα.

Σειριακή προσπέλαση (Serial Access)

Όταν μία μνήμη δηλώνεται ότι είναι σειριακής προσπέλασης αυτό σημαίνει ότι η είσοδος ή η έξοδος των δεδομένων της λέξης γίνεται σειριακά (μεταφέρεται το ένα bit μετά το άλλο). Σ' αυτές τις μνήμες υπάρχει συνήθως μία ψηφιακή γραμμή στο Ο.Κ. της μνήμης για την μεταφορά των δεδομένων. Επίσης σχεδόν πάντα σ' αυτές τις μνήμες και η μεταφορά της διεύθυνσης γίνεται σειριακά.

Η παράλληλη προσπέλαση μας εξασφαλίζει τη μέγιστη ταχύτητα μεταφοράς δεδομένων με κόστος την πολυπλοκότητα των κυκλωμάτων που απαιτούνται λόγω του πλήθους των γραμμών. Η σειριακή προσπέλαση μας εξασφαλίζει την ελάχιστη πολυπλοκότητα (άρα και κόστος) αφού χρησιμοποιείται συνήθως μια ψηφιακή γραμμή για τη μεταφορά των δεδομένων, αλλά σε βάρος της ταχύτητας μεταφοράς τους. Ανάλογα με την εφαρμογή θα πρέπει να επιλέγουμε ανάμεσα στους δύο αυτούς τύπους προσπέλασης για το Ο.Κ. μνήμης που θα χρησιμοποιήσουμε.

Εγγραφή (Write)

Εγγραφή είναι η διαδικασία με την οποία τοποθετούμε νέα δεδομένα μίας λέξης σε μία συγκεκριμένη διεύθυνση. Τα δεδομένα που ήταν αποθηκευμένα σβήνονται με αυτή τη διαδικασία η οποία ονομάζεται και λειτουργία καταχώρησης ή αποθήκευσης (store).

Ανάγνωση (Read)

Ανάγνωση είναι η διαδικασία με την οποία τα δεδομένα μιας λέξης μνήμης, τα οποία είναι αποθηκευμένα σε μία συγκεκριμένη διεύθυνση μεταφέρονται στις εξόδους της μνήμης. Τα δεδομένα που ήταν αποθηκευμένα δεν αλλάζουν με αυτή τη διαδικασία.

Δίαυλος Διευθύνσεων (Address Bus)

Το σύνολο των ψηφιακών γραμμών οι οποίες μεταφέρουν την πληροφορία της διεύθυνσης στη μνήμη ονομάζεται **δίαυλος διευθύνσεων**. Κάθε γραμμή διεύθυνσης μπορεί να πάρει μία από τις δύο λογικές καταστάσεις "0" ή "1". Ο συμβολισμός των ακροδεκτών διεύθυνσης στα Ο.Κ. είναι συνήθως A0, A1, A2.. με το A0 να συμβολίζει το λιγότερο σημαντικό bit, το A1 το επόμενο σημαντικό bit της διεύθυνσης κλπ.

Δίαυλος Δεδομένων (Data Bus)

Το σύνολο των ψηφιακών γραμμών οι οποίες μεταφέρουν την πληροφορία μίας λέξης η οποία, είτε διαβάζεται από μία συγκεκριμένη διεύθυνση της μνήμης, είτε γράφεται σε μία συγκεκριμένη διεύθυνση της μνήμης, ονομάζεται **δίαυλος δεδομένων**. Συνήθως στα Ο.Κ. μνημών με παράλληλη προσπέλαση ισχύει ότι, όταν η μνήμη έχει κ ακροδέκτες για τις κ γραμμές δεδομένων, το μήκος της λέξης είναι κ bits. Ο συμ-

βολισμός των ακροδεκτών δεδομένων στα Ο.Κ. είναι συνήθως D0, D1, D2.. με το D0 να συμβολίζει το λιγότερο σημαντικό bit, το D1 το επόμενο σημαντικό bit κλπ.

Χρόνος προσπέλασης (Access time)

Χρόνο προσπέλασης μιας μνήμης κατά τη διαδικασία ανάγνωσης ή εγγραφής μιας θέσης της ονομάζουμε το χρονικό διάστημα το οποίο μεσολαβεί από τη χρονική στιγμή που έχει τοποθετηθεί η πληροφορία της διεύθυνσης, έως την χρονική στιγμή που εμφανίζονται τα δεδομένα της λέξης στις γραμμές των δεδομένων (-για ανάγνωση) ή που αποθηκεύονται τα δεδομένα που βρίσκονται στις γραμμές των δεδομένων (για εγγραφή). Ο χρόνος αυτός συμβολίζεται σαν t_{acc} , δίνεται σε nsec (10^{-9} sec) ή msec (10^{-6} sec) και αποτελεί ένα μέτρο της ταχύτητας λειτουργίας μιας μνήμης. Αποτελεί ένα από τα σημαντικότερα χαρακτηριστικά τα οποία εξετάζουμε για την επιλογή του ολοκληρωμένου κυκλώματος της μνήμης.

Μνήμη τυχαίας προσπέλασης (RAM Random Access Memory)

Είναι ο τύπος μνήμης του οποίου το χαρακτηριστικό γνώρισμα είναι ότι ο χρόνος προσπέλασης είναι ανεξάρτητος από τη διεύθυνση της λέξης. Αυτό δηλώνεται και με την ονομασία, λόγω του ότι για τυχαία επιλογή μιας λέξης ο χρόνος προσπέλασης είναι σταθερός. (Ένα ανάλογο παράδειγμα από την καθημερινή μας ζωή αποτελεί το CD ήχου στο οποίο μπορούμε να επιλέξουμε οποιοδήποτε τραγούδι στον ίδιο χρόνο αντίθετα με την ταινία μαγνητοφώνου όπου ο χρόνος αυτός μεταβάλλεται ανάλογα με το που βρίσκεται αποθηκευμένο το τραγούδι).

Ένα δεύτερο χαρακτηριστικό αυτού του τύπου μνήμης είναι ότι τα αποθηκευμένα δεδομένα χάνονται όταν παύει να υπάρχει η τάση τροφοδοσίας στο Ο.Κ.

Μνήμη μόνο ανάγνωσης (ROM Read Only Memory)

Είναι ο τύπος της μνήμης του οποίου το χαρακτηριστικό του γνώρισμα είναι ότι τα δεδομένα της δεν αλλάζουν και μπορούμε μόνο να τα διαβάσουμε.

Ένα δεύτερο χαρακτηριστικό αυτού του τύπου μνήμης είναι ότι τα αποθηκευμένα δεδομένα διατηρούνται, όταν παύει να υπάρχει η τάση τροφοδοσίας στο Ο.Κ.

Πρόσκαιρη μνήμη (Volatile memory)

Είναι το είδος της μνήμης με χαρακτηριστικό ότι τα αποθηκευμένα δεδομένα χάνονται όταν παύει να υπάρχει η τάση τροφοδοσίας. Η μνήμη RAM αποτελεί ένα αντιπροσωπευτικό παράδειγμα.

Μη-πρόσκαιρη μνήμη (Non-volatile memory)

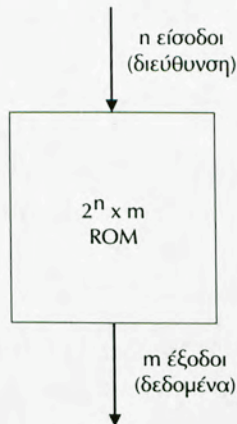
Είναι το είδος της μνήμης με χαρακτηριστικό ότι τα αποθηκευμένα δεδομένα διατηρούνται όταν πάψει να υπάρχει η τάση τροφοδοσίας. Η μνήμη ROM αποτελεί ένα αντιπροσωπευτικό παράδειγμα.

10.3 ΜΝΗΜΕΣ ROM

Η μνήμη ROM χρησιμοποιείται για την αποθήκευση πληροφοριών οι οποίες δεν μεταβάλλονται ή μεταβάλλονται σπάνια. Η εγγραφή (write) των πληροφοριών γίνεται είτε κατά την κατασκευή τους, είτε με μία διαδικασία αρκετά αργή σε σχέση με την διαδικασία ανάγνωσης (read). Η εγγραφή των πληροφοριών ονομάζεται και **προγραμματισμός** (programming) της μνήμης ROM.

Όταν διακόψουμε την τάση τροφοδοσίας μιας μνήμης ROM, τα δεδομένα της δεν χάνονται (δεν σβήνονται) και είναι διαθέσιμα, όταν επανέλθει η τάση τροφοδοσίας. Επειδή οι μνήμες ROM είναι μη-πρόσκαιρες χρησιμοποιούνται σε μικροϋπολογιστές (microcomputers) για την καταχώρηση προγραμμάτων τα οποία δεν αλλάζουν, αφού είναι ενσωματωμένα σε συστήματα συγκεκριμένης λειτουργίας (για παράδειγμα σε ένα πλυντήριο, σε ένα στερεοφωνικό συγκρότημα, σε μια τηλεόραση).

Στο Σχήμα 10.3.1 φαίνεται το απλοποιημένο διάγραμμα μίας μνήμης ROM.



Σχήμα 10.3.1 Απλοποιημένο διάγραμμα μιας μνήμης ROM

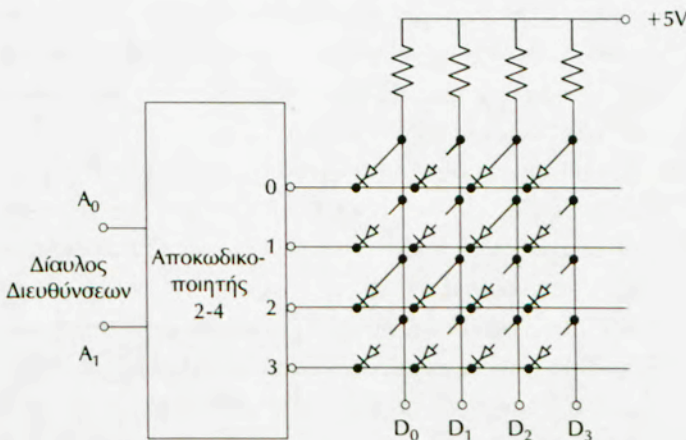
Η μνήμη αυτή έχει n γραμμές εισόδου και m γραμμές εξόδου. Οι n γραμμές χρησιμοποιούνται για την τοποθέτηση της διεύθυνσης της λέξης την οποία θα διαβάσουμε, ενώ οι m γραμμές εξόδου χρησιμοποιούνται για την εμφάνιση των δεδομένων της λέξης. Όπως ήδη έχουμε αναφέρει στην προηγούμενη παράγραφο, το μήκος της λέξης της συγκεκριμένης μνήμης θα είναι m bits. Η χωρητικότητα της μνήμης ROM σε λέξεις θα είναι 2^n , όσες είναι και οι διαφορετικές διευθύνσεις τις οποίες μπορούμε να έχουμε με n bits. **Λέμε λοιπόν πως σ' αυτή τη μνήμη βρίσκονται αποθηκευμένες 2^n διαφορετικές λέξεις με m bits η κάθε μία.** Συνήθως οι κατασκευαστές μνημών ROM σε Ο.Κ. αναγράφουν τη χωρητικότητα της μνήμης στην επιφάνειά του ως ένα γινόμενο, όπου ο πρώτος αριθμός είναι ο

αριθμός των λέξεων ενώ ο δεύτερος αριθμός είναι το μήκος της κάθε λέξης σε bit. Για παράδειγμα, αν σε μία ROM διαβάσουμε 32Kx8 αυτό σημαίνει ότι η μνήμη έχει 32×2^{10} (=32768) λέξεις (θέσεις μνήμης) με 8 bits σε κάθε λέξη.

Επίσης, γράφοντας τον αριθμό των λέξεων σαν δύναμη του 2, $32K=2^5 \times 2^{10} = 2^{15}$ συμπεραίνουμε ότι χρησιμοποιούνται 15 γραμμές για την είσοδο της διεύθυνσης.

10.3.1 Εσωτερική δομή μνήμης ROM

Το σχήμα 10.3.2 μας δείχνει την εσωτερική δομή μίας προγραμματισμένης μνήμης ROM 4x4 bits. Από το συμβολισμό συμπεραίνουμε ότι η μνήμη αυτή αποτελείται από 4 λέξεις των 4 bits η κάθε μία. Για την είσοδο της διεύθυνσης της λέξης χρειαζόμαστε 2 εισόδους και για την έξοδο των δεδομένων 4 εξόδους. Το κύτταρο της μνήμης ROM που θα αναλύσουμε βασίζεται σε μια διάοδο. Ο προγραμματισμός της γίνεται με την ύπαρξη ή όχι διόδου για κάθε ένα bit της μνήμης. Οι δύο εισόδους της διεύθυνσης συνδέονται σε έναν αποκωδικοποιητή 2 σε 4, του οποίου οι τέσσερις εξόδοι (0,1,2,3) διασταυρώνονται (χωρίς να συνδέονται) με τέσσερις γραμμές οι οποίες συνδέονται στο ένα τους άκρο με μία αντίσταση στην τάση τροφοδοσίας +5V (λογικό 1), ενώ το άλλο τους άκρο αποτελεί τις εξόδους δεδομένων (D0, D1, D2, D3) της ROM. Οι εξόδοι του αποκωδικοποιητή συνδέονται με τις γραμμές των δεδομένων μέσω διόδων. Ανάλογα με τον προγραμματισμό της ROM καταστρέφονται οι διάοδοι στα bits των λέξεων στα οποία θέλουμε να αποθηκεύσουμε την λογική κατάσταση "1" ενώ παραμένουν όπου θέλουμε να αποθηκεύσουμε την λογική κατάσταση "0".



Σχήμα 10.3.2 Εσωτερική δομή μνήμης ROM 4x4 bits

Παράδειγμα

Τα δεδομένα τα οποία είναι αποθηκευμένα στις λέξεις της ROM του Σχήμα-

τος 10.3.2 περιγράφονται με τον παρακάτω πίνακα ο οποίος ονομάζεται πίνακας προγραμματισμού της.

Πίνακας προγραμματισμού ROM

Διεύθυνση Λέξης A1A0	D3	D2	D1	D0
00	0	1	0	0
01	1	1	0	1
10	0	0	1	1
11	1	1	1	1

Για να διαβάσουμε τα δεδομένα που είναι αποθηκευμένα σε μία θέση μνήμης τοποθετούμε την διεύθυνσή της στις γραμμές επιλογής διεύθυνσης A1, A0. Ας υποθέσουμε ότι θέλουμε να διαβάσουμε τα δεδομένα της θέσης μνήμης με διεύθυνση 01. Τοποθετούμε την διεύθυνση 01 στις εισόδους A1A0 της ROM με αποτέλεσμα ο αποκωδικοποιητής να εμφανίσει την λογική κατάσταση "0" στην έξοδο του με αριθμηση 1. Όλες οι άλλες έξοδοι του αποκωδικοποιητή (0,2,3) θα βρίσκονται στην λογική κατάσταση "1". Οι έξοδοι D3D2D0 θα έχουν λογική κατάσταση "1" λόγω του ότι δεν υπάρχουν δίοδοι και συνδέονται με την τάση τροφοδοσίας. Η έξοδος D1 θα έχει την λογική κατάσταση "0" αφού υπάρχει δίοδος πολωμένη ορθά λόγω της λογικής κατάστασης "0" στην έξοδο 1 του αποκωδικοποιητή. Όσες δίοδοι υπάρχουν συνδεδεμένες στο ένα τους άκρο με την D1 έξοδο δεν την επηρεάζουν επειδή δεν άγουν, αφού το άλλο τους άκρο θα βρίσκεται στη λογική κατάσταση "1" που έχουν οι υπόλοιπες έξοδοι του αποκωδικοποιητή.

Στην πραγματικότητα οι μνήμες ROM δεν κατασκευάζονται με δίοδους αλλά με FET. Οι χωρητικότητες των μνημών ROM στο εμπόριο σε Ο.Κ. κυμαίνονται από Kbits έως Mbits με χρόνους προσπέλασης από $t_{acc} = 200 \text{ nsec}$ έως $t_{acc} = 40 \text{ nsec}$. Ο προγραμματισμός τους γίνεται κατά την κατασκευή τους σύμφωνα με τον πίνακα προγραμματισμού με τον οποίο πρέπει να προμηθεύσει την κατασκευάστρια εταιρεία ο σχεδιαστής του ψηφιακού συστήματος στο οποίο θα χρησιμοποιηθεί η ROM. Λόγω, λοιπόν, της διαδικασίας αυτής (η οποία σε περίπτωση λαθών θα πρέπει να επαναληφθεί) θα πρέπει να κατασκευασθούν χιλιάδες ολοκληρωμένα για να συμφέρει οικονομικά ο προγραμματισμός μιας ROM. Επίσης, μετά την τοποθέτηση των μνημών ROM στο σύστημα στο οποίο χρησιμοποιείται είναι δύσκολη η διαδικασία αντικατάστασής της σε περίπτωση επανασχεδιασμού του συστήματος (οι μνήμες ROM θα πρέπει να αντικατασταθούν από νέες) ή λόγω λάθους στον πίνακα προγραμματισμού. Για τους λόγους που αναφέραμε αναπτύχθηκαν τύποι ROM στους οποίους επιτρέπεται ο προγραμματισμός τους από το χρήστη.

10.3.2 Τύποι προγραμματιζόμενων ROM

Οι διαφορές ανάμεσα στους τύπους των ROM, που υπάρχουν βρίσκονται κύρια στην κατασκευή του βασικού κυττάρου της μνήμης, ενώ οι αρχές λειτουργίας παραμένουν οι ίδιες σε όλους τους τύπους σύμφωνα και με όσα αναπτύξαμε στις προηγούμενες παραγράφους. Η δυνατότητα του προγραμματισμού επιτυγχάνεται με τη χρησιμοποίηση κυκλωμάτων τα οποία επιτρέπουν την αποθήκευση της πληροφορίας (δηλαδή της ύπαρξης ή όχι της διόδου σύμφωνα και με το διάγραμμα του Σχήματος 10.3.2). Ανάλογα με τη διαδικασία προγραμματισμού έχουμε τους εξής τύπους ROM:

- ☛ Προγραμματιζόμενη ROM (Programmable ROM: PROM)
- ☛ Διαγραφόμενη PROM (Erasable PROM: EPROM)
- ☛ Ηλεκτρικά Διαγραφόμενη PROM (Electrically Erasable PROM: EEPROM)

10.3.2.1 Προγραμματιζόμενη ROM (Programmable ROM: PROM)

Ο προγραμματισμός των ROM κατά την κατασκευή τους έχει υψηλό κόστος και για το λόγο αυτόν αναπτύχθηκε ένας τύπος προγραμματιζόμενης ROM η οποία ονομάζεται PROM. Ο προγραμματισμός γίνεται από τον χρήστη και η PROM στην συνέχεια δεν μπορεί να επαναπρογραμματιστεί.

Η εσωτερική της δομή είναι όμοια με αυτή που περιγράψαμε στις ROM με τη διαφορά ότι σε σειρά με τις διόδους υπάρχει μία σύνδεση η οποία μπορεί να καταστραφεί (να “καεί” όπως έχει επικρατήσει). Αν δεν καεί η σύνδεση, τότε το συγκεκριμένο bit προγραμματίζεται σαν λογικό “0”. Το κάψιμο γίνεται με την εφαρμογή μιας υψηλής τάσης (+24 V) η οποία προκαλεί ένα υψηλό ρεύμα που καταστρέφει τη σύνδεση που θέλουμε να προγραμματίσουμε. Η διαδικασία προγραμματισμού γίνεται σε βήματα επιλέγοντας ακολουθιακά τις θέσεις τις οποίες θέλουμε να προγραμματίσουμε με την εφαρμογή των διευθύνσεών τους. Η διαδικασία του προγραμματισμού γίνεται με τη χρήση ειδικής συσκευής η οποία ονομάζεται προγραμματιστής PROM (PROM Programmer).

Οι μνήμες PROM χρησιμοποιούνται για την παραγωγή μικρού πλήθους συσκευών που τις χρησιμοποιούν. Συνήθως σ’ αυτές αποθηκεύονται τα προγράμματα και τα δεδομένα λειτουργίας μικροϋπολογιστών (microcomputers) και μικροελεγκτών (microcontrollers).

10.3.2.2 Διαγραφόμενη PROM (Erasable PROM: EPROM)

Οι μνήμες EPROM χρησιμοποιούνται σε συστήματα στα οποία θέλουμε να έχουμε τη δυνατότητα αλλαγής των δεδομένων. Χρησιμοποιούνται κυρίως κατά την ανάπτυξη ενός ψηφιακού συστήματος οπότε ο πίνακας προγραμματισμού αλλάζει αρκετές φορές. Όταν σταθεροποιηθεί ο πίνακας προγραμματισμού,

επιλέγονται οι μνήμες PROM ή ROM για το τελικό σύστημα. Οι μνήμες EPROM μπορούν να διαγραφούν και να **επαναπρογραμματιστούν** αρκετές εκατοντάδες φορές.

Η διαγραφή των EPROM γίνεται με το φωτισμό τους στο υπεριώδες μήκος κύματος με αποτέλεσμα όλα τα bits να βρεθούν στην αρχική τους, πριν τον προγραμματισμό, κατάσταση. Οι EPROM διαθέτουν στο περίβλημά τους ένα παράθυρο από διαφανές υλικό με το οποίο φωτίζεται το ολοκληρωμένο κύκλωμα. Συνήθως, αυτό το παράθυρο καλύπτεται στη συνέχεια με ένα αδιαφανές υλικό, ώστε να αποφευχθεί η διαγραφή δεδομένων λόγω της ηλιακής ακτινοβολίας.

Η διαδικασία της διαγραφής γίνεται με ειδικές συσκευές οι οποίες διαθέτουν υπεριώδη φωτισμό και είναι εφοδιασμένες με χρονοδιακόπτες για την έκθεση των μνημών για το κατάλληλο χρονικό διάστημα, ανάλογα με τον τύπο τους. Το χρονικό αυτό διάστημα κυμαίνεται από μερικά λεπτά έως 20 λεπτά.

Στο εμπόριο οι διαθέσιμες μνήμες EPROM έχουν μέγιστη χωρητικότητα της τάξης των 512Kx8 bits και χρόνους προσπέλασης της τάξης των $t_{ACC}=150$ nsec.

Η διαδικασία του προγραμματισμού γίνεται με τη χρήση ειδικής συσκευής η οποία ονομάζεται προγραμματιστής EPROM (EPROM Programmer). Κατά τον προγραμματισμό εφαρμόζονται οι κατάλληλες τάσεις ανάλογα με τα δεδομένα προγραμματισμού με την επιλογή ακολουθιακά των θέσεων οι οποίες θα προγραμματισθούν. Συνήθως, οι προγραμματιστές PROM και EPROM διατίθενται στο εμπόριο σαν μια κοινή συσκευή στην οποία επιλέγει ο χρήστης τον τύπο της ROM που θα προγραμματίσει. Τα δεδομένα προγραμματισμού εισάγονται με πληκτρολόγιο, αν και σήμερα οι συσκευές αυτές συνδέονται με υπολογιστές.

10.3.2.3 Ηλεκτρικά Διαγραφόμενη PROM- EEPROM

Οι μνήμες EEPROM (Electrically Erasable PROM) αποτελούν μία βελτίωση των μνημών EPROM. Η ονομασία τους δηλώνει και την ευκολία στη διαγραφή των δεδομένων, την οποία προσφέρουν και η οποία γίνεται ηλεκτρικά. Κατά τη διαδικασία της διαγραφής δεν σβήνονται τα δεδομένα ολόκληρης της μνήμης, αλλά μόνο των λέξεων οι οποίες θα επαναπρογραμματιστούν. Ένα δεύτερο πλεονέκτημα της μνήμης EEPROM, συγκριτικά με την EPROM, είναι ότι ο προγραμματισμός γίνεται στο κύκλωμα στο οποίο είναι ενσωματωμένη. Η ηλεκτρική τάση για τον προγραμματισμό (21V) συνήθως σήμερα ενσωματώνεται στο Ο.Κ.

Το κύριο μειονέκτημα είναι ότι δεν μπορούμε να τις επαναπρογραμματίσουμε για περισσότερες από 10^4 έως 10^6 φορές.

Τα Ο.Κ. EEPROM υπάρχουν σε χωρητικότητες έως 256Kx8 bits και με χρόνους προσπέλασης $t_{ACC}=250$ nsec. Η χρήση τους (εγγραφή και ανάγνωση) γίνεται με τον ίδιο τρόπο που χρησιμοποιούμε τις μνήμες RAM που θα αναλυθούν στην επόμενη παράγραφο.

Μία ειδική κατηγορία μνήμης EEPROM είναι η μνήμη FLASH. Η κατασκευή του βασικού κυττάρου είναι παρόμοια με την EEPROM. Η κύρια διαφορά της είναι ότι η προσπέλαση γίνεται σε ομάδες λέξεων (128 ή και περισσότερων), ενώ οι χρόνοι προσπέλασης είναι, λόγω αυτής της διαφοράς, αρκετά μεγαλύτεροι σε σχέση με τις EEPROM. Το πλεονέκτημά τους είναι ότι οι χωρητικότητές τους είναι μεγάλες της τάξης των 32Mbits έως 64Mbits. Χρησιμοποιούνται για την αποθήκευση μεγάλου όγκου δεδομένων που δεν αλλάζουν συχνά.

10.3.3 Εφαρμογές των μνημών ROM

Οι διάφοροι τύποι των μνημών ROM που παρουσιάσαμε χρησιμοποιούνται σε μια μεγάλη ποικιλία ψηφιακών συστημάτων και κυρίως όπου απαιτούνται μη-πρόσκαιρες μνήμες.

Τα κύρια χαρακτηριστικά με τα οποία επιλέγουμε μια μνήμη ανάλογα με την εφαρμογή για την οποία προορίζεται είναι:

- ❏ Χωρητικότητα της μνήμης (bits ανά Ο.Κ.)
- ❏ Ταχύτητα ανάλογα με το χρόνο προσπέλασης (μικρότεροι χρόνοι: ταχύτερες μνήμες)
- ❏ Κατανάλωση ισχύος (μW ανά bit)
- ❏ Κόστος ανά bit

Η τεχνολογία BIPOLAR μας δίνει υψηλή ταχύτητα, αλλά έχει υψηλό κόστος και υψηλή κατανάλωση ισχύος, καθώς και μικρές χωρητικότητες. Αντίθετα η τεχνολογία MOS προσφέρει χαμηλή ταχύτητα σε μεγάλες χωρητικότητες, έχει χαμηλό κόστος και χαμηλή κατανάλωση ισχύος. Στη δεύτερη τεχνολογία ανήκουν οι μνήμες CMOS οι οποίες έχουν ελάχιστες απαιτήσεις ισχύος και προτιμούνται σε όλες τις εφαρμογές φορητών συσκευών.

Υλοποίηση συνδυαστικών κυκλωμάτων με ROM

Μία ROM περιλαμβάνει έναν αποκωδικοποιητή για την αποκωδικοποίηση της διεύθυνσης η οποία πρόκειται να επιλεγεί. Μπορούμε να θεωρήσουμε ότι οι n είσοδοι επιλογής διεύθυνσης αποτελούν τις n μεταβλητές μιας λογικής συνάρτησης, ενώ το κάθε ένα από τα m bits στις λέξεις της ROM μας δίνει τις διάφορες λογικές καταστάσεις μιας λογικής συνάρτησης. Επομένως με μία μνήμη ROM $n \times m$ (2^n λέξεις με m bits η κάθε λέξη) μπορούμε να κατασκευάσουμε m λογικές συναρτήσεις με n μεταβλητές η κάθε μία. Για παράδειγμα ο πίνακας προγραμματισμού της ROM της παραγράφου 10.3.1, αντικαθιστώντας τα A_1, A_0 με τις μεταβλητές A, B και τα b_3, b_2, b_2, b_0 με Y_3, Y_2, Y_1, Y_0 , μπορεί να αντικαταστασθεί με τον παρακάτω πίνακα:

Διεύθυνση Λέξης		Y3	Y2	Y1	Y0
A	B				
0	0	0	1	0	0
0	1	1	1	0	1
1	0	0	0	1	1
1	1	1	1	1	1

Η ROM υλοποιεί τα συνδυαστικά κυκλώματα τεσσάρων συναρτήσεων των δύο μεταβλητών. Από τον πίνακα προκύπτουν οι λογικές συναρτήσεις:

$$Y3 = \bar{A}B + AB$$

$$Y2 = \bar{A}\bar{B} + \bar{A}B + AB$$

$$Y1 = A\bar{B} + AB$$

$$Y0 = \bar{A}B + A\bar{B} + AB$$

Παρατηρήστε ότι οι συναρτήσεις των Y2, Y1, Y0 μπορούν να απλοποιηθούν, αλλά δεν έχει νόημα αφού αναγκαστικά θα χρησιμοποιήσουμε το Ο.Κ. στο οποίο δεν μπορούμε να επέμβουμε στην κατασκευή του.

Αποθήκευση δεδομένων

Λόγω της διατήρησης των δεδομένων μετά την απομάκρυνση της τάσης τροφοδοσίας, οι μνήμες ROM χρησιμοποιούνται για την αποθήκευση των προγραμμάτων λειτουργίας ψηφιακών συστημάτων που χρησιμοποιούν μικροεπεξεργαστές. Οι περισσότερες ηλεκτρονικές συσκευές που μας περιστοιχίζουν χρησιμοποιούν μικροεπεξεργαστές και μνήμες ROM για την αποθήκευση των προγραμμάτων λειτουργίας τους, όπως τα στερεοφωνικά συστήματα, οι τηλεοράσεις, η ηλεκτρονική ανάφλεξη και λειτουργία των αυτοκινήτων, τα σύγχρονα πλυντήρια και κουζίνες, τα συστήματα κλιματισμού, τα κινητά τηλέφωνα.

Επίσης χρησιμοποιούνται για τα προγράμματα εκκίνησης (αυτοεκκίνηση-bootstrap) υπολογιστικών συστημάτων. Λόγω της απαίτησης της δυνατότητας επαναπρογραμματισμού (σε περίπτωση αναβάθμισης του λογισμικού) χρησιμοποιούνται οι μνήμες EPROM, αν και τα τελευταία χρόνια εκτοπίζονται από τις μνήμες EEPROM και FLASH οι οποίες δίνουν τη δυνατότητα του επαναπρογραμματισμού χωρίς την αφαίρεσή τους από τη συσκευή στις οποίες είναι συνδεδεμένες. Αρκετές μάλιστα εταιρίες προσφέρουν τα απαραίτητα δεδομένα προγραμματισμού μέσω του διαδικτύου (Internet), ώστε ο επαναπρογραμματισμός να γίνεται με τη χρήση υπολογιστή και του τηλεφωνικού δικτύου.

Μνήμες τύπου EEPROM χρησιμοποιούνται στις κάρτες τηλεφώνου για την αποθήκευση των μονάδων. Οι έξυπνες κάρτες (smart cards) ενσωματώνουν ένα

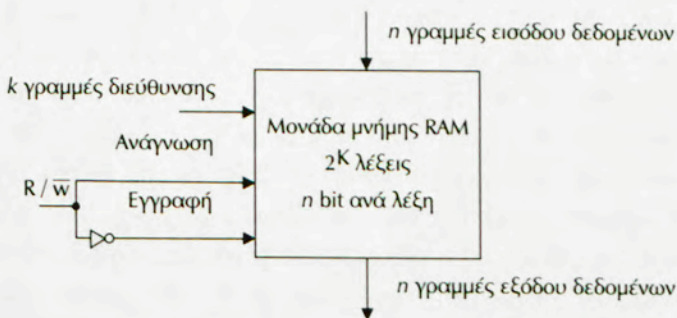
μικροεπεξεργαστή και μνήμη EEPROM για την αποθήκευση των προγραμμάτων λειτουργίας και δεδομένων, ενώ η πιο γνωστή τους εφαρμογή είναι τα SIM στα κινητά τηλέφωνα.

Οι FLASH μνήμες χρησιμοποιούνται για την αποθήκευση μεγάλου όγκου δεδομένων, όπως για παράδειγμα στους επιπλάμιους (palmtop) υπολογιστές, όπου έχουν το ρόλο της μνήμης μαζικής αποθήκευσης. Άλλες εφαρμογές χρήσης των FLASH μνημών αποτελούν τα μαγνητόφωνα και οι αυτόματοι τηλεφωνητές ηλεκτρονικής αποθήκευσης και οι ψηφιακές φωτογραφικές μηχανές.

10.4 Μνήμες RAM

Οι μνήμες RAM χρησιμοποιούνται για την αποθήκευση πληροφοριών οι οποίες μεταβάλλονται συχνά. Οι λειτουργίες ανάγνωσης (read) και εγγραφής (write) των πληροφοριών από και προς την μνήμη RAM γίνονται με την ίδια ευκολία σε αντίθεση με τις μνήμες ROM, ενώ οι χρόνοι προσπέλασης είναι από 5 φορές έως 50 φορές μικρότεροι (50 nsec έως 5 nsec). Η μνήμη RAM είναι πρόσκαιρη (volatile) και όταν διακόψουμε την τάση τροφοδοσίας της, τα δεδομένα της χάνονται ενώ με την επάνοδο της τα περιεχόμενά της θα βρίσκονται σε τυχαίες καταστάσεις. Επειδή οι μνήμες RAM είναι ταχύτατες χρησιμοποιούνται σε μικροϋπολογιστές (microcomputers) ως κύρια μνήμη για την προσωρινή αποθήκευση προγραμμάτων και δεδομένων τα οποία αλλάζουν συχνά.

Η επικοινωνία του κάθε Ο.Κ. μνήμης RAM με άλλα ψηφιακά κυκλώματα γίνεται με ένα αριθμό n γραμμών εισόδου και n γραμμών εξόδου δεδομένων, k γραμμών επιλογής διεύθυνσης και γραμμών ελέγχου. Το σχήμα 10.4.1 μας δίνει το απλοποιημένο διάγραμμα μίας μνήμης RAM.



Σχήμα 10.4.1 Απλοποιημένο διάγραμμα μίας μνήμης RAM

Οι n γραμμές εισόδου χρησιμοποιούνται για την τοποθέτηση των δεδομένων της λέξης που θα εγγραφεί και οι n γραμμές εξόδου χρησιμοποιούνται για την

ανάγνωση των δεδομένων της λέξης που έχει επιλεγεί. Για λόγους περιορισμού του πλήθους των γραμμών, έχει επικρατήσει στα Ο.Κ. των μνημών RAM οι ακροδέκτες εισόδου και εξόδου να είναι κοινοί. Ανάλογα με τη λειτουργία που επιλέγουμε κάθε φορά (ανάγνωση ή εγγραφή) οι ακροδέκτες θα συμπεριφέρονται σαν γραμμές εξόδου ή εισόδου αντίστοιχα. Η επιλογή της λειτουργίας γίνεται με την είσοδο ελέγχου R/\overline{W} ανάγνωσης και εγγραφής. Όταν η είσοδος αυτή έχει τη λογική κατάσταση "1", τότε έχουμε λειτουργία ανάγνωσης, ενώ, όταν είναι σε λογική κατάσταση "0" έχουμε λειτουργία εγγραφής. Η χωρητικότητα των Ο.Κ. RAM αναφέρεται σαν ένα γινόμενο δύο αριθμών. Ο πρώτος είναι ο συνολικός αριθμός των λέξεων, ενώ ο δεύτερος είναι το μήκος της κάθε λέξης σε bits.

Παράδειγμα

Ένα Ο.Κ. μιας RAM έχει χωρητικότητα 32Kx8 bits, με κοινούς ακροδέκτες εισόδου-εξόδου δεδομένων. Να βρείτε πόσοι και ποιοι είναι οι ακροδέκτες του.

Από την έκφραση της χωρητικότητας (στην οποία παραλείπεται η μονάδα των bits) ο πρώτος αριθμός δηλώνει το συνολικό αριθμό των λέξεων. Γράφουμε αυτόν τον αριθμό σαν δύναμη του $2: 32K = 2^5 \times 2^{10} = 2^{15}$. Άρα οι ακροδέκτες στους οποίους τοποθετούμε την πληροφορία της διεύθυνσης (ή ισοδύναμα το πλήθος των γραμμών του διαύλου διευθύνσεων) θα είναι 15. Από το δεύτερο αριθμό συμπεραίνουμε ότι το μήκος της λέξης σε bits είναι 8 (ή ισοδύναμα ένα byte), επομένως θα υπάρχουν 8 κοινοί ακροδέκτες εισόδου-εξόδου των δεδομένων. Φυσικά θα υπάρχει η είσοδος ελέγχου R/\overline{W} , ο ακροδέκτης τροφοδοσίας του Ο.Κ καθώς και η γείωσή του. Επομένως, συνολικά ο αριθμός των ακροδεκτών του Ο.Κ. της μνήμης RAM θα είναι 26.

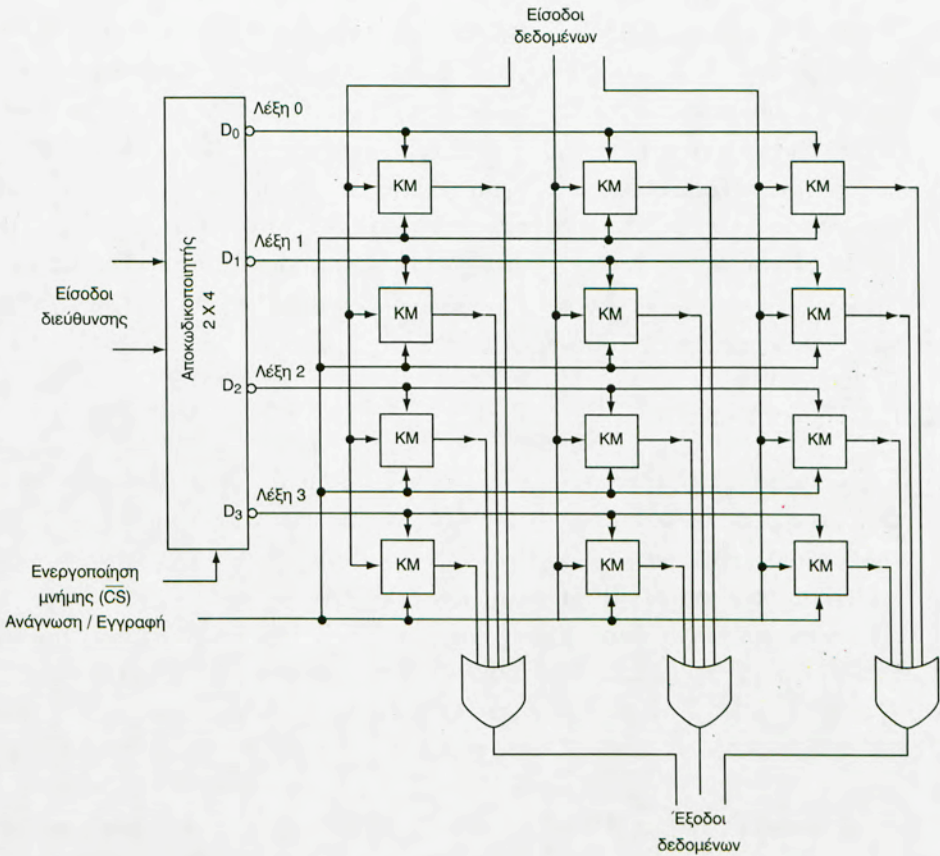
Τρίτη κατάσταση (tri-state)

Θα δούμε ότι υπάρχει και άλλη μία είσοδος ελέγχου του Ο.Κ. η οποία ονομάζεται **είσοδος επιλογής** του Ο.Κ. και συμβολίζεται σαν \overline{CS} (**Chip select**). Ο συμβολισμός του συμπληρώματος δηλώνει ότι, όταν αυτή η είσοδος βρίσκεται σε λογική κατάσταση "0", τότε το Ο.Κ. της μνήμης λειτουργεί κανονικά (έχει επιλεγεί το ολοκληρωμένο κύκλωμα). Όταν βρίσκεται σε λογική κατάσταση "1", τότε το Ο.Κ. της μνήμης είναι απενεργοποιημένο και οι είσοδοι-εξοδοί του συμπεριφέρονται σαν να είναι αποσυνδεδεμένες ηλεκτρικά από το εξωτερικό περιβάλλον. Η κατάσταση αυτή των εισόδων-εξόδων του για να διακρίνεται από τις λογικές καταστάσεις "0" και "1" ονομάζεται "τρίτη κατάσταση" (tri-state) ή κατάσταση υψηλής σύνθετης αντίστασης και συμβολίζεται στα φυλλάδια των κατασκευαστών ως "Z" ή ως "Hi-Z". Η κατάσταση υψηλής σύνθετης αντίστασης για μία είσοδο ή έξοδο ισοδυναμεί ηλεκτρικά με την ύπαρξη πολύ μεγάλης αντίστασης μεταξύ της εισόδου ή εξόδου και της γείωσης του κυκλώματος. Οι είσοδοι επιλογής ολοκληρωμένου κυκλώματος δίνουν τη δυνατότητα της επέκτασης (δηλαδή της κατασκευής μνημών με με-

γαλύτερες χωρητικότητες), όπως και της υλοποίησης των διαύλων, δηλαδή, της σύνδεσης παράλληλα πολλών ψηφιακών εξόδων σε μία κοινή γραμμή.

10.4.1 Εσωτερική δομή μνήμης RAM

Η εσωτερική δομή μίας μνήμης RAM παρουσιάζει πολλές ομοιότητες με την εσωτερική δομή της μνήμης ROM. Οι n ψηφιακές είσοδοι των διευθύνσεων οδηγούνται σε έναν αποκωδικοποιητή n σε 2^n . Ο αποκωδικοποιητής αντιστοιχεί στη συγκεκριμένη διεύθυνση, που έχουμε τοποθετήσει στις εισόδους των διευθύνσεων, μία συγκεκριμένη λέξη. Όταν έχουμε προσπέλαση σε μια λέξη, όλες οι άλλες λέξεις της μνήμης θα είναι απενεργοποιημένες, δηλαδή τα δεδομένα τους δεν αλλάζουν, ενώ οι εξοδοί των βασικών κυττάρων που τις αποτελούν θα βρίσκονται σε λογική κατάσταση "0". Στο σχήμα 10.4.2 έχουμε την εσωτερική δομή μίας μνήμης RAM με χωρητικότητα 4×3 bits, δηλαδή τεσσάρων λέξεων με 3 bits η κάθε λέξη. Παρατηρούμε ότι χρειάζονται δύο είσοδοι για τη διεύθυνση, οι οποίες οδη-



Σχήμα 10.4.2 Εσωτερική δομή μίας μνήμης RAM 4×3

γούνται στον αποκωδικοποιητή 2x4. Οι έξοδοι του αποκωδικοποιητή οδηγούνται στα κύτταρα μνήμης (KM) της κάθε λέξης. Το κύτταρο μνήμης κατασκευάζεται με ένα flip-flop στο οποίο έχουν προστεθεί κάποια κυκλώματα για την ανάγνωση και την εγγραφή της πληροφορίας.

Η κάθε λέξη αποτελείται από τρία βασικά κύτταρα (bits) μνήμης με μία είσοδο και μία έξοδο δεδομένων, μία είσοδο για την επιλογή της λειτουργίας ανάγνωσης ή εγγραφής και μία είσοδο ενεργοποίησης (ενεργοποιείται σε λογική κατάσταση "0") κοινή σε όλα τα κύτταρα της κάθε λέξης και συνδεδεμένη σε μία έξοδο του αποκωδικοποιητή. Όταν δεν είναι ενεργοποιημένο ένα κύτταρο (είσοδος ενεργοποίησης σε λογική κατάσταση "1") η έξοδός του θα είναι "0" ανεξάρτητα από το πραγματικό του περιεχόμενο.

Ο αποκωδικοποιητής έχει μία είσοδο ενεργοποίησης. Όταν αυτή η είσοδος είναι "1" τότε όλες οι έξοδοι του αποκωδικοποιητή είναι "1" και δεν επιλέγεται κανένα κύτταρο, επομένως οι έξοδοί τους είναι σε λογική κατάσταση "0". Οι έξοδοι δεδομένων της μνήμης θα είναι σε λογική κατάσταση "0", ανεξάρτητα από τη διεύθυνση που τοποθετούμε.

Όταν ο αποκωδικοποιητής είναι ενεργοποιημένος (είσοδος ενεργοποίησης σε λογική κατάσταση "0"), τότε ανάλογα με τη διεύθυνση που έχουμε τοποθετήσει, μόνο μία από τις εξόδους του αποκωδικοποιητή θα είναι σε λογική κατάσταση "0". Όλα τα κύτταρα μνήμης που η είσοδος ενεργοποίησής τους είναι συνδεδεμένα σ' αυτή την έξοδο θα είναι ενεργοποιημένα και μπορεί να γίνει η ανάγνωση ή εγγραφή τους. Τα υπόλοιπα κύτταρα είναι απενεργοποιημένα, επομένως οι έξοδοί τους είναι "0" και λόγω των πυλών OR δεν επηρεάζουν τις εξόδους της μνήμης κατά τη λειτουργία ανάγνωσης, ενώ δεν μεταβάλλουν τα περιεχόμενά τους κατά τη λειτουργία εγγραφής.

10.4.2 Τύποι RAM

Υπάρχει μεγάλη ποικιλία στους τύπους των RAM ανάλογα με τον τρόπο κατασκευής του βασικού κυττάρου της μνήμης. Μπορούμε να χωρίσουμε τις μνήμες RAM σε δύο κατηγορίες:

✓ Οι **στατικές μνήμες RAM** (Static RAM, SRAM). Το βασικό κύτταρο μιας SRAM μπορούμε να θεωρήσουμε ότι βασίζεται σε ένα flip-flop το οποίο αποθηκεύει τη δυαδική πληροφορία. Τα δεδομένα θα παραμείνουν αποθηκευμένα για όσο χρόνο θα υπάρχει τροφοδοσία στο Ο.Κ. Οι μέγιστες χωρητικότητες είναι της τάξης των 512 Kbits, ενώ οι ελάχιστοι χρόνοι προσπέλασης είναι της τάξης των 5 nsec.

✓ Οι **δυναμικές μνήμες RAM** (Dynamic RAM, DRAM). Το βασικό κύτταρο μιας DRAM μπορούμε να θεωρήσουμε ότι βασίζεται σε έναν πυκνωτή ο οποίος αποθηκεύει τη δυαδική πληροφορία σαν φορτίο. Το φορτίο που είναι αποθηκευμένο

στους πυκνωτές αυτούς ελαττώνεται με το χρόνο (εκφόρτιση πυκνωτή) με αποτέλεσμα να χρειάζεται μια διαδικασία περιοδικής επαναφόρτισης. Η διαδικασία αυτή ονομάζεται “ανανέωση” (refresh) και θα πρέπει να επαναλαμβάνεται κάθε 1-10 msec για κάθε λέξη της μνήμης. Αρκετές μνήμες ενσωματώνουν το κύκλωμα ανανέωσης εσωτερικά στο Ο.Κ., ενώ σε άλλες πρέπει να υπάρχει εξωτερικός μηχανισμός ανανέωσης. Οι μέγιστες χωρητικότητες είναι της τάξης των 256 Mbits, ενώ οι ελάχιστοι χρόνοι προσπέλασης είναι της τάξης των 10 nsec.

Οι διευθύνσεις στις DRAM εφαρμόζονται σε μία ακολουθία δύο διαδοχικών βημάτων. Πρώτα εφαρμόζεται το περισσότερο σημαντικό μισό τμήμα της διεύθυνσης και έπειτα το λιγότερο σημαντικό μισό τμήμα της διεύθυνσης. Με αυτή την τεχνική περιορίζεται ο αριθμός των ακροδεκτών της διεύθυνσης στο μισό. Λόγω των μεγάλων χωρητικοτήτων των DRAM η τεχνική αυτή ακολουθείται πάντα. Το πλεονέκτημα των DRAM σε σύγκριση με τις SRAM είναι η μεγάλη χωρητικότητα (άρα και μικρότερο κόστος για τις ίδιες διαστάσεις Ο.Κ.) και η μικρή κατανάλωση ισχύος. Μειονεκτούν σε σχέση με τις SRAM ως προς την ταχύτητα. Τελευταία έχει αρκετή διάδοση ένας τύπος DRAM, οι σύγχρονες δυναμικές μνήμες RAM (Synchronous Dynamic RAM ή σύντομα SDRAM). Αυτές προσφέρουν υψηλές ταχύτητες προσπέλασης χρησιμοποιώντας τεχνικές σύμφωνα με τις οποίες, όταν δίνεται μία διεύθυνση για προσπέλαση μετά το τέλος της διαδικασίας, η μνήμη αυτόματα προετοιμάζεται για προσπέλαση στην επόμενη θέση (ή θέσεις) μνήμης σε συγχρονισμό με τους παλμούς ενός ρολογιού.

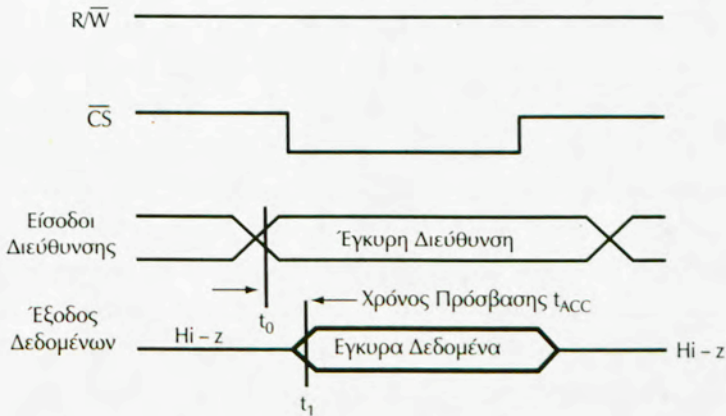
10.4.3 Χρονισμός μνήμης RAM

Θα παρουσιάσουμε τα διαγράμματα χρονισμού, τα οποία μας δείχνουν την χρονική εξέλιξη των διαφόρων σημάτων εισόδου και εξόδου κατά την προσπέλαση μιας στατικής μνήμης RAM. Κατά τη μελέτη των διαγραμμάτων χρονισμού μιας μνήμης RAM από τα φυλλάδια της κατασκευάστριας εταιρίας (data sheets) πρέπει να μπορούμε να εξάγουμε κάποια χαρακτηριστικά της μνήμης και να τα αξιολογήσουμε σε σχέση με τις απαιτήσεις του ψηφιακού συστήματος στο οποίο θα χρησιμοποιηθεί. Για παράδειγμα, αν χρησιμοποιηθεί μια μνήμη RAM ως κύρια μνήμη ενός υπολογιστή που χρησιμοποιεί μια ταχύτατη κεντρική μονάδα επεξεργασίας (CPU), θα πρέπει η μνήμη να είναι το ίδιο γρήγορη για να μπορεί να ανταποκριθεί στις απαιτήσεις χρονισμού της συγκεκριμένης CPU.

Στα σχήματα 10.4.3 και 10.4.4 φαίνονται τα διαγράμματα χρονισμού ενός κύκλου ανάγνωσης και εγγραφής μιας SRAM. Θα θεωρήσουμε, ως παράδειγμα, ότι μία CPU επικοινωνεί με τη συγκεκριμένη μνήμη. Επομένως κατά τον κύκλο ανάγνωσης ή εγγραφής η CPU τοποθετεί την επιθυμητή διεύθυνση, εφαρμόζει τα σήματα ελέγχου (\overline{CS} και R/\overline{W}) και διαβάζει ή γράφει αντίστοιχα τα δεδομένα.

Κύκλος ανάγνωσης (Read cycle)

Στο σχήμα 10.4.3 φαίνεται το διάγραμμα χρονισμού για έναν ολόκληρο κύκλο ανάγνωσης. Στο σχήμα υπάρχουν τέσσερις κυματομορφές (χρονική εξέλιξη σημάτων) μία για τις διευθύνσεις, μία για τα δεδομένα, μία για την επιλογή του Ο.Κ. (\overline{CS}) και μία για την επιλογή της λειτουργίας ανάγνωσης/εγγραφής (R/\overline{W}).



Σχήμα 10.4.3 Κύκλος ανάγνωσης μιας στατικής μνήμης RAM

Τα σήματα διεύθυνσης εμφανίζονται σαν δύο γραμμές που αντιστοιχούν στις δύο λογικές καταστάσεις "0" και "1". Συνήθιζεται αυτή η αναπαράσταση, αφού τα data sheets δεν αναφέρονται συνήθως σε κάποια συγκεκριμένη διεύθυνση, άρα οι εισόδοι διεύθυνσης μπορούν να πάρουν τη λογική κατάσταση "1" ή "0". Έχει επιλεγεί αυτός ο τρόπος αναπαράστασης της χρονικής εξέλιξης, ώστε να αναφέρεται το διάγραμμα χρονισμού σε όλες τις γραμμές εισόδου διεύθυνσης ταυτόχρονα.

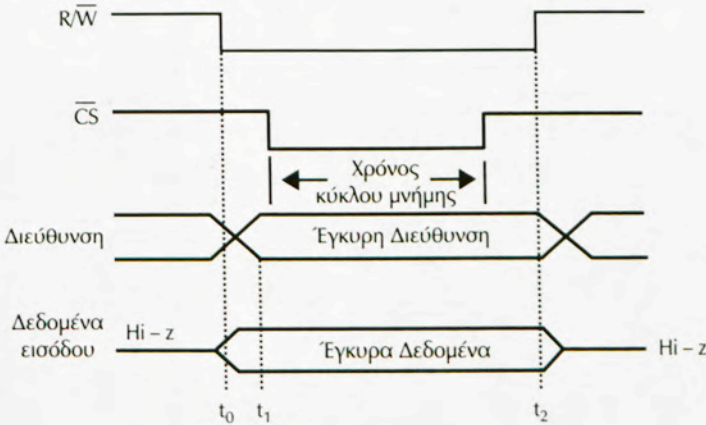
Παρόμοια είναι και η αναπαράσταση των σημάτων του διαύλου των δεδομένων (data bus). Στις αναπαραστάσεις των λογικών καταστάσεων του διαύλου δεδομένων εμφανίζεται και η τρίτη κατάσταση (Hi-Z) η οποία παριστάνεται σαν μία ευθεία γραμμή σε μια ενδιάμεση κατάσταση (ούτε λογική κατάσταση "0" ούτε "1").

Ο κύκλος ανάγνωσης ξεκινά από τη χρονική στιγμή t_0 , κατά την οποία η CPU δίνει τη διεύθυνση της λέξης και υπάρχουν έγκυρα δεδομένα στις εισόδους διεύθυνσης της μνήμης. Αυτή τη χρονική στιγμή η είσοδος R/\overline{W} είναι σε κατάσταση "1". Μετά από ένα χρονικό διάστημα, απαραίτητο για να σταθεροποιηθούν τα σήματα διεύθυνσης, η είσοδος ελέγχου \overline{CS} αλλάζει από "1" σε "0" ώστε να επιλεγεί το Ο.Κ. της μνήμης. Μετά την επιλογή του Ο.Κ. και μετά από ένα χρονικό διάστημα, τη χρονική στιγμή t_1 , ο διάυλος των δεδομένων παύει να είναι σε κατάσταση HiZ και εμφανίζει τα δεδομένα της λέξης η οποία αντιστοιχεί στην διεύθυνση που δόθηκε. Ο χρόνος προσπέλασης θα είναι $t_{ACC} = t_1 - t_0$. Ο χρόνος προ-

σπέλασης είναι ο χρόνος τον οποίο χρειάζεται η μνήμη για να εμφανίσει τα δεδομένα στις εξόδους της. Ο χρόνος αυτός μετριέται από την τελευταία αλλαγή η οποία συμβαίνει στις γραμμές διεύθυνσης.

Κύκλος εγγραφής (Write cycle)

Στο σχήμα 10.4.4 φαίνεται το διάγραμμα χρονισμού για έναν ολόκληρο κύκλο εγγραφής. Ο κύκλος εγγραφής ξεκινά από τη χρονική στιγμή t_0 . Αυτή τη χρονική στιγμή η είσοδος R/\overline{W} είναι σε κατάσταση "1" και η CPU δίνει τη διεύθυνση της λέξης που θα εγγραφεί. Η λειτουργία της εγγραφής ενεργοποιείται όταν τα σήματα R/\overline{W} και \overline{CS} πάρουν τη λογική κατάσταση "0".



Σχήμα 10.4.4 Κύκλος εγγραφής μιας στατικής μνήμης RAM

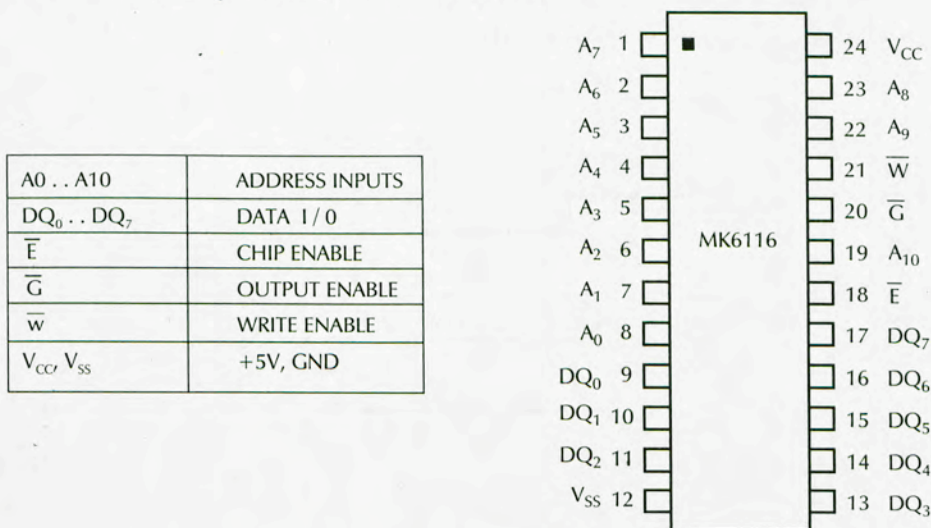
Για το χρονικό διάστημα που στο διάγραμμα αναφέρεται σαν χρόνος κύκλου μνήμης όλα τα σήματα (διευθύνσεων και ελέγχου) παραμένουν αμετάβλητα και τη χρονική στιγμή t_1 η CPU εφαρμόζει στο δίαυλο των δεδομένων τα δεδομένα που θα εγγραφούν. Στη συνέχεια τη χρονική στιγμή t_2 οι είσοδοι ελέγχου (R/\overline{W} και \overline{CS}) επιστρέφουν στη λογική κατάσταση "1" και τα δεδομένα αποθηκεύονται στη συγκεκριμένη διεύθυνση. Η CPU συνεχίζει να διατηρεί τα δεδομένα και τη διεύθυνση σταθερά για ένα χρονικό διάστημα μετά τη χρονική στιγμή t_2 .

10.4.4 Μνήμη RAM σε Ολοκληρωμένο Κύκλωμα

Σ' αυτή την παράγραφο θα συζητήσουμε τα διαγράμματα χρονισμού μιας μνήμης SRAM σε ολοκληρωμένη μορφή. Στα φυλλάδια δεδομένων των κατασκευαστών των μνημών SRAM οι σπουδαιότερες παράμετροι αναφέρονται στο χρονισμό τους και συνήθως δίνονται με διαγράμματα χρονισμού. Οι παράμετροι χρονισμού που μας ενδιαφέρουν αναφέρονται από τους κατασκευαστές με πρώτο αρχικό το t από

το time (χρόνο), ενώ ακολουθούν δείκτες που είναι συντομογραφίες των αρχικών ονομάτων των διαφόρων παραμέτρων. Δεν χρειάζεται να θυμόμαστε αυτές τις τιμές, αλλά θα πρέπει να μάθουμε τη γλώσσα αυτών των συντομογραφιών και να συσχετίζουμε τις τιμές που δίνονται με τα διαγράμματα χρονισμού.

Θα αναλύσουμε τα φυλλάδια δεδομένων του Ο.Κ. μνήμης SRAM MK6116. Αυτή η στατική μνήμη κατασκευάζεται από την SGS-THOMSON και έχει χωρητικότητα 2048 λέξεων, των 8 bits η κάθε λέξη (2Kx 8 bits). Οι ακροδέκτες του ολοκληρωμένου κυκλώματος φαίνονται στο Σχήμα 10.4.5.



Σχήμα 10.4.5 Ονομασία ακροδεκτών της SRAM MK6116

Το συγκεκριμένο ολοκληρωμένο κύκλωμα έχει συνολικά 24 ακροδέκτες: 11 γραμμές διεύθυνσης (A_0 - A_{10}), 8 γραμμές εισόδου/εξόδου δεδομένων (DQ_0 - DQ_7), τρεις γραμμές ελέγχου (\bar{E} , \bar{W} , \bar{G}), και δύο ακροδέκτες για την τροφοδοσία του (V_{CC} για τη σύνδεση στα +5 volts και V_{SS} για τη σύνδεση στη γείωση).

Οι ακροδέκτες A_0 - A_{10} είναι οι εισοδοί επιλογής διεύθυνσης και επειδή είναι 11, συμπεραίνουμε ότι μπορούμε να επιλέξουμε $2^{11} = 2048 = 2K$ θέσεις μνήμης.

Οι ακροδέκτες DQ_0 - DQ_7 είναι οι εισοδοί/έξοδοι των δεδομένων και επειδή είναι 8, συμπεραίνουμε ότι το μήκος της λέξης είναι 8 bits ή ισοδύναμα ένα byte.

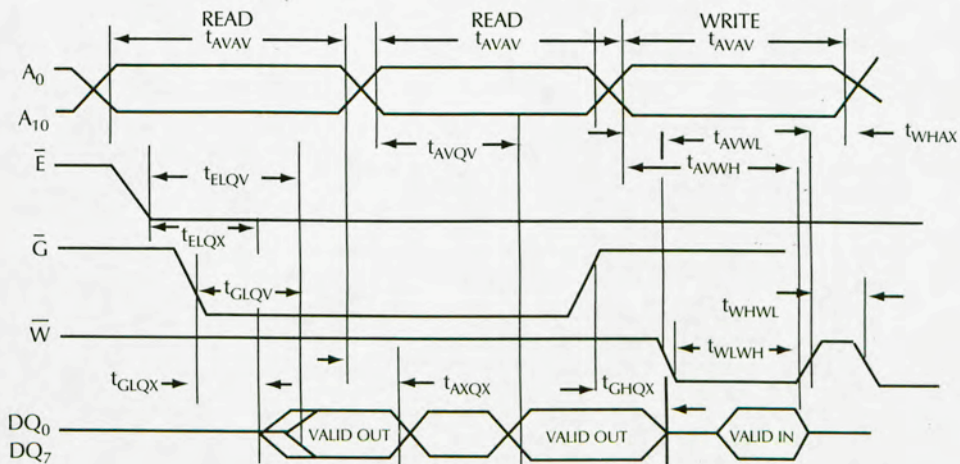
Ο ακροδέκτης \bar{E} ενεργοποιεί το ολοκληρωμένο κύκλωμα της μνήμης, όταν βρίσκεται σε κατάσταση LOW. Όταν ο ακροδέκτης αυτός βρίσκεται σε κατάσταση HIGH, τότε οι εισοδοί/έξοδοι των δεδομένων βρίσκονται σε κατάσταση υψηλής σύνθετης αντίστασης (Hi-Z). (Αντιστοιχεί στον ακροδέκτη \bar{CS} που έχουμε αναφέρει).

Ο ακροδέκτης \bar{G} ελέγχει το αν οι ακροδέκτες DQ_0 - DQ_7 θα είναι εισοδοί ή έξοδοι. Όταν είναι σε κατάσταση LOW, τότε θα είναι έξοδοι, ενώ όταν είναι σε κατάσταση HIGH, θα είναι εισοδοί.

Ο ακροδέκτης \overline{W} καθορίζει το αν θα διαβάσουμε από τη μνήμη (κύκλος ανάγνωσης), όταν βρίσκεται σε κατάσταση HIGH, ή θα γράψουμε στη μνήμη (κύκλος εγγραφής), όταν βρίσκεται σε κατάσταση LOW.

Κύκλος ανάγνωσης

Στο Σχήμα 10.4.6 φαίνονται οι κυματομορφές χρονισμού του κύκλου ανάγνωσης της SRAM MK6116. Για να διαβάσουμε τα δεδομένα μιας θέσης μνήμης με συγκεκριμένη διεύθυνση αρχικά τοποθετούμε την πληροφορία της διεύθυνσης στις γραμμές εισόδου A_0 - A_{10} . Στην συνέχεια (ή ταυτόχρονα με την τοποθέτηση της διεύθυνσης) θα πρέπει να ενεργοποιήσουμε το Ο.Κ. τοποθετώντας την είσοδο \overline{E} σε κατάσταση LOW. Η είσοδος \overline{G} , στη συνέχεια, πρέπει να πάρει την κατάσταση LOW ώστε οι ακροδέκτες των δεδομένων να είναι έξοδοι. Η είσοδος \overline{W} θα πρέπει να βρίσκεται σε κατάσταση HIGH ώστε να επιλεγεί κύκλος ανάγνωσης για τη μνήμη. Το αποτέλεσμα των παραπάνω λογικών καταστάσεων των εισόδων ελέγχου και διεύθυνσης είναι η εμφάνιση έγκυρων (valid) δεδομένων στις εξόδους δεδομένων της μνήμης και τα οποία αντιστοιχούν σ' αυτά που είναι αποθηκευμένα στην διεύθυνση που τοποθετήσαμε. Η εμφάνιση των δεδομένων γίνεται μετά από ένα χρονικό διάστημα t_{ELQV} το οποίο ορίζεται από την χρονική στιγμή που το σήμα ελέγχου \overline{E} πάρει την κατάσταση LOW έως ότου η μνήμη εμφανίσει έγκυρα δεδομένα στις εξόδους της. (Τα αρχικά του δείκτη ELQV αντιστοιχούν στις λέξεις E Low Q Valid).



Σχήμα 10.4.6 Κυματομορφές χρονισμού κύκλου ανάγνωσης της SRAM MK6116.

Υπάρχουν πολλά σύμβολα στο διάγραμμα χρονισμού του σχήματος 10.4.6. Το πλήθος αυτών των παραμέτρων οφείλεται στους διαφορετικούς συνδυασμούς που μπορούμε να έχουμε για την τοποθέτηση των πληροφοριών της διεύθυνσης και των

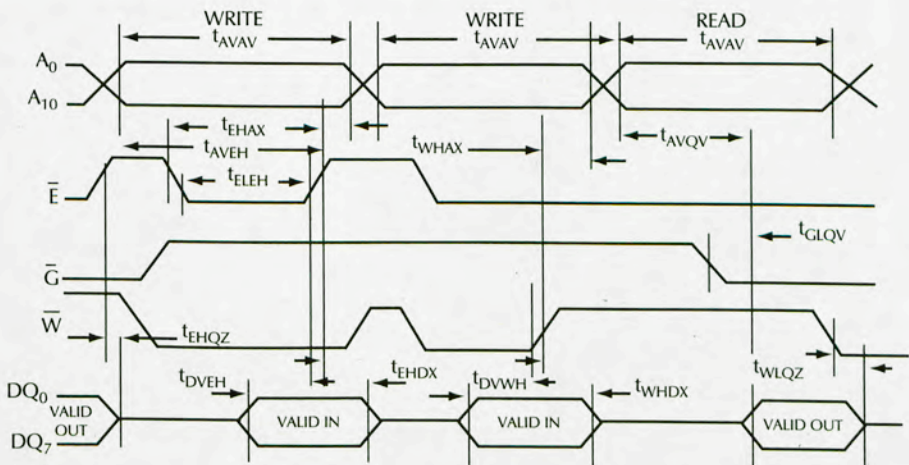
σημάτων ελέγχου. Για παράδειγμα στο σχήμα 10.4.6 εμφανίζονται δύο κύκλοι ανάγνωσης: στον πρώτο ακολουθούνται τα βήματα που περιγράψαμε (το \overline{W} βρίσκεται ήδη σε κατάσταση HIGH, τοποθετείται η διεύθυνση, έπειτα το \overline{E} , έπειτα το \overline{G}), ενώ στον δεύτερο κύκλο αλλάζει μόνο η διεύθυνση, ενώ όλα τα άλλα σήματα ελέγχου παραμένουν σταθερά. Οι κατασκευαστές δίνουν τις ελάχιστες και μέγιστες τιμές αυτών των παραμέτρων σε πίνακες (συνήθως οι μονάδες είναι σε nsec).

Ο χρόνος t_{AVAV} ορίζει το χρόνο του κύκλου ανάγνωσης και ταυτόχρονα το χρόνο για τον οποίο παραμένουν σταθερά τα δεδομένα της διεύθυνσης. Ο χρόνος t_{AVQV} ορίζεται σαν το χρονικό διάστημα που αρχίζει με την τοποθέτηση της διεύθυνσης (και με την προϋπόθεση τα \overline{E} , \overline{G} να βρίσκονται ήδη σε λογική κατάσταση LOW, ενώ το \overline{W} να είναι HIGH) και τελειώνει, όταν υπάρχουν έγκυρα δεδομένα στις εξόδους του.

Οι σπουδαιότερες από τις παραμέτρους χρονισμού είναι ο χρόνος προσπέλασης (access time), ο οποίος στο διάγραμμα δεδομένων του MK6116 συμβολίζεται σαν t_{AVQV} και ο χρόνος του κύκλου ανάγνωσης (read cycle time), ο οποίος στο διάγραμμα δεδομένων του MK6116 συμβολίζεται σαν t_{AVAV} και αντιπροσωπεύει το χρόνο μεταξύ της εκκίνησης ενός κύκλου ανάγνωσης και του επόμενου κύκλου.

Κύκλος εγγραφής

Στο Σχήμα 10.4.7 φαίνονται οι κυματομορφές χρονισμού του κύκλου εγγραφής της SRAM MK6116. Για να γράψουμε δεδομένα σε μια θέση μνήμης με συγκεκριμένη διεύθυνση αρχικά τοποθετούμε την πληροφορία της διεύθυνσης στις γραμμές εισόδου A_0 - A_{10} . Στη συνέχεια (ή ταυτόχρονα με την τοποθέτηση της διεύθυνσης) θα πρέπει να ενεργοποιήσουμε το Ο.Κ. τοποθετώντας την είσοδο \overline{E} σε κατάσταση LOW. Έπειτα πρέπει η είσοδος \overline{G} να πάρει την κατάσταση HIGH, ώστε οι ακροδέκτες των δεδομένων να είναι είσοδοι. Η είσοδος \overline{W} θα πρέπει να πάρει την κατάσταση LOW ώστε να επιλεγεί ο κύκλος εγγραφής για τη μνήμη.



Σχήμα 10.4.7 Κυματομορφές χρονισμού κύκλου εγγραφής της SRAM MK6116

Ο κύκλος εγγραφής ξεκινά, όταν οι εισόδοι ελέγχου \bar{E} και \bar{W} γίνουν LOW. Για να αποφευχθεί η εγγραφή λανθασμένων δεδομένων ένα από τα σήματα αυτά (ή και τα δύο) θα πρέπει να γίνουν HIGH, όταν θα έχουν εμφανισθεί τα δεδομένα στις εισόδους δεδομένων και πριν αλλάξει η διεύθυνση. Συνήθως, όταν το σήμα \bar{W} αλλάξει κατάσταση από LOW σε HIGH (δηλαδή με το θετικό μέτωπο), τότε τα δεδομένα που βρίσκονται στις εισόδους δεδομένων καταχωρούνται στη θέση μνήμης που επιλέχθηκε.

Από όλες τις παραμέτρους χρονισμού που φαίνονται στο Σχήμα 10.4.7 οι σπουδαιότερες είναι ο χρόνος τοποθέτησης των δεδομένων $t_{D\text{VWH}}$ για τον οποίο τα δεδομένα που θα εγγραφούν θα πρέπει να εμφανισθούν στις εισόδους πριν το θετικό μέτωπο του \bar{W} και ο χρόνος διατήρησης των δεδομένων t_{WHDX} για τον οποίο τα δεδομένα που θα εγγραφούν θα πρέπει να διατηρηθούν σταθερά στις εισόδους μετά το θετικό μέτωπο του \bar{W} . Για τους χρόνους αυτούς υποθέτουμε ότι το σήμα ελέγχου \bar{E} βρίσκεται συνεχώς σε κατάσταση LOW.

Επίσης σημαντική παράμετρος είναι ο χρόνος του κύκλου εγγραφής (write cycle time) ο οποίος στο διάγραμμα δεδομένων του MK6116 συμβολίζεται σαν t_{AVAV} και αντιπροσωπεύει το χρόνο μεταξύ της εκκίνησης ενός κύκλου εγγραφής και του επόμενου κύκλου.

10.4.5 Εφαρμογές των μνημών RAM

Οι μνήμες RAM χρησιμοποιούνται κυρίως σε υπολογιστικά συστήματα σαν κύρια μνήμη για την προσωρινή αποθήκευση προγραμμάτων και δεδομένων.

Σε πολλές εφαρμογές οι μνήμες RAM χρησιμοποιούνται σε συνδυασμό με μπαταρίες, ώστε να μην χάνονται τα δεδομένα τους με την διακοπή της τροφοδοσίας. Ένα πλήθος συσκευών χρησιμοποιεί αυτή την τεχνική, όπως υπολογιστές για την αποθήκευση των δεδομένων λειτουργίας τους, τηλέφωνα για την αποθήκευση συχνά χρησιμοποιούμενων αριθμών, ραδιόφωνα αυτοκινήτου για την αποθήκευση πληροφοριών συντονισμού σε συγκεκριμένους σταθμούς. Σήμερα αντικαθίστανται από EEPROM μνήμες ή συνδυάζονται με αυτές.

10.5 ΕΠΕΚΤΑΣΗ ΜΝΗΜΗΣ

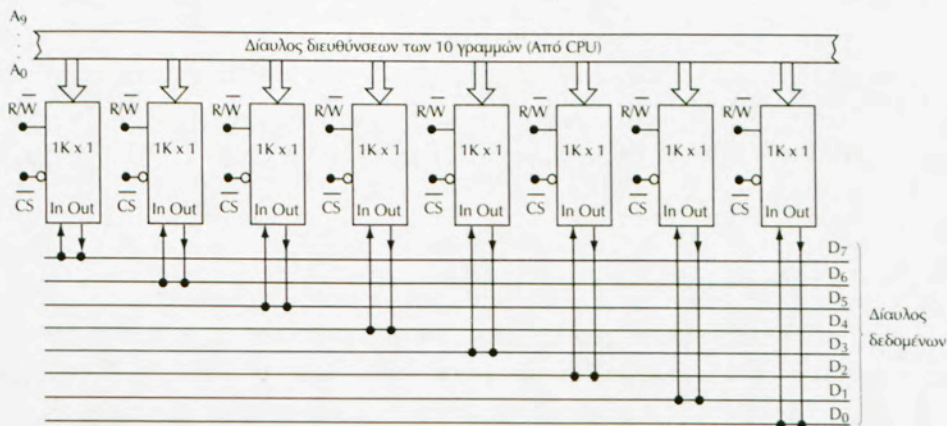
Οι μνήμες RAM και ROM σε Ο.Κ. υπάρχουν σε μια μεγάλη ποικιλία χωρητικότητας καθώς και μεγέθους λέξεων. Ανάλογα με την εφαρμογή δημιουργείται συχνά η ανάγκη της επέκτασης (αύξησης) είτε της χωρητικότητας είτε της διάστασης της λέξης της μνήμης. Για τις ανάγκες αυτές συνδέουμε Ο.Κ. μνήμης με κατάλληλο τρόπο, ώστε να κατασκευάσουμε τη μνήμη που απαιτείται για την εφαρμογή. Θα αναφερθούμε στις μνήμες RAM, αλλά ακριβώς η ίδια τεχνική μπορεί να εφαρμοσθεί και στους άλλους τύπους μνημών.

10.5.1 Επέκταση της διάστασης της λέξης μνήμης

Η επέκταση της διάστασης της λέξης μνήμης επιτυγχάνεται με τη σύνδεση παράλληλα των διαύλων διεύθυνσης των μνημών. Επίσης, παράλληλα συνδέονται όλοι οι ακροδέκτες ελέγχου των Ο.Κ. των μνημών. Οι εισοδοί-εξοδοί δεδομένων της κάθε μνήμης θα αποτελούν ένα τμήμα του διαύλου δεδομένων της μεγαλύτερης μνήμης που θέλουμε να κατασκευάσουμε. Στο παράδειγμα που ακολουθεί εφαρμόζεται αυτή η τεχνική επέκτασης της διάστασης της λέξης.

Παράδειγμα

Στην ανάπτυξη μίας εφαρμογής χρειάζεται μνήμη RAM χωρητικότητας 1Kx8 bits. Διαθέτουμε Ο.Κ. μνήμης RAM με χωρητικότητας 1Kx1 bits.



Σχήμα 10.5.1 Επέκταση λέξης μνήμης RAM 1Kx1

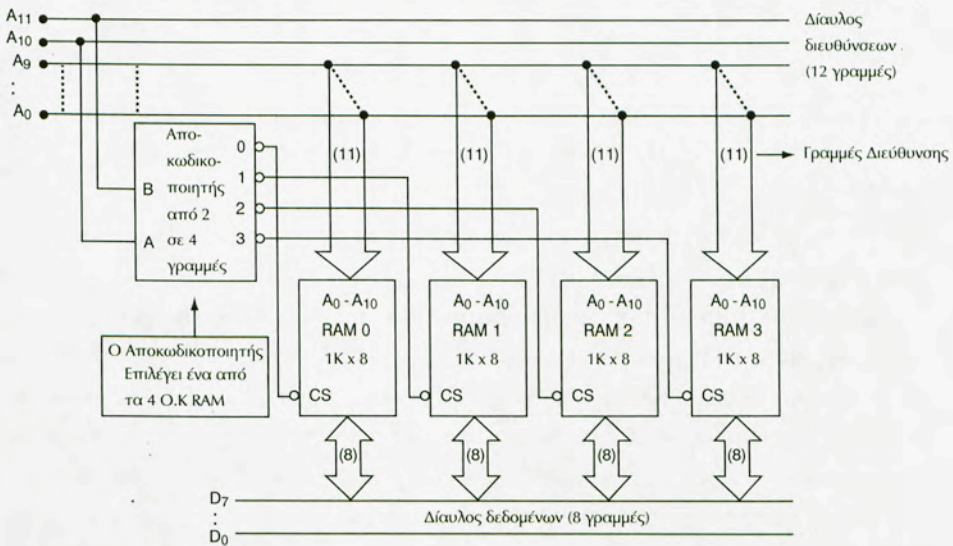
Για την επέκταση της διάστασης λέξης χρειαζόμαστε οκτώ Ο.Κ. μνήμης. Συνδέουμε παράλληλα όλες τις γραμμές διεύθυνσεων και ελέγχου \overline{CS} και R/\overline{W} , ενώ η γραμμή εισόδου-εξόδου δεδομένων του κάθε Ο.Κ. αποτελεί ένα από τα bits της λέξης της μνήμης που κατασκευάζουμε όπως φαίνεται στο Σχήμα 10.5.1. Η χωρητικότητα της μνήμης RAM που προέκυψε είναι 1Kx8 bits. Η κάθε λέξη στα Ο.Κ. θα αντιστοιχεί σε ένα bit της λέξης της μνήμης που κατασκευάσαμε. Για παράδειγμα, το πρώτο από αριστερά Ο.Κ μνήμης 1Kx1 bits θα περιέχει τα περισσότερα σημαντικά bits (MSB) D_7 των λέξεων της μνήμης που προέκυψε, ενώ το τελευταίο Ο.Κ μνήμης 1Kx1 bits θα περιέχει τα λιγότερα σημαντικά bits (LSB) D_0 .

10.5.2 Επέκταση της χωρητικότητας μνήμης

Η επέκταση της χωρητικότητας μνήμης επιτυγχάνεται με τη σύνδεση παράλληλα των διαύλων δεδομένων και διευθύνσεων των μνημών. Επίσης, παράλληλα συνδέεται η είσοδος ελέγχου R/\overline{W} των Ο.Κ. των μνημών. Οι είσοδοι ελέγχου \overline{CS} συνδέονται στις εξόδους ενός αποκωδικοποιητή. Οι είσοδοι του αποκωδικοποιητή είναι τα επιπλέον bits διεύθυνσης που απαιτούνται για τη χωρητικότητα της μνήμης που θέλουμε να κατασκευάσουμε. Στο παράδειγμα που ακολουθεί εφαρμόζεται αυτή η τεχνική επέκτασης χωρητικότητας μνήμης.

Παράδειγμα

Στην ανάπτυξη μίας εφαρμογής χρειάζεται μνήμη RAM χωρητικότητας 4Kx8 bits. Διαθέτουμε Ο.Κ. μνήμης RAM με χωρητικότητες 1Kx8 bits. Η επέκταση της μνήμης 1Kx8 bits στην επιθυμητή χωρητικότητα φαίνεται στο Σχήμα 10.5.2.



Σχήμα 10.5.2 Επέκταση χωρητικότητας μνήμης RAM 1Kx1 bits

Για την επέκταση της χωρητικότητας χρειαζόμαστε τέσσερα Ο.Κ. μνήμης. Συνδέουμε παράλληλα όλες τις γραμμές διευθύνσεων και δεδομένων, καθώς και τους ακροδέκτες R/\overline{W} . Θυμίζουμε ότι όταν η είσοδος ελέγχου \overline{CS} σε μία μνήμη είναι σε λογική κατάσταση "1", το Ο.Κ. συμπεριφέρεται σαν να είναι αποσυνδεδεμένο ηλεκτρικά από το περιβάλλον του. Ο αριθμός των γραμμών διεύθυνσης της μνήμης που θα κατασκευάσουμε πρέπει να είναι 12, λόγω του ότι ο αριθμός των

λέξεων της μνήμης που θέλουμε να κατασκευάσουμε είναι $4K=2^{12}$. Τα Ο.Κ. που διαθέτουμε έχουν $1K=2^{10}$ λέξεις και επομένως 10 ακροδέκτες για την διεύθυνση. Άρα απαιτούνται δύο επιπλέον γραμμές διεύθυνσης. Από τις 12 γραμμές διεύθυνσης οι 10 ($A_0..A_9$) είναι κοινές, ενώ οι A_{10} και A_{11} οδηγούνται στις δύο εισόδους του αποκωδικοποιητή. Οι τέσσερις έξοδοι του αποκωδικοποιητή συνδέονται στις εισόδους \overline{CS} των Ο.Κ. των μνημών. Σύμφωνα με τον παρακάτω πίνακα ανάλογα με τη διεύθυνση η οποία τοποθετείται στο δίαυλο των διευθύνσεων, ενεργοποιείται ένα μόνο από τα τέσσερα Ο.Κ. μνήμης, ενώ τα άλλα είναι απενεργοποιημένα.

bit διεύθυνσης $A_{11} A_{10}$	Ενεργοποιημένη Μνήμη	Περιοχή διευθύνσεων (δεκαδικό)	Περιοχή διευθύνσεων (δεκαεξαδικό)
0 0	RAM0	0-1023	000-3FF
0 1	RAM1	1024-2047	400-7FF
1 0	RAM2	2048-3071	800-BFF
1 1	RAM3	3072-4095	C00-FFF

Το κάθε ένα από τα τέσσερα Ο.Κ. μνήμης θα περιέχει το ένα τέταρτο των λέξεων της μνήμης που κατασκευάσαμε.

Επομένως **τα βήματα που ακολουθούμε για την επέκταση της χωρητικότητας μνήμης είναι τα εξής:**

1. Διαιρούμε τον αριθμό των λέξεων της μνήμης που θέλουμε να κατασκευάσουμε με τον αριθμό των λέξεων που περιέχει η μνήμη που θέλουμε να επεκτείνουμε. Το αποτέλεσμα της διαίρεσης είναι ο αριθμός των μνημών που χρειαζόμαστε για να κατασκευάσουμε τη μεγαλύτερη μνήμη.

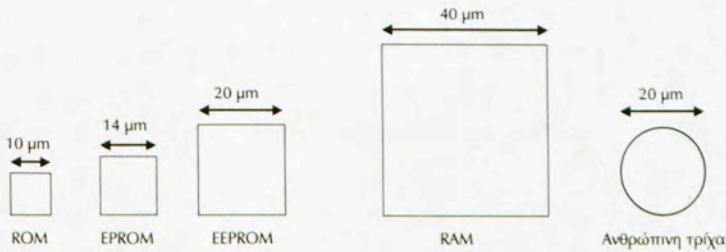
2. Το αποτέλεσμα της διαίρεσης το εκφράζουμε ως δύναμη του 2. Ο εκθέτης της δύναμης του 2 εκφράζει τον αριθμό των επιπλέον γραμμών διεύθυνσης οι οποίες δεν είναι κοινές στα Ο.Κ. των μνημών που χρησιμοποιούμε.

3. Χρησιμοποιούμε έναν αποκωδικοποιητή $n \times 2^n$ όπου n είναι ο αριθμός αριθμό των επιπλέον γραμμών διεύθυνσης που απαιτούνται. Κάθε μία έξοδος του αποκωδικοποιητή συνδέεται με την είσοδο ενεργοποίησης \overline{CS} ενός από τα Ο.Κ. μνήμης.

4. Συνδέουμε παράλληλα όλες τις γραμμές διεύθυνσης, δεδομένων και R/\overline{W} των Ο.Κ. μνήμης που χρησιμοποιούμε.

10.6 ΣΥΓΚΡΙΤΙΚΗ ΠΑΡΟΥΣΙΑΣΗ ΤΥΠΩΝ ΜΝΗΜΩΝ

Έχουμε εξετάσει σ' αυτό το κεφάλαιο έναν αριθμό από τύπους μνημών. Ο κάθε τύπος μνήμης έχει κάποια πλεονεκτήματα και κάποια μειονεκτήματα σύμφωνα με τα οποία επιλέγεται για την κάθε εφαρμογή. Τα κύρια χαρακτηριστικά που έχουμε αναφέρει είναι η χωρητικότητα, ο χρόνος προσπέλασης, ο αριθμός των επανεγγραφών, το αν είναι ή όχι πρόσκαιρη και το κόστος της. Το κόστος ενός τύπου μνήμης είναι ανάλογο των απαιτήσεων χώρου για την κατασκευή του βασικού κυττάρου της μνήμης από πυρίτιο. Στο Σχήμα 10.6.1 δίνονται οι διαστάσεις για την κατασκευή του βασικού κυττάρου του ενός bit σε πυρίτιο για τους διάφορους τύπους μνημών.



Σχήμα 10.6.1 Σύγκριση των απαιτήσεων χώρου για 1 bit ανάλογα με τον τύπο της μνήμης.

Από το Σχήμα 10.6.1 μπορούμε να συμπεράνουμε, συγκρίνοντας το κόστος, ότι μια μνήμη ROM έχει μικρότερο κόστος από μια μνήμη RAM ίδιας χωρητικότητας. Ανακεφαλαιώνοντας τονίζουμε ότι δεν υπάρχει μια “ιδανική” μνήμη που να έχει μόνο πλεονεκτήματα. Ανάλογα με την εφαρμογή επιλέγουμε την πιο κατάλληλη μνήμη. Στον παρακάτω πίνακα δίνεται η κατάταξη των διάφορων τύπων των μνημών με βάση τα κύρια χαρακτηριστικά τους.

Τύπος Μνήμης	Χωρητικότητα ανά Ο.Κ. (μέγιστη)	Χρόνος προσπέλασης (ελάχιστος)	Αριθμός επανεγγραφών (μέγιστος)	Κόστος μέγιστης χωρητικότητας	Σχόλια
DRAM	256 Mbits	10 nsec	Απεριόριστος	Χαμηλό	Πρόσκαιρη
SRAM	1 Mbits	2 nsec	Απεριόριστος	Υψηλό	Πρόσκαιρη
FLASH-EEPROM	128 Mbits	100 μsec ανά ομάδα λέξης	10^4 - 10^6	Υψηλό	Μη-πρόσκαιρη
EEPROM	256 Kbits	10 μsec	10^4 - 10^6	Πολύ υψηλό	Μη-πρόσκαιρη
EPROM	256 Kbits	100 nsec	1000	Μέγιστο	Μη-πρόσκαιρη
PROM	64 Kbits	250 nsec	1	Υψηλό	Μη-πρόσκαιρη
ROM	256 Kbits	250 nsec	Κατά την κατασκευή	Χαμηλό	Μη-πρόσκαιρη

10.7 ΠΕΡΙΛΗΨΗ

1. Οι μνήμες ημιαγωγών χρησιμοποιούνται στα ψηφιακά συστήματα για την αποθήκευση δεδομένων σε ψηφιακή μορφή.
2. Η λειτουργία ανάγνωσης όλων των τύπων των μνημών περιλαμβάνει τα βήματα: επιλογή διεύθυνσης της λέξης που επιθυμούμε να διαβάσουμε, τοποθέτηση των κατάλληλων σημάτων ελέγχου και ανάγνωση των δεδομένων.
3. Η λειτουργία εγγραφής των μνημών RAM περιλαμβάνει τα βήματα: επιλογή διεύθυνσης της λέξης που επιθυμούμε να γράψουμε, τοποθέτηση των κατάλληλων σημάτων ελέγχου και τοποθέτηση των προς εγγραφή δεδομένων στις εισόδους δεδομένων.
4. Η εσωτερική δομή των μνημών όλων των τύπων έχει αρκετές ομοιότητες. Οι γραμμές των διευθύνσεων οδηγούνται σε έναν αποκωδικοποιητή. Οι έξοδοι του αποκωδικοποιητή συνδέονται στα βασικά κύτταρα της μνήμης. Ανάλογα με τη διεύθυνση που επιλέγεται μόνο κάποια κύτταρα της μνήμης είναι ενεργοποιημένα.
5. Οι μνήμες τύπου ROM έχουν ως χαρακτηριστικό γνώρισμα ότι διατηρούν τα περιεχόμενά τους μετά την διακοπή της τάσης τροφοδοσίας.
6. Ανάλογα με τον τρόπο κατασκευής των βασικών κυττάρων, υπάρχουν διάφοροι τύποι ROM. Οι κυριότεροι είναι οι ROM οι οποίες προγραμματίζονται κατά την κατασκευή τους, οι PROM, οι EPROM και οι EEPROM. Οι διαφορές τους εντοπίζονται κυρίως στην ευκολία επανεγγραφής και στο κόστος τους.
7. Οι μνήμες RAM χάνουν τα δεδομένα τους μετά τη διακοπή της τάσης τροφοδοσίας τους. Η ονομασία μνήμη τυχαίας προσπέλασης οφείλεται στο γεγονός ότι ο χρόνος προσπέλασης μιας λέξης είναι ανεξάρτητος από την διεύθυνσή της.
8. Ανάλογα με τον τρόπο κατασκευής του βασικού κυττάρου υπάρχουν διάφοροι τύποι μνημών RAM. Δύο είναι οι γνωστότεροι τύποι οι στατικές μνήμες (SRAM) και οι δυναμικές μνήμες (DRAM).
9. Το βασικό κύτταρο μνήμης των στατικών μνημών βασίζεται σε ένα flip-flop το οποίο διατηρεί την αποθηκευμένη πληροφορία για όσο χρόνο υπάρχει τάση τροφοδοσίας. Το βασικό κύτταρο μνήμης των δυναμικών μνημών βασίζεται σε έναν πυκνωτή ο οποίος διατηρεί την αποθηκευμένη πληροφορία σε μορφή φορτίου.
10. Οι DRAM έχουν μεγαλύτερη χωρητικότητα και μικρότερο κόστος από τις SRAM. Μειονέκτημα των DRAM είναι ότι χρειάζονται ανανέωση και είναι πιο αργές από τις SRAM.

10.8 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ

1. Δίνονται οι χωρητικότητες των παρακάτω μνημών. Να προσδιορίσετε τον αριθμό των γραμμών διευθύνσεων και εισόδων-εξόδων δεδομένων για κάθε μνήμη.
 - (α) 1Kx16 bits
 - (β) 8Kx8 bits
 - (γ) 16Kx8 bits
 - (δ) 512x8 bits
 - (ε) 32Mx1 bits
2. Ποια η διαφορά της EPROM και της PROM;
3. Να περιγράψετε την διαδικασία επανεγγραφής μιας μνήμης EPROM.
4. Ποια είναι τα πλεονεκτήματα των EEPROM σε σύγκριση με τις EPROM;
5. Τι ονομάζουμε ανάγνωση μνήμης, εγγραφή μνήμης και χωρητικότητα μνήμης;
6. Σε μία ψηφιακή φωτογραφική μηχανή θα χρησιμοποιηθεί μνήμη FLASH για την αποθήκευση φωτογραφιών. Αν κάθε φωτογραφία χρειάζεται 16 KB μνήμης για την αποθήκευσή της, τι χωρητικότητα θα πρέπει να έχει η μνήμη για την αποθήκευση 32 φωτογραφιών;
7. Σε ένα κινητό τηλέφωνο χρησιμοποιείται μνήμη EEPROM χωρητικότητας 4KB για την αποθήκευση αριθμών τηλεφώνου. Αν τα στοιχεία για κάθε αριθμό τηλεφώνου και το όνομα του κατόχου του χρειάζονται χώρο αποθήκευσης 32 bytes πόσοι αριθμοί τηλεφώνου μπορούν να αποθηκευθούν;
8. Πόσες γραμμές διεύθυνσης απαιτούνται για μια μνήμη RAM 512 λέξεων;
9. Μία λέξη δεδομένων αποθηκεύεται σε μία μνήμη στην διεύθυνση FB16. Ποια θα είναι η ακολουθία των 1 και 0 τα οποία θα υπάρχουν στις 16 γραμμές διευθύνσεων όταν επιλεγεί αυτή η θέση μνήμης.
10. Ποια είναι η βασική διαφορά των μνημών RAM και ROM;
11. Ποιες είναι οι διαφορές των στατικών και δυναμικών μνημών RAM;
12. Ένα Ο.Κ. μνήμης SRAM έχει χωρητικότητα 256x8 bits. Πόσους ακροδέκτες θα πρέπει να έχει; Να περιγράψετε σύντομα τη λειτουργία των ακροδεκτών.

13. Πόσα Ο.Κ. στατικής μνήμης RAM χωρητικότητας 128x8 bits χρειάζονται για τη δημιουργία μιας μνήμης χωρητικότητας 512 bytes; Να σχεδιάσετε το κύκλωμα επέκτασης της χωρητικότητας της μνήμης.
14. Πόσα Ο.Κ. στατικής μνήμης RAM χωρητικότητας 64x8 bits χρειάζονται για τη δημιουργία μιας μνήμης χωρητικότητας 64x32 bits; Να σχεδιάσετε το κύκλωμα επέκτασης της διάστασης της λέξης της μνήμης.

1. Να περιγράφετε την αρχή λειτουργίας των μετατροπέων D/A.
2. Να ορίζετε τα κύρια χαρακτηριστικά των μετατροπέων D/A και να επιλέγετε τον μετατροπέα D/A με τις κατάλληλες προδιαγραφές ανάλογα με την εφαρμογή.
3. Να σχεδιάζετε μετατροπείς D/A τύπου R/2R.
4. Να μπορείτε να μελετάτε τα data sheets των μετατροπέων D/A σε ολοκληρωμένο κύκλωμα.
5. Να μπορείτε να χρησιμοποιείτε σε μία εφαρμογή μετατροπέα D/A σε ολοκληρωμένο κύκλωμα.
6. Να περιγράφετε την αρχή λειτουργίας των μετατροπέων A/D.
7. Να περιγράφετε τις αρχές της κβάντισης και της δειγματοληψίας.
8. Να ορίζετε τα κύρια χαρακτηριστικά των μετατροπέων A/D και να επιλέγετε τον A/D με τις κατάλληλες προδιαγραφές ανάλογα με την εφαρμογή.
9. Να μπορείτε να μελετάτε τα data sheets O.K. μετατροπέων A/D.
10. Να μπορείτε να χρησιμοποιείτε σε μία εφαρμογή O.K. μετατροπέων A/D.

11

κεφάλαιο

ΜΕΤΑΤΡΟΠΕΙΣ D/A ΚΑΙ A/D

11.1 ΕΙΣΑΓΩΓΗ

Με την ανάπτυξη των υπολογιστικών συστημάτων δόθηκε η δυνατότητα της ψηφιακής επεξεργασίας δεδομένων τα οποία αναπαριστούν φυσικές παραμέτρους (μεγέθη) όπως θερμοκρασία, πίεση, κλπ. Συστήματα ελέγχου (control systems) και συλλογής δεδομένων (data acquisition), τα οποία βασίζονται σε αναλογικά ηλεκτρονικά, αντικαθίστανται σε μεγάλο βαθμό από ψηφιακά συστήματα (digital systems).

Τα αναλογικά συστήματα (analog systems) χαρακτηρίζονται από το ότι τα σήματα τα οποία αναπαριστούν κάποια φυσική ποσότητα μπορούν να πάρουν οποιαδήποτε τιμή σε μια περιοχή τιμών. Στα ψηφιακά συστήματα (digital systems), τα σήματα τα οποία αναπαριστούν κάποια φυσική ποσότητα εκφράζονται με αριθμούς περιορισμένου μεγέθους και επομένως μπορούν να πάρουν μόνο συγκεκριμένες τιμές σε μια περιοχή τιμών. Ένα παράδειγμα αναλογικού συστήματος αποτελεί ένα μονοπάτι σε ένα ύψωμα, όπου υπάρχει άπειρος αριθμός σημείων που μπορεί κανείς να πατήσει για να ανέβει. Αντίθετα, μια σκάλα είναι ένα ψηφιακό διακριτό σύστημα, αφού υπάρχει συγκεκριμένος αριθμός θέσεων που μπορεί κανείς να πατήσει.

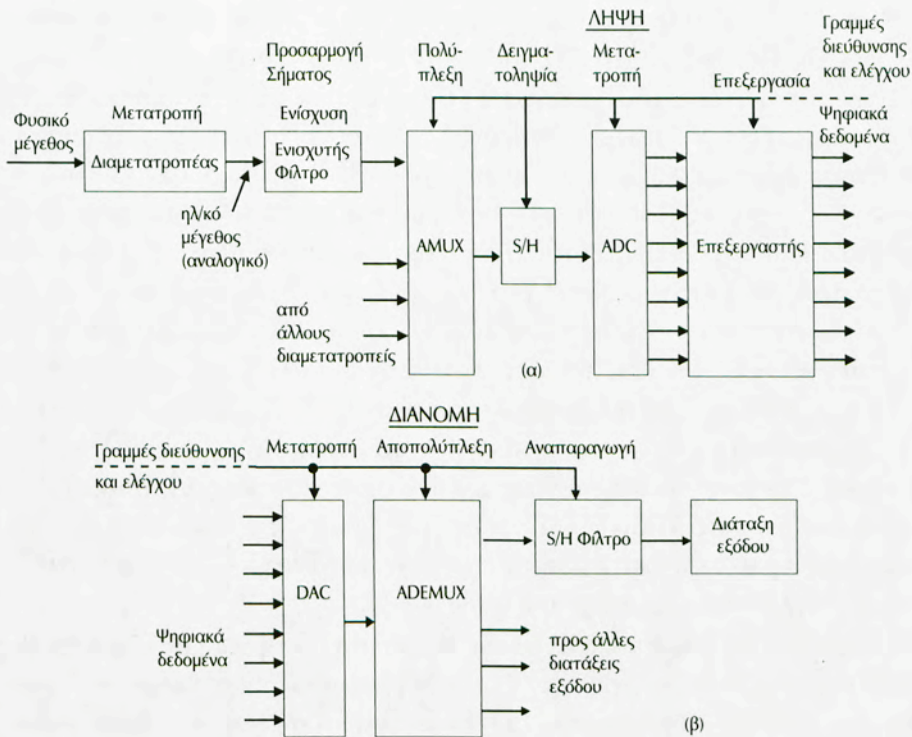
Στα ψηφιακά συστήματα δύο είναι τα απαραίτητα ηλεκτρονικά κυκλώματα για τη μετατροπή των σημάτων από αναλογικά σε ψηφιακά και αντίστροφα, ο μετατροπέας αναλογικού σήματος σε ψηφιακό (Analog to Digital Converter ή ADC ή A/D) και ο μετατροπέας ψηφιακού σήματος σε αναλογικό (Digital to Analog Converter ή DAC ή D/A). Οι τεχνικές ψηφιακής επεξεργασίας σήματος (digital signal processing) βασίζονται σε υπολογιστικά συστήματα και δίνουν επιδόσεις οι οποίες είναι δύσκολο ή αδύνατο να προσεγγισθούν με τα αναλογικά συστήματα με αποτέλεσμα τα ψηφιακά συστήματα να εκτοπίζουν τα αναλογικά με γοργούς ρυθμούς. Ένα τέτοιο παράδειγμα είναι η ραγδαία επικράτηση του CD για την αναπαραγωγή ήχου, συγκριτικά με τα αναλογικά συστήματα των μαγνητοφώνων και των δίσκων “πικάπ”.

Στο κεφάλαιο αυτό θα παρουσιάσουμε τους μετατροπείς A/D και D/A, τα βασικά τους χαρακτηριστικά, τα κυκλώματα με τα οποία υλοποιούνται οι πιο συνηθισμένοι τύποι, καθώς και τις βασικές αρχές σχεδιασμού των ψηφιακών συστημάτων ελέγχου και συλλογής-επεξεργασίας δεδομένων.

11.2 ΣΥΣΤΗΜΑ ΛΗΨΗΣ, ΕΠΕΞΕΡΓΑΣΙΑΣ ΚΑΙ ΔΙΑΝΟΜΗΣ ΔΕΔΟΜΕΝΩΝ

Το Σχήμα 11.2.1.(α) αναπαριστά ένα σύστημα λήψης και επεξεργασίας δεδομένων (data acquisition and signal processing). Οι μετατροπείς A/D και D/A αποτελούν τα ηλεκτρονικά κυκλώματα με τα οποία συνήθως γίνεται η διασύνδεση (interface)

του αναλογικού φυσικού κόσμου και ενός ψηφιακού συστήματος. Η φυσική παράμετρος (ποσότητα) η οποία θέλουμε να μετρηθεί (για παράδειγμα η θερμοκρασία του περιβάλλοντος) θα πρέπει πρώτα να μετατραπεί σε ένα αναλογικό ηλεκτρικό μέγεθος (ρεύμα ή τάση). Αυτή η μετατροπή γίνεται με το διαμετατροπέα (transducer) ο οποίος συνήθως περιέχει έναν αισθητήρα (sensor) και τα απαραίτητα ηλεκτρονικά κυκλώματα.



Σχήμα 11.2.1 (α) Σύστημα λήψης και επεξεργασίας δεδομένων
(β) Σύστημα επεξεργασίας και διανομής δεδομένων

Ο αισθητήρας είναι συνήθως ένα στοιχείο του οποίου μεταβάλλεται κάποιο από τα ηλεκτρικά του χαρακτηριστικά (ηλεκτρική αντίσταση, χωρητικότητα, αυτεπαγωγή) με τη μεταβολή κάποιου φυσικού μεγέθους (πίεση, θερμοκρασία, υγρασία κλπ.). Αισθητήρες για τη μέτρηση ενός φυσικού μεγέθους υπάρχουν σε μεγάλη ποικιλία και παρουσιάζουν πλεονεκτήματα ή μειονεκτήματα ανάλογα με την εφαρμογή. Παραδείγματα αισθητήρων αποτελούν τα φωτοκύτταρα (photocells), οι φωτοδίοδοι (photodiodes), τα thermistors, τα θερμοζεύγη (thermocouples), τα μικρόφωνα (microphones).

Για τη μέτρηση της θερμοκρασίας του παραδείγματός μας χρησιμοποιείται αισθητήρας πλατίνας του οποίου η ηλεκτρική αντίσταση μεταβάλλεται ανάλογα με τη θερμοκρασία. Με την χρησιμοποίηση κατάλληλων ηλεκτρονικών κυκλωμάτων κατασκευάζεται διαμετροπέας με τον οποίο η μεταβολή της αντίστασης του αισθητήρα μετατρέπεται σε μεταβολή ηλεκτρικής τάσης (ή ρεύματος). Η έξοδος του διαμετατροπέα είναι στο παράδειγμά μας μια αναλογική τάση ανάλογη της θερμοκρασίας. Αν η θερμοκρασία μεταβάλλεται από τους 0°C έως τους 40°C , η αντίσταση του αισθητήρα θα μεταβάλλεται από 500Ω μέχρι 1500Ω και η έξοδος του διαμετατροπέα θα είναι μια τάση από $0\text{-}50\text{ mV}$.

Το επόμενο στάδιο του συστήματος συλλογής και επεξεργασίας δεδομένων είναι τα ηλεκτρονικά κυκλώματα προσαρμογής του σήματος (signal conditioning) του διαμετατροπέα. Με τα κυκλώματα προσαρμογής τα χαρακτηριστικά του αναλογικού σήματος εξόδου του διαμετατροπέα (εύρος πλάτους, περιοχή συχνοτήτων κλπ.) προσαρμόζονται στα χαρακτηριστικά του σήματος που μπορεί να μετατρέψει ο μετατροπέας A/D. Για παράδειγμα η περιοχή της τάσης που μπορεί να μετατρέψει ένας μετατροπέας A/D είναι σταθερή και εξαρτάται από τον κατασκευαστή του Ο.Κ. του μετατροπέα A/D. Στο παράδειγμά μας ο μετατροπέας A/D μετατρέπει τάσεις στην περιοχή από $0\text{-}5\text{V}$. Το κύκλωμα προσαρμογής θα πρέπει να ενισχύσει το σήμα εξόδου του διαμετατροπέα επί 100, ώστε να ταιριάζει με την περιοχή των τάσεων που ο μετατροπέας A/D μπορεί να μετατρέψει. Συνήθως το κύκλωμα προσαρμογής περιλαμβάνει και ένα φίλτρο απόρριψης υψηλών συχνοτήτων, το οποίο έχει επικρατήσει να ονομάζεται φίλτρο αποφυγής αναδίπλωσης (anti-aliasing filter).

Το επόμενο στάδιο είναι ο **αναλογικός πολυπλέκτης (analog multiplexer AMUX)** σήματος. Η λειτουργία του είναι παρόμοια με αυτήν του ψηφιακού πολυπλέκτη με τη διαφορά ότι τα σήματα είναι αναλογικά και παίρνουν οποιαδήποτε τιμή σε μία περιοχή τιμών. Με την εφαρμογή της διεύθυνσης επιλογής καναλιού του πολυπλέκτη επιλέγουμε ένα μόνο από τα σήματα εισόδου να εμφανιστεί στην έξοδό του και να ψηφιοποιηθεί από τον μετατροπέα A/D. Χρησιμοποιείται για να αυξήσουμε τον αριθμό των αναλογικών εισόδων τις οποίες μπορούμε να ψηφιοποιήσουμε με ένα μετατροπέα A/D.

Το επόμενο στάδιο είναι το κύκλωμα δειγματοληψίας και συγκράτησης (Sample and Hold - S/H). Το κύκλωμα S/H μπορούμε να το φανταστούμε σαν ένα πυκνωτή του οποίου το ένα άκρο είναι σταθερά συνδεδεμένο στη γείωση του συστήματος, ενώ το άλλο του άκρο συνδέεται τότε στο αναλογικό σήμα που θα ψηφιοποιηθεί και τότε στην είσοδο του μετατροπέα A/D. Το αποτέλεσμα αυτής της μεταγωγής είναι ο μετατροπέας A/D να έχει στην είσοδό του πάντα ένα αναλογικό σήμα που δεν μεταβάλλεται και που **αντιπροσωπεύει** το αναλογικό σήμα που θέλουμε να ψηφιοποιηθεί σε κάποια χρονική στιγμή.

Ο μετατροπέας A/D στην είσοδό του δέχεται ένα αναλογικό σήμα και στην έξοδό του παράγει ένα ψηφιακό σήμα, δηλαδή μία ψηφιακή λέξη. Η ψηφιακή λέξη που παράγεται αποτελείται πάντα από ένα συγκεκριμένο αριθμό bits. Ο αριθμός των bits κατά τη μετατροπή, το πλάτος του εφαρμοζόμενου αναλογικού σήματος, καθώς και ο απαιτούμενος χρόνος για τη μετατροπή του αναλογικού σήματος σε ψηφιακό αποτελούν τα σημαντικότερα χαρακτηριστικά ενός μετατροπέα A/D.

Στη συνέχεια ο επεξεργαστής του συστήματος θα επεξεργαστεί ή/και θα αποθηκεύσει τα ψηφιακά δεδομένα, ανάλογα με το πρόγραμμα λειτουργίας του. Σε πολλές περιπτώσεις, κυρίως συστημάτων ελέγχου, ψηφιακά δεδομένα χρησιμοποιούνται από τον επεξεργαστή με μία ακριβώς συμμετρική διαδικασία παραγωγής ψηφιακού σήματος σε αναλογικό. Το Σχήμα 11.2.1.(β) δείχνει τα διάφορα τμήματα ενός συστήματος διανομής σήματος σε διατάξεις εξόδου, το οποίο έχει μετατραπεί από ψηφιακό σε αναλογικό. Οι διατάξεις εξόδου, συνήθως, ελέγχουν διαδικασίες, όπως η λειτουργία κινητήρων, η παραγωγή κυματομορφών κλπ.

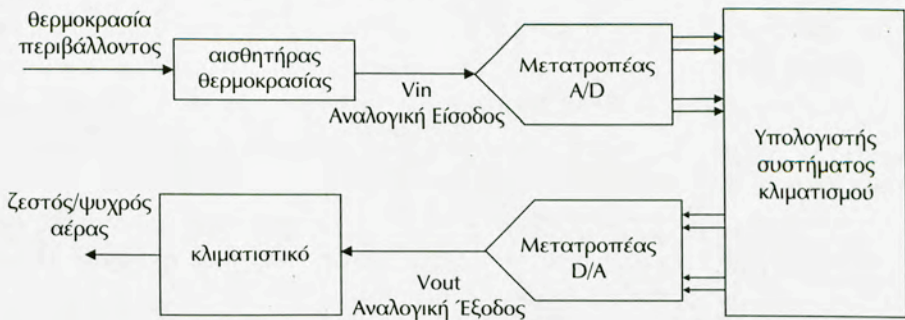
Το πρώτο στάδιο μετά τη μετατροπή του σήματος από ψηφιακό σε αναλογικό είναι ο αναλογικός αποπολυπλέκτης (Analog DEMUltiplexer - ADEMUX), ο οποίος μεταφέρει στην επιλεγμένη έξοδο το σήμα του μετατροπέα D/A. Με τον τρόπο αυτό μπορούμε να ελέγξουμε περισσότερες από μία διατάξεις με έναν μόνο μετατροπέα D/A.

Το επόμενο στάδιο είναι το κύκλωμα S/H με το οποίο η αναλογική έξοδος του παραμένει σταθερή για το χρονικό διάστημα που η έξοδος του μετατροπέα D/A δεν έχει ακόμη σταθεροποιηθεί. Χρησιμοποιούμε στη συνέχεια κυκλώματα προσαρμόγής σήματος με τα οποία τα χαρακτηριστικά του σήματος εξόδου προσαρμόζονται σ' αυτά της διάταξης εξόδου την οποία θα οδηγήσουν. Συνήθως το κύκλωμα προσαρμόγής περιλαμβάνει και ένα φίλτρο απόρριψης υψηλών συχνοτήτων (που οφείλονται στην μετατροπή D/A), το οποίο έχει επικρατήσει να ονομάζεται φίλτρο ανακατασκευής (reconstruction filter).

Παράδειγμα

Στο Σχήμα 11.2.1.(α) το σύστημα λήψης και επεξεργασίας δεν φαίνεται να συνδέεται άμεσα με το Σχήμα 11.2.1.(β) του συστήματος επεξεργασίας και διανομής. Συνήθως, σε ένα μεγάλο πλήθος συστημάτων ελέγχου τα δύο συστήματα συνδυάζονται σε ένα, με την χρήση ενός κοινού υπολογιστικού συστήματος και ονομάζονται **συστήματα ελέγχου κλειστού βρόγχου (closed loop control systems)**. Ένα τέτοιο παράδειγμα αποτελεί ένα σύστημα κλιματισμού ενός χώρου. Το σύστημα αυτό μετρά τη θερμοκρασία με τη χρήση κατάλληλου αισθητήρα. Η αναλογική έξοδος του συστήματος είναι ανάλογη της θερμοκρασίας. Στη συνέχεια γίνεται ψηφιοποίηση του σήματος εξόδου του αισθητήρα με τη χρήση ενός μετατροπέα A/D και η μέτρηση της θερμοκρασίας αναπαρίσταται πλέον ψηφιακά ως ένας δυαδικός αριθμός.

Η ψηφιακή τιμή της θερμοκρασίας μπορεί να επεξεργαστεί από ένα υπολογιστικό σύστημα με βάση ένα συγκεκριμένο πρόγραμμα λειτουργίας. Σύμφωνα με το πρόγραμμα αυτό η θερμοκρασία του χώρου συγκρίνεται με δύο τιμές οι οποίες έχουν δοθεί από το χρήστη και έχουν αποθηκευθεί στη μνήμη του υπολογιστή. Η μία θερμοκρασία ορίζει την ελάχιστη θερμοκρασία και η δεύτερη τη μέγιστη θερμοκρασία που θέλουμε να έχει ο κλιματιζόμενος χώρος. Αν η θερμοκρασία του χώρου είναι μικρότερη από την ελάχιστη επιθυμητή, τότε θα πρέπει να ξεκινήσει η διαδικασία θέρμανσης του χώρου, ενώ αν είναι μεγαλύτερη από τη μέγιστη επιθυμητή, τότε θα πρέπει να ξεκινήσει η διαδικασία ψύξης. Το σύστημά μας για τον έλεγχο των διαδικασιών διαθέτει μετατροπείς D/A οι οποίοι είναι συνδεδεμένοι με κατάλληλα ηλεκτρονικά κυκλώματα με τα συστήματα θέρμανσης και ψύξης. Ο υπολογιστής του συστήματος δίνει τα κατάλληλα ψηφιακά δεδομένα στους μετατροπείς D/A, ώστε ανάλογα με τη μετρούμενη θερμοκρασία να ενεργοποιείται η κατάλληλη διαδικασία (θέρμανση ή ψύξη) και στην κατάλληλη ένταση. Σ' αυτό το παράδειγμα γίνεται κατανοητό ότι το σύστημά μας μετρά συνεχώς το αποτέλεσμα των διαδικασιών τις οποίες ελέγχει (ή όπως συνήθως λέγεται υπάρχει ανατροφοδότηση (feedback) από το ελεγχόμενο σύστημα). Στο Σχήμα 11.2.2 φαίνεται ένα ολοκληρωμένο σύστημα ελέγχου θερμοκρασίας.

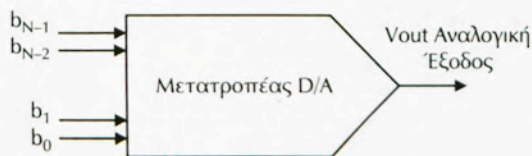


Σχήμα 11.2.2. Σύστημα ελέγχου θερμοκρασίας

11.3 ΜΕΤΑΤΡΟΠΕΑΣ D/A

Ένας μετατροπέας ψηφιακού σήματος σε αναλογικό (D/A ή DAC) δέχεται στις ψηφιακές εισόδους του μία ψηφιακή λέξη και παράγει στην αναλογική του έξοδο μία ανάλογη προς τις εισόδους τάση ή ρεύμα.

Στο σχήμα 11.3.1 δίνονται οι εισόδους και η έξοδος ενός μετατροπέα ψηφιακού σήματος σε αναλογικό. Στις N ψηφιακές εισόδους τοποθετούμε τα δυαδικά ψηφία ενός αριθμού και στην έξοδο παίρνουμε μία τάση (ή ρεύμα) ανάλογη αυτού του αριθμού.



Σχήμα 11.3.1 Μετατροπέας D/A

Η τάση εξόδου του μετατροπέα D/A γράφεται ως το δεκαδικό ισοδύναμο του αριθμού που εφαρμόζεται σε δυαδική μορφή στις N ψηφιακές εισόδους:

$$V_{out} = V_{mes} \times (b_0 x 2^0 + b_1 x 2^1 + b_2 x 2^2 + \dots + b_{N-1} x 2^{N-1}) \quad (11.2.1)$$

Στη σχέση αυτή η τάση εξόδου V_{out} είναι ανάλογη του δυαδικού αριθμού $b_{N-1} \dots b_2 b_1 b_0$ που εφαρμόζεται στις εισόδους του μετατροπέα και για αυτό το λόγο ο μετατροπέας ονομάζεται γραμμικός.

Ο όρος V_{mes} είναι η **ελάχιστη μεταβολή της αναλογικής τάσης εξόδου** λόγω της αλλαγής της ψηφιακής εισόδου κατά το λιγότερο σημαντικό bit (LSB) και ονομάζεται **ανάλυση μέτρησης του μετατροπέα D/A**. Η ανάλυση μέτρησης υπολογίζεται από τη σχέση (11.2.1) θέτοντας $b_{N-1} \dots b_2 b_1 b_0 = 1 \dots 111$:

$$V_{mes} = \frac{\Delta V}{2^N - 1} \quad (11.2.2)$$

όπου ΔV είναι η διαφορά μέγιστης από ελάχιστη τάση λειτουργίας του μετατροπέα και N είναι ο αριθμός των bits του μετατροπέα.

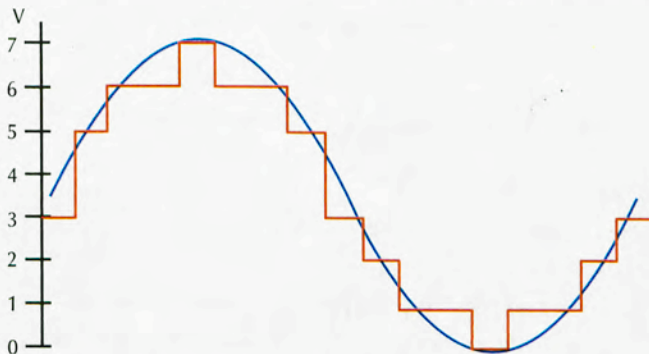
Παράδειγμα 1

Έστω ότι έχουμε ένα μετατροπέα D/A των τριών bits με ανάλυση μέτρησης 1 V και η περιοχή τάσης λειτουργίας του είναι από 0 V έως 7 V. Θα δώσουμε τις διαφορετικές τάσεις εξόδου του D/A για όλες τις δυνατές ψηφιακές λέξεις. Για κάθε συνδυασμό των τριών bits εφαρμόζουμε τη σχέση 11.2.1, οπότε προκύπτει ο παρακάτω πίνακας:

b2	b1	b0	Vout (V)
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

Χρησιμοποιώντας τον παραπάνω μετατροπέα D/A μπορεί να παραχθεί μία αναλογική (ημιτονοειδής) κυματομορφή, όπως φαίνεται στο Σχήμα 11.3.2.

Ψηφιακές λέξεις	011	101	110	110	111	110	110	101	001	010	001	001	000	001	001	010	011
Vout (V)	3	5	6	6	7	6	6	5	3	2	1	1	0	1	1	2	3



Σχήμα 11.3.2 Παραγωγή αναλογικού σήματος με μετατροπέα D/A

Παράδειγμα 2

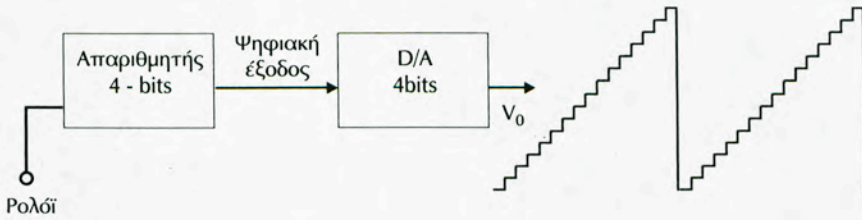
Έστω ότι έχουμε ένα μετατροπέα D/A των τεσσάρων bits ο οποίος όταν η δυαδική του είσοδος μεταβάλλεται κατά ένα LSB η τάση εξόδου του μεταβάλλεται κατά 0.1 V. Ποια είναι η αναλογική του έξοδος για την ψηφιακή είσοδο 1011;

Η ανάλυση μέτρησης του D/A είναι 0.1 V. Σύμφωνα με τη σχέση 11.2.1, η αναλογική του έξοδος θα είναι:

$$V_{out} = 0.1V \times (1 \times 1 + 1 \times 2 + 0 \times 4 + 1 \times 8) = 1.1 V.$$

Παράδειγμα 3

Στο Σχήμα 11.3.3 φαίνεται η τάση εξόδου ενός μετατροπέα D/A των τεσσάρων bits με ελάχιστη μεταβολή της αναλογικής τάσης εξόδου 0.1 V, ο οποίος δέχεται στις ψηφιακές εισόδους του τις εξόδους ενός δυαδικού απαριθμητή των 4 bits. Καθώς ο απαριθμητής απαριθμεί τους παλμούς του ρολογιού, οι έξοδοί του θα ξεκινήσουν από την τιμή 0000 και θα φθάσουν έως την τιμή 1111 και ξανά από την αρχή. Η έξοδος του μετατροπέα D/A θα είναι μία κλιμακωτή τάση της οποίας τα «σκαλοπάτια» θα είναι 0.1 V. Όταν ο απαριθμητής φτάσει στην μέγιστη τιμή του 1111, τότε η έξοδος του μετατροπέα D/A θα είναι 1.5 V (σχέση 11.2.1). Αυτή η τιμή είναι η μέγιστη τιμή που μπορεί να δώσει στην έξοδό του ο συγκεκριμένος μετατροπέας D/A. Στη συνέχεια ο απαριθμητής επιστρέφει στην τιμή 0000 και η έξοδος του D/A στα 0 V και ο κύκλος επαναλαμβάνεται.



Σχήμα 11.3.3 Παραγωγή κλιμάκωτης τάσης με μετατροπέα D/A

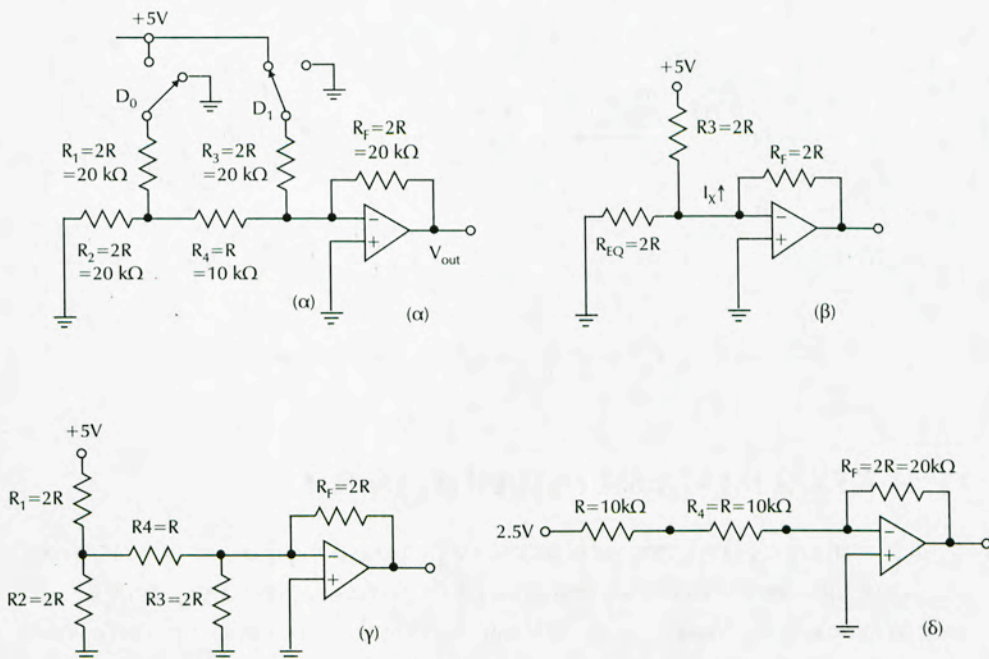
11.4 ΚΥΚΛΩΜΑΤΑ ΜΕΤΑΤΡΟΠΕΩΝ D/A

Οι μετατροπείς D/A υπάρχουν σε ολοκληρωμένη μορφή και σε μεγάλη ποικιλία χαρακτηριστικών. Για να κατανοήσουμε όμως τα κυριότερα χαρακτηριστικά τους, καθώς και τις βασικές αρχές λειτουργίας τους είναι απαραίτητο να αναλύσουμε τον τρόπο κατασκευής των μετατροπέων D/A.

11.4.1 Μετατροπέας D/A τύπου R/2R

Στο Σχήμα 11.4.1 φαίνεται το κύκλωμα ενός μετατροπέα D/A τύπου R/2R των δύο bits, αποτελούμενο από ένα τελεστικό ενισχυτή (TE) και αντιστάσεις δύο τιμών $R=10\text{K}\Omega$ και $2R=20\text{K}\Omega$.

Για να αναλύσουμε το κύκλωμα αυτού του σχήματος θα θυμίσουμε μερικά σημαντικά στοιχεία για τους TE. Ένας TE έχει πολύ μεγάλο κέρδος (gain), συνήθως περισσότερο από 100000, μικρή αντίσταση εξόδου και μεγάλη αντίσταση εισόδου και συμβολίζεται με ένα τρίγωνο. Έχει δύο εισόδους: την είσοδο αναστροφής φάσης, που συμβολίζεται με πλην (-) στο τρίγωνο, και την είσοδο μη αντιστροφής φάσης που συμβολίζεται με συν (+). Το σημαντικότερο που πρέπει να θυμάται κανείς για τους TE είναι ότι: όταν ένα μέρος της τάσης εξόδου επιστρέφει στην είσοδο αναστροφής (ή όπως έχει επικρατήσει ανατροφοδοτείται στην αναστρέφουσα είσοδο (αρνητική ανατροφοδότηση negative feedback), τότε οι δύο εισοδοί θα βρίσκονται στο ίδιο δυναμικό (ή ισοδύναμα η διαφορά δυναμικού μεταξύ τους θα είναι 0). Η έξοδος του TE θα δώσει ή θα τραβήξει την απαραίτητη ποσότητα ρεύματος έτσι ώστε οι δύο τάσεις να διατηρηθούν ίσες. Στο κύκλωμα του Σχήματος 11.4.1.(α) μη αναστρέφουσα είσοδος είναι γειωμένη, συνεπώς η αναστρέφουσα είσοδος διατηρείται στα 0V. Επειδή αυτή η είσοδος δεν είναι στην πραγματικότητα γειωμένη, για αυτό η κατάσταση αυτή ονομάζεται εικονική γη (virtual ground).



Σχήμα 11.4.1 Μετατροπές D/A τύπου R/2R

- (α) Πλήρες σχηματικό διάγραμμα, (β) ισοδύναμο κύκλωμα όταν ο διακόπτης του D1 είναι στα 5V
 (γ) ισοδύναμο κύκλωμα όταν ο διακόπτης του D0 είναι στα 5V
 (δ) ισοδύναμο κατά Thevenin κύκλωμα όταν ο διακόπτης του D0 είναι στα 5V

Υποθέτουμε ότι όλοι οι διακόπτες αρχικά βρίσκονται στην γη. Στη συνέχεια ο διακόπτης D1 που αντιστοιχεί στο περισσότερο σημαντικό bit, συνδέεται στα 5V. Η τάση αυτή ονομάζεται **τάση αναφοράς (reference voltage)**. Ο διακόπτης D0 παραμένει συνδεδεμένος στη γη. Τότε, οι αντιστάσεις R1 και R2 είναι συνδεδεμένες παράλληλα και ισοδυναμούν με μία αντίσταση R. Αυτή η αντίσταση R και η αντίσταση R4 που είναι σε σειρά ισοδυναμούν με μία αντίσταση 2R, όπως φαίνεται στο Σχήμα 11.4.1.(β). Λόγω της εικονικής γης, τα άκρα αυτής της αντίστασης 2R έχουν δυναμικό μηδέν και επομένως κανένα ρεύμα δεν τη διαρρέει (την αγνοούμε). Η τάση των 5V στην άκρη της αντίστασης R3 = 20 kΩ παράγει ρεύμα 0.25 mA, που διαρρέει την R_f = 20 kΩ (λόγω του ότι η αντίσταση εισόδου του ΤΕ είναι πολύ μεγάλη, επομένως το ρεύμα «προτιμά» τη διαδρομή με τη μικρότερη αντίσταση). Η τάση εξόδου που παράγεται από το περισσότερο σημαντικό bit θα είναι:

$$V_o = -I_x R_f = -0.25 \text{mA} \times 20 \text{k}\Omega = -5 \text{V}$$

Για να βρούμε την τάση που παράγεται από το λιγότερο σημαντικό bit, γειώνουμε ξανά τον διακόπτη D1 και συνδέουμε τον διακόπτη D0 στα 5V, όπως φαίνεται στο Σχήμα 11.4.1.(γ).

Το κύκλωμα απλοποιείται με το ισοδύναμο κατά Thevenin κύκλωμα του διαιρέτη τάσης που σχηματίζεται από την αντίσταση R1 και την αντίσταση R2, όπως φαίνεται στο Σχήμα 11.4.1.(δ).

Σύμφωνα με το θεώρημα του Thevenin ένα κύκλωμα μπορεί να αντικατασταθεί από μία πηγή και μία αντίσταση σε σειρά. Η αντίσταση Thevenin προκύπτει αν υποθετικά βραχυκυκλώσουμε όλες τις πηγές τάσης. Η τάση Thevenin προκύπτει ως η τάση στον κόμβο όπου το κύκλωμα συνδέεται με άλλα κυκλώματα. Η τάση Thevenin είναι ακριβώς η τάση στον κόμβο, δηλαδή $5V/2 = 2.5 V$, επειδή έχουμε δύο ίσες αντιστάσεις. Η αντίσταση Thevenin ισούται με την τιμή των δύο αντιστάσεων σε παράλληλη σύνδεση, δηλαδή με R. Η R3 μπορεί να αγνοηθεί, γιατί και τα δύο άκρα της είναι γειωμένα. Η ολική αντίσταση μεταξύ της αναστρέφουσας εισόδου του TE και της ισοδύναμης τάσης κατά Thevenin των 2.5 V είναι 2R, δηλαδή 20KΩ. Το ρεύμα προς την αναστρέφουσα είσοδο θα είναι 0.125 mA. Το ρεύμα αυτό (λόγω της υψηλής αντίστασης εισόδου του TE) διέρχεται από την αντίσταση ανάδρασης $R_f = 20KΩ$ και παράγει μία τάση εξόδου -2.5 V.

Για οποιοδήποτε συνδυασμό των διακοπών μπορούμε να υπολογίσουμε την τάση εξόδου, απλά αθροίζοντας τις τάσεις που προκύπτουν για τον κάθε ένα διακόπτη. Για παράδειγμα, ο συνδυασμός D1D0=11 δίνει σαν αποτέλεσμα τάση εξόδου:

$$V_o = (-5.0 - 2.5)V = -7.5V$$

Γενικά η μαθηματική έκφραση της τάσης εξόδου σε συνάρτηση με την ψηφιακή λέξη D1D0 που εφαρμόζουμε είναι:

$$V_o = -R_f \times (D1/2R + D0/4R) \times 5V = -5V \times (D1 + D0/2) = -2.5V \times (D0 \times 2^0 + D1 \times 2^1) \quad (11.4.1)$$

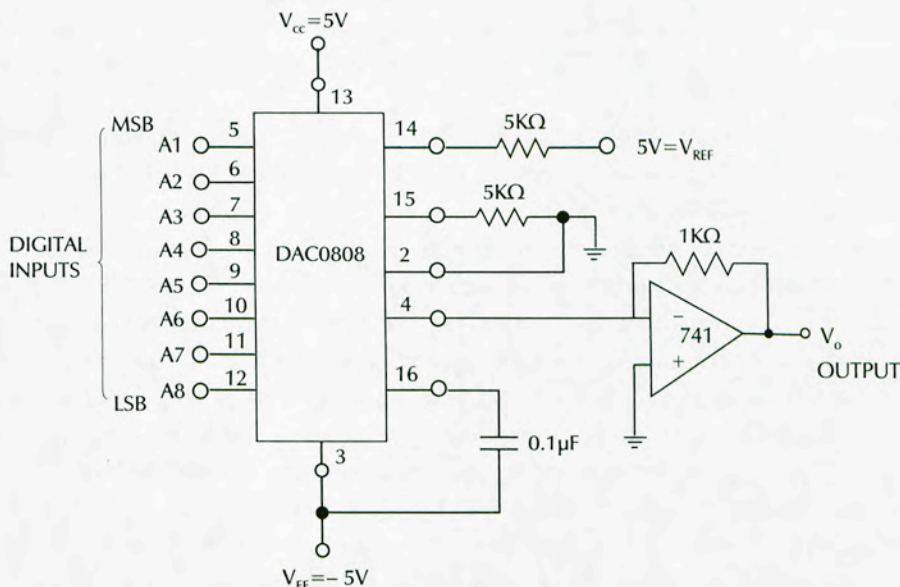
Συγκρίνοντας τις σχέσεις 11.2.1. και 11.4.1, παρατηρούμε ότι η ελάχιστη μεταβολή της αναλογικής τάσης εξόδου του μετατροπέα D/A είναι 2.5V.

Σήμερα οι κατασκευαστές των μετατροπέων D/A χρησιμοποιούν, αντί για αντιστάσεις, δικτυώματα πυκνωτών. Η λογική λειτουργίας τους όμως παραμένει ίδια με αυτήν που περιγράψαμε παραπάνω.

11.4.2 Μετατροπέας D/A σε ολοκληρωμένο κύκλωμα

Οι μετατροπείς D/A στο εμπόριο υπάρχουν σε μια μεγάλη ποικιλία ανάλογα με τα χαρακτηριστικά τους (αριθμός bits, μέγιστη τάση εξόδου, διακριτική ικανότητα, ταχύτητα κλπ.) καθώς και του κώδικα για την είσοδο των ψηφιακών δεδομένων (δυαδικό, συμπλήρωμα ως προς δύο, BCD κλπ.).

Ένας κοινός μετατροπέας D/A των 8 bits είναι ο DAC0808 της εταιρίας National Semiconductors, ο οποίος φαίνεται στο Σχήμα 11.4.2. Η αναλογική έξοδος του DAC0808 είναι ρεύμα και όχι τάση και για το λόγο αυτό συνδέουμε εξωτερικά τον TE 741 με την αντίσταση ανάδρασης $R_f = 5KΩ$ για τη μετατροπή της εξόδου του σε τάση.



Σχήμα 11.4.2 Μετατροπέας D/A σε Ο.Κ.

Η τάση εξόδου V_o δίνεται από την εξίσωση:

$$V_o = (V_{REF}/R_{REF}) \times R_F (A1/2 + A2/4 + A3/8 + A4/16 + A5/32 + A6/64 + A7/128 + A8/256) \quad (11.4.2)$$

Το A1 είναι το MSB και το A8 το LSB. Η τάση αναφοράς V_{REF} τοποθετείται εξωτερικά στα 5V, ενώ αρκετοί μετατροπείς D/A την παράγουν εσωτερικά στο Ο.Κ. Επίσης, σε αρκετά Ο.Κ. μετατροπέων D/A, ο Τ.Ε. κατασκευάζεται στο εσωτερικό του Ο.Κ. και η εξοδος τους είναι σε τάση.

11.5 ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΜΕΤΑΤΡΟΠΕΩΝ D/A

Η επιλογή ενός μετατροπέα D/A σε ολοκληρωμένη μορφή γίνεται με βάση τα χαρακτηριστικά τα οποία απαιτούνται από την εφαρμογή στην οποία θα χρησιμοποιηθεί. Τα κυριότερα χαρακτηριστικά των μετατροπέων D/A είναι:

✓ **Διακριτική ικανότητα (resolution).** Είναι ο αριθμός των bits της λέξης εισόδου που χρησιμοποιεί ο μετατροπέας D/A για την παραγωγή του αναλογικού σήματος στην έξοδό του. Όσο μεγαλύτερη είναι η διακριτική του ικανότητα, τόσο μεγαλύτερος είναι ο αριθμός των υποδιαιρέσεων της περιοχής τάσης λειτουργίας του και επομένως τόσο μικρότερο το βήμα ("σκαλοπάτι") της τάσης που μπορεί να παράγει. Φυσικά, το κόστος αυξάνεται με τον αριθμό των bits και επιλέγουμε πάντα τον μετατροπέα D/A με τη διακριτική ικανότητα που ταιριάζει στην εφαρμογή. Για παράδειγμα ένας μετατροπέας των 8 bits έχει διακριτική ικανότητα

8 bits, οπότε ο αριθμός των υποδιαιρέσεων της περιοχής τάσης λειτουργίας του είναι 256 (2^8) και το βήμα (“σκαλοπάτι”) της τάσης που μπορεί να παράγει είναι $1/256$ της περιοχής τάσης λειτουργίας του. Η διακριτική ικανότητα των D/A σε O.K. κυμαίνεται από 6 bits έως 20 bits.

✓ **Ακρίβεια (accuracy).** Με τον όρο αυτό εννοούμε τη διαφορά της πραγματικής εξόδου από την ιδανική. Η ακρίβεια καθορίζεται ως ένα ποσοστό της περιοχής τάσης λειτουργίας (Full Scale Range - FSR) του μετατροπέα D/A. Αν ένας μετατροπέας D/A έχει περιοχή τάσης λειτουργίας 10 V (για παράδειγμα από 0 V έως 10 V ή από -5 V έως +5 V) και ακρίβεια 0.2% της περιοχής τάσης λειτουργίας, τότε το μέγιστο σφάλμα για οποιαδήποτε έξοδο θα είναι 20 mV ($= 10V \times 0.2/100$). Αυτό σημαίνει ότι για οποιαδήποτε τάση εξόδου μπορεί να έχουμε ένα σφάλμα ± 20 mV.

✓ **Χρόνος αποκατάστασης (Settling time).** Ορίζεται ως ο χρόνος από τη στιγμή που εφαρμόζεται στις εισόδους του μετατροπέα D/A μία ψηφιακή λέξη μέχρι την εμφάνιση της αντίστοιχης αναλογικής εξόδου του. Ο χρόνος αποκατάστασης αποτελεί ένα μέτρο της ταχύτητας ενός μετατροπέα D/A. Ο χρόνος αποκατάστασης των D/A σε O.K. κυμαίνεται από μsec έως nsec.

11.6 ΜΕΤΑΤΡΟΠΕΑΣ A/D

Ένας μετατροπέας αναλογικού σήματος σε ψηφιακό (A/D ή ADC) δέχεται στην αναλογική του είσοδο μία αναλογική τάση και παράγει στις ψηφιακές του εξόδους έναν δυαδικό αριθμό ανάλογο της τάσης εισόδου.

Στις προηγούμενες παραγράφους αναλύσαμε πώς με τους μετατροπείς D/A μία ψηφιακή λέξη μετατρέπεται σε τάση ή ρεύμα. Στις επόμενες παραγράφους θα μελετήσουμε την αντίστροφη διαδικασία από αυτήν των μετατροπέων D/A, της μετατροπής μιας αναλογικής τάσης στην ψηφιακή λέξη που την αντιπροσωπεύει καλύτερα.



Σχήμα 11.6.1 Μετατροπέας A/D

Στο σχήμα 11.6.1 δίνονται η είσοδος και οι εξοδοι ενός μετατροπέα αναλογικού σήματος σε ψηφιακό. Στην είσοδο του μετατροπέα A/D τοποθετούμε την αναλογική τάση και στις N ψηφιακές εξόδους παίρνουμε έναν αριθμό ανάλογο της τάσης εισόδου. Για κάθε σταθερή τάση εισόδου V_{in} , έχουμε στις ψηφιακές εξόδους μετά τη μετατροπή ένα δυαδικό αριθμό, ώστε να ισχύει για το δεκαδικό του ισοδύναμο η σχέση:

$$V_{in} = q \times (b_0 \times 2^0 + b_1 \times 2^1 + b_2 \times 2^2 + \dots + b_{N-1} \times 2^{N-1}) \quad (11.6.1)$$

Ο όρος q εκφράζει την **ελάχιστη μεταβολή της αναλογικής τάσης εισόδου** η οποία μετατρέπεται σε μεταβολή του λιγότερο σημαντικού bit (LSB) και ονομάζεται **βήμα κβάντισης (quantisation step) του μετατροπέα A/D**. Το βήμα κβάντισης υπολογίζεται από τη σχέση (11.6.1) θέτοντας $b_{N-1} \dots b_2 b_1 b_0 = 1 \dots 111$:

$$q = \frac{\Delta V}{2^N - 1} \quad (11.6.2)$$

όπου ΔV είναι η διαφορά μέγιστης από ελάχιστη τάση λειτουργίας του μετατροπέα και N είναι ο αριθμός των bits του μετατροπέα.

Εκτός από την αναλογική είσοδο της τάσης και τις ψηφιακές εξόδους της μετατροπής, υπάρχει μία ψηφιακή είσοδος έναρξης της μετατροπής (Start Of Conversion - SOC) και μία ψηφιακή έξοδος λήξης της μετατροπής (End Of Conversion - EOC). Η είσοδος SOC είναι είσοδος ελέγχου, με την ενεργοποίηση της οποίας ξεκινά η διαδικασία μετατροπής του σήματος από αναλογικό σε ψηφιακό. Συνήθως στους περισσότερους μετατροπείς A/D η ενεργοποίηση γίνεται με την εφαρμογή ενός παλμού σ' αυτήν την είσοδο.

Παράδειγμα

Έστω ότι έχουμε ένα μετατροπέα A/D των τεσσάρων bits, στον οποίο όταν η τάση εισόδου του μεταβάλλεται κατά 0.1 V η ψηφιακή λέξη της εξόδου του μεταβάλλεται κατά ένα LSB. Ποια είναι η ψηφιακή έξοδος για αναλογική είσοδο 1.1 V; Ποια είναι η ψηφιακή έξοδος για αναλογική είσοδο 1.03 V;

Το βήμα κβάντισης του μετατροπέα A/D είναι 0.1 V. Σύμφωνα με τη σχέση 11.6.1, για είσοδο 1.1 V, το πηλίκον της διαίρεσης της τάσης εισόδου διά του βήματος κβάντισης είναι $1.1V/0.1V = 11$ που αντιστοιχεί στον δυαδικό $b_3b_2b_1b_0 = 1011$ και ο οποίος αποτελεί την έξοδο του A/D μετατροπέα.

Για είσοδο 1.03 V, το πηλίκον της διαίρεσης της τάσης εισόδου διά του βήματος κβάντισης είναι $1.03V/0.1V = 10.3$. Ο πλησιέστερος ακέραιος του 10.3 είναι ο 10 που αντιστοιχεί στον δυαδικό $b_3b_2b_1b_0 = 1010$, ο οποίος είναι το αποτέλεσμα στην έξοδο του A/D μετατροπέα.

Βλέπουμε πως το σφάλμα της μετατροπής για την πρώτη περίπτωση είναι 0V, ενώ για τη δεύτερη περίπτωση είναι -0.03V.

11.7 ΚΒΑΝΤΙΣΗ ΚΑΙ ΔΕΙΓΜΑΤΟΛΗΨΙΑ ΣΗΜΑΤΟΣ

Θα αναλύσουμε δύο βασικά θέματα τα οποία είναι αναπόσπαστα από τη διαδικασία της μετατροπής ενός αναλογικού σήματος σε ψηφιακό, την κβάντιση και την δειγματοληψία σήματος.

Ένα αναλογικό σήμα, όπως έχουμε πει, μπορεί να πάρει άπειρες τιμές πλάτους σε μία περιοχή τιμών. Χρησιμοποιώντας όρους από τα μαθηματικά, λέμε πως ένα αναλογικό σήμα είναι μια συνεχής συνάρτηση στο πεδίο του πλάτους.

Αν στην κάθε τιμή αντιστοιχίσουμε ένα δυαδικό αριθμό με συγκεκριμένο μήκος (περιορισμένος αριθμός bits), τότε το σήμα έχει μετατραπεί σε ψηφιακό. Η ψηφιακή του αναπαράσταση (κβάντιση) όμως θα γίνεται με αριθμούς συγκεκριμένου μήκους και επομένως το πλήθος των διαφορετικών τιμών θα είναι συγκεκριμένο και όχι άπειρο. Οι άπειρες τιμές που μπορεί να πάρει ένα αναλογικό σήμα περιορίζονται με τον καθορισμό περιοχών συγκεκριμένου πλάτους. Για κάθε τέτοια περιοχή αντιστοιχεί μία μόνο ψηφιακή τιμή. Το πλάτος της κάθε περιοχής είναι το βήμα κβάντισης. Η διαδικασία αντιστοίχισης του αναλογικού σήματος σε ψηφιακό ονομάζεται **κβάντιση (quantisation)** του σήματος και το κύκλωμα με το οποίο πραγματοποιείται είναι ζ μετατροπέας A/D.

Ένα αναλογικό σήμα εκτός από άπειρες τιμές πλάτους, παίρνει και άπειρες τιμές σε συνάρτηση με το χρόνο. Χρησιμοποιώντας όρους από τα μαθηματικά λέμε πως ένα αναλογικό σήμα είναι μια συνεχής συνάρτηση στο πεδίο του χρόνου. Δηλαδή, μπορούμε να παρατηρούμε το σήμα σε διαφορετικές χρονικές στιγμές οι οποίες απέχουν μεταξύ τους όσο θέλουμε.

Η ψηφιακή αναπαράσταση ενός αναλογικού σήματος θα γίνεται με δείγματα σε συγκεκριμένες χρονικές στιγμές συγκεκριμένου μήκους και η διαδικασία αυτή με την οποία το αναλογικό σήμα αναπαρίσταται με δείγματα σε συγκεκριμένα χρονικά διαστήματα ονομάζεται **δειγματοληψία (sampling)** του σήματος. Το ηλεκτρονικό κύκλωμα με το οποίο γίνεται η δειγματοληψία είναι το κύκλωμα δειγματοληψίας και συγκράτησης S/H, που αναφέραμε στην παράγραφο 11.1. Συνήθως τα δείγματα ισαπέχουν, όποτε έχουμε ένα σταθερό αριθμό δειγμάτων στη μονάδα του χρόνου, ο οποίος ονομάζεται **ρυθμός δειγματοληψίας (sampling frequency)** και μετριέται σε δείγματα ανά δευτερόλεπτο (samples/sec). Σαν παράδειγμα, μπορούμε να σκεφθούμε μία κινηματογραφική ταινία η οποία αποτελείται από διαδοχικές φωτογραφίες (στιγμιότυπα) που ισαπέχουν χρονικά μεταξύ τους (περίπου 50 msec).

Η μετατροπή ενός αναλογικού σήματος σε ψηφιακό με μετατροπέα A/D περιλαμβάνει πάντα δύο διαδικασίες:

1. Τη δειγματοληψία, με την οποία το αναλογικό σήμα από συνεχές στο πεδίο του χρόνου γίνεται διακριτό (παίρνει τιμές σε συγκεκριμένες χρονικές στιγμές) και η οποία υλοποιείται με το κύκλωμα της δειγματοληψίας και συγκράτησης (S/H).

2. Την κβάντιση, με την οποία το αναλογικό σήμα από συνεχές στο πεδίο του πλάτους γίνεται διακριτό (παίρνει συγκεκριμένες τιμές), και η οποία υλοποιείται με τον μετατροπέα A/D.

Τα κυκλώματα τα οποία χρησιμοποιούμε για να ψηφιοποιήσουμε ένα αναλογικό σήμα είναι:

- ☛ Το κύκλωμα δειγματοληψίας και συγκράτησης S/H
- ☛ Ο μετατροπέας A/D

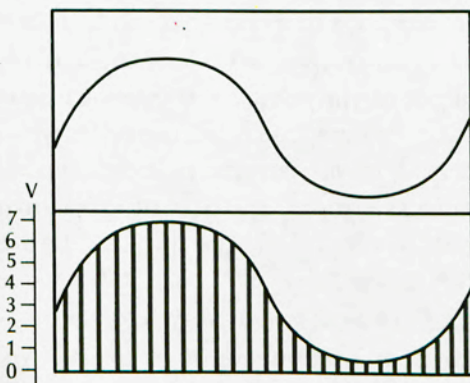
Το συνολικό αποτέλεσμα των δύο διαδοχικών διαδικασιών της δειγματοληψίας και της κβάντισης είναι η μετατροπή του αναλογικού σήματος το οποίο είναι συνεχές στο χρόνο και στο πλάτος σε ένα σήμα το οποίο είναι διακριτό στο πλάτος και στο χρόνο.

Παράδειγμα

Έστω ότι έχουμε ένα μετατροπέα A/D των τριών bits με βήμα κβάντισης 1 V. Στον παρακάτω πίνακα φαίνονται οι έξοδοι του μετατροπέα A/D για κάθε αναλογική είσοδο από 0 V μέχρι 7 V:

V _{in} (V)	b ₂	b ₁	b ₀
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Στο Σχήμα 11.7.1 φαίνεται η δειγματοληψία μίας αναλογικής (ημιτονοειδούς) κυματομορφής χρησιμοποιώντας τον παραπάνω μετατροπέα A/D.



Σχήμα 11.7.1 Δειγματοληψία ενός αναλογικού σήματος με μετατροπέα A/D

Ψηφιακές λέξεις	3	5	6	6	7	6	6	5	3	2	1	1	0	1	1	2	3
V _{out} (V)	011	101	110	110	111	110	110	101	001	010	001	001	000	001	001	010	011

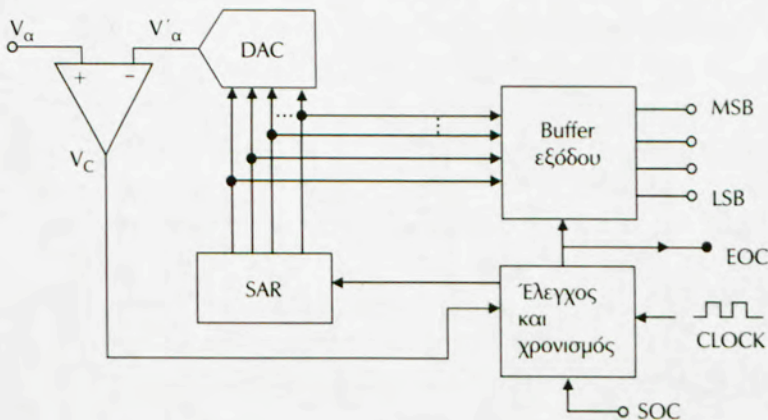
11.8 ΚΥΚΛΩΜΑΤΑ ΜΕΤΑΤΡΟΠΕΩΝ A/D

Οι μετατροπείς A/D υπάρχουν σε ολοκληρωμένη μορφή σε μεγάλη ποικιλία χαρακτηριστικών. Για να κατανοήσουμε όμως τα κυριότερα χαρακτηριστικά τους, καθώς και τις βασικές αρχές λειτουργίας τους είναι απαραίτητο να αναλύσουμε κυκλωματικά τον τρόπο κατασκευής τους. Θα δούμε λοιπόν την αρχή λειτουργίας του A/D διαδοχικών προσεγγίσεων, ο οποίος είναι και ο πλέον συνηθισμένος τύπος που χρησιμοποιείται σε ολοκληρωμένη μορφή στις διάφορες εφαρμογές.

11.8.1 Μετατροπέας A/D διαδοχικών προσεγγίσεων

Στο σχήμα 11.8.1 έχουμε το σχηματικό διάγραμμα του μετατροπέα A/D διαδοχικών προσεγγίσεων (successive approximation). Η καρδιά του κυκλώματος είναι ο καταχωρητής διαδοχικών προσεγγίσεων (Successive Approximation Register - SAR) ο οποίος λειτουργεί ως εξής: Στην αρχή του κύκλου μετατροπής, με τον πρώτο παλμό του ρολογιού λειτουργίας, ο SAR θέτει το περισσότερο σημαντικό bit στην λογική τιμή "1" και ενημερώνει τον μετατροπέα D/A με το περιεχόμενό του. Στη συνέχεια ο SAR περιμένει σήμα από το συγκριτή, ο οποίος συγκρίνει την έξοδο του μετατροπέα D/A $V_{\alpha'}$ με το σήμα εισόδου V_{α} .

Ο συγκριτής είναι ένας TE χωρίς ανάδραση, ο οποίος παίρνει τη λογική τιμή "1", αν $V_{\alpha} \geq V_{\alpha'}$, διαφορετικά παίρνει τη λογική τιμή "0". Αν η έξοδος του συγκριτή είναι "1", τότε αυτό σημαίνει ότι η έξοδος του D/A μετατροπέα είναι μικρότερη από την τάση εισόδου και ο SAR κρατάει το περισσότερο σημαντικό bit σε λογική κατάσταση "1". Αν η έξοδος του συγκριτή είναι "0", τότε αυτό σημαίνει ότι η έξοδος του D/A μετατροπέα είναι μεγαλύτερη από την τάση εισόδου και ο SAR μηδενίζει το πιο σημαντικό bit. Με τον επόμενο παλμό του ρολογιού λειτουργίας, ο SAR θα εξετάσει



Σχήμα 11.8.1 Μετατροπέας A/D διαδοχικών προσεγγίσεων

το επόμενο (δεύτερο) πιο σημαντικό bit. Θα το κρατήσει σε λογική κατάσταση «1» ή θα το μηδενίσει ανάλογα με την έξοδο του συγκριτή. Έτσι ο SAR θα εξετάζει το ένα μετά το άλλο όλα τα bits προχωρώντας προς το LSB. Κρατάει ένα bit σε λογική κατάσταση «1», αν η έξοδος του D/A μετατροπέα είναι μικρότερη από την τάση εισόδου, και το μηδενίζει αν η έξοδος του D/A μετατροπέα είναι μεγαλύτερη από την τάση εισόδου. Για την εξέταση του κάθε bit χρειάζεται και ένας παλμός του ρολογιού λειτουργίας. Όταν έχουν εξεταστεί όλα τα bits, τότε η έξοδος EOC δηλώνει το τέλος της μετατροπής. Το σήμα EOC δηλώνει ότι στις παράλληλες γραμμές εξόδου υπάρχει μια έγκυρη δυαδική λέξη που αντιπροσωπεύει το μέγεθος του αναλογικού σήματος εισόδου. Αν η έξοδος EOC συνδεθεί με την είσοδο ελέγχου SOC έναρξης της δειγματοληψίας, τότε ο μετατροπέας θα δουλεύει συνεχώς. Διαφορετικά στην είσοδο SOC συνδέουμε το κύκλωμα παραγωγής της συχνότητας δειγματοληψίας με την οποία θέλουμε να δειγματοληψήσουμε το αναλογικό σήμα.

Η μέθοδος των διαδοχικών προσεγγίσεων μοιάζει με τη διαδικασία υπολογισμού του ύψους ενός τραπέζιου, τοποθετώντας χάρακες (δυαδικά σταθμισμένους), τον έναν πάνω στον άλλο των 128, 64, 32, 16, 8, 4, 2 και 1 cm σε ύψος και χρησιμοποιώντας μία φορά τον κάθε χάρακα. Ο πιο σημαντικός χάρακας των 128cm δοκιμάζεται πρώτα. Αν είναι υψηλότερος από το τραπέζι, τότε δεν χρησιμοποιείται και για αυτό το bit σημειώνουμε "0", διαφορετικά τον κρατάμε και σημειώνουμε "1". Κατόπιν, ο επόμενος σημαντικός χάρακας τοποθετείται πάνω από τους προηγούμενους και η διαδικασία επαναλαμβάνεται. Κάθε φορά που ένας καινούργιος χάρακας κάνει το σωρό υψηλότερο από το τραπέζι, δεν χρησιμοποιείται και για την αντίστοιχη θέση bit βάζουμε "0", διαφορετικά τον κρατάμε και σημειώνουμε "1". Όταν θα έχουν δοκιμασθεί όλοι οι χάρακες, το αποτέλεσμα θα είναι μία δυαδική λέξη των 8 bits που θα αντιπροσωπεύει το ύψος του τραπέζιου.

Παράδειγμα

Έστω ένας μετατροπέας A/D διαδοχικών προσεγγίσεων των 5 bits με βήμα κβάντισης 0.1 V. Αν η αναλογική τάση στην είσοδο είναι 2.52 V, να περιγράψετε τα βήματα της μετατροπής.

Στον πίνακα που ακολουθεί περιγράφονται τα βήματα της μετατροπής με κάθε γραμμή να αντιστοιχεί σε έναν παλμό του ρολογιού λειτουργίας του μετατροπέα A/D, V_a είναι η τάση εισόδου και V_a' είναι η τάση εξόδου του μετατροπέα που οδηγείται στον συγκριτή.

Στην τρίτη και τέταρτη σύγκριση βλέπουμε ότι τα αντίστοιχα bits του SAR γίνονται στιγμιαία "1", αλλά λόγω του ότι $V_a' > V_a$, μηδενίζονται ξανά.

Όταν EOC = "1", τότε στην έξοδο υπάρχει το τελικό αποτέλεσμα της μετατροπής, που στο παράδειγμα είναι 11001.

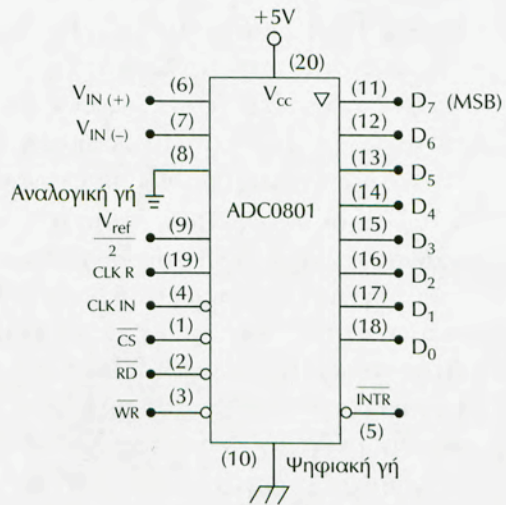
SAR	Vα'	Vα	Συγκριτής	EOC
10000	1.6	2.52	1	0
11000	2.4	2.52	1	0
11100	2.8	2.52	0	0
11000	2.4	2.52	1	0
11010	2.6	2.52	0	0
11000	2.4	2.52	1	0
11001	2.5	2.52	1	0
11001	2.5	2.52	1	1

11.8.2 Μετατροπέας A/D σε ολοκληρωμένο κύκλωμα

Στο Σχήμα 11.8.2 παρουσιάζεται ο Μετατροπέας A/D διαδοχικών προσεγγίσεων των 8 bits ADC0801, ο οποίος κατασκευάζεται από την εταιρεία National Semiconductors.

Οι ακροδέκτες $V_{in}(+)$ και $V_{in}(-)$ χρησιμοποιούνται για τη σύνδεση του αναλογικού σήματος. Στην απλούστερη χρήση του η αναλογική τάση εισόδου που πρόκειται να μετατρέψουμε συνδέεται στον ακροδέκτη $V_{in}(+)$ ενώ ο ακροδέκτης $V_{in}(-)$ συνδέεται στην αναλογική γη (ακροδέκτης 8). Όταν η τάση τροφοδοσίας V_{CC} του Ο.Κ. είναι 5 V τότε η αναλογική είσοδος μπορεί να μεταβάλλεται από 0 έως 5V.

Είσοδος επιλογής \overline{CS} . Η ενεργοποίηση γίνεται με λογική τιμή "0". Όταν αυτή η είσοδος είναι "1" τότε ο μετατροπέας A/D συμπεριφέρεται σαν να έχει αποσυνδεθεί ηλεκτρικά από οποιοδήποτε κύκλωμα και οι έξοδοι των δεδομένων βρίσκονται σε κατάσταση υψηλής σύνθετης αντίστασης (Hi-Z).



Σχήμα 11.8.2 Ο ADC0801

Τα ψηφιακά δεδομένα της μετατροπής εμφανίζονται στους ακροδέκτες 11 (D7 MSB) έως 18 (D0 LSB). Αυτές είναι έξοδοι υψηλής σύνθετης αντίστασης έτσι ώστε ο μετατροπέας A/D να μπορεί να συνδεθεί σε διαύλους δεδομένων υπολογιστικών συστημάτων.

Είσοδος \overline{WR} . Η είσοδος αυτή αντιστοιχεί στην είσοδο SC έναρξης της μετατροπής. Όταν επιλεγεί ο μετατροπέας A/D ($\overline{CS} = "0"$) και $\overline{WR} = "0"$ τότε αρχίζει η διαδικασία και στην συνέχεια όταν γίνει $\overline{WR} = "1"$ μετατρέπεται η αναλογική τάση εισόδου στην ισοδύναμη (από τη μετατροπή) ψηφιακή λέξη.

Είσοδος \overline{RD} . Η είσοδος αυτή χρησιμοποιείται για την ανάγνωση (Read) των δεδομένων από τον μετατροπέα A/D. Όταν επιλεγεί ο μετατροπέας A/D ($\overline{CS} = "0"$) και $\overline{RD} = "0"$, τότε οι έξοδοι των δεδομένων παύουν να βρίσκονται σε κατάσταση υψηλής αντίστασης και εμφανίζουν το αποτέλεσμα της μετατροπής.

Το Ο.Κ. διαθέτει εσωτερική γεννήτρια για το ρολοί λειτουργίας του. Για να το ενεργοποιήσουμε συνδέουμε εξωτερικά μία αντίσταση και έναν πυκνωτή στις εισόδους CLK R και CLK IN. Οι τιμές τους καθορίζουν τη συχνότητα λειτουργίας ως $f = 1/(1.1RC)$. Αν θέλουμε να συνδέσουμε εξωτερικά μία γεννήτρια, τη συνδέουμε στην είσοδο CLK IN. Οι συχνότητες λειτουργίας μπορούν να είναι από 100 KHz έως 640 KHz.

Έξοδος \overline{INTR} . Αυτή η έξοδος αντιστοιχεί στην EOC και δηλώνει το τέλος της μετατροπής, όταν πάρει τη λογική τιμή "0".

Το Ο.Κ. διαθέτει ξεχωριστές γειώσεις για τα αναλογικά του κυκλώματα (ακροδέκτης 8) και για τα ψηφιακά του κυκλώματα (ακροδέκτης 10). Ο λόγος ύπαρξής τους είναι να αποφεύγεται οι θόρυβοι της ψηφιακής γείωσης να επηρεάζουν τη λειτουργία των αναλογικών τμημάτων, με αποτέλεσμα μείωση των επιδόσεων του Ο.Κ.

Είσοδος $V_{ref}/2$: Αυτή η είσοδος χρησιμοποιείται, όταν η μέγιστη προς μετατροπή τάση είναι μικρότερη από 5 V. Όταν αυτός ο ακροδέκτης δεν συνδέεται (ανοικτός), τότε η τάση του είναι 2.5 V. Εφαρμόζοντας εξωτερικά μία συνεχή τάση, η εσωτερική τάση αναφοράς γίνεται το διπλάσιο αυτής της τιμής και αυτή θα είναι και η μέγιστη τιμή της τάσης εισόδου. Αν για παράδειγμα στην είσοδο $V_{ref}/2$ συνδέσουμε μια τάση 2 V, τότε η μέγιστη προς μετατροπή τάση θα είναι 4 V.

Το βήμα κβάντισης του ADC0801 για μέγιστη τάση εισόδου 5 V θα είναι: $5V/(2^8-1) = 19.6 \text{ mV}$.

11.9 ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΜΕΤΑΤΡΟΠΕΩΝ A/D

Τα κυριότερα χαρακτηριστικά των μετατροπέων A/D είναι:

Διακριτική ικανότητα (resolution). Είναι ο αριθμός των bits που χρησιμοποιεί ο μετατροπέας A/D για να αναπαραστήσει ένα αναλογικό σήμα. Όσο μεγαλύτερη είναι η διακριτική του ικανότητα, τόσο μεγαλύτερος είναι ο αριθμός των

υποδιαιρέσεων της περιοχής τάσης λειτουργίας του και επομένως τόσο μικρότερο το βήμα κβάντισης. Για παράδειγμα ένας μετατροπέας των 8 bits έχει διακριτική ικανότητα 8 bits, ο αριθμός των υποδιαιρέσεων της περιοχής τάσης λειτουργίας του είναι $256 (2^8)$ και το βήμα κβάντισης για περιοχή τάσης λειτουργίας 4 V είναι: $4V/255=15 \text{ mV}$. Η διακριτική ικανότητα των μετατροπέων A/D σε Ο.Κ. κυμαίνονται από 6 bits έως 24 bits.

Ακρίβεια (accuracy). Με τον όρο αυτό εννοούμε τη διαφορά της πραγματικής εξόδου από την ιδανική. Η ακρίβεια καθορίζεται ως ένα ποσοστό της περιοχής τάσης λειτουργίας (Full Scale Range - FSR) του μετατροπέα A/D. Αν ένας μετατροπέας A/D έχει περιοχή τάσης λειτουργίας 10 V (για παράδειγμα από 0 V έως 10 V ή από -5 V έως +5 V) και ακρίβεια 0.2% της περιοχής τάσης λειτουργίας, τότε το μέγιστο σφάλμα για οποιαδήποτε είσοδο θα είναι $20 \text{ mV} (=10V \times 0.2/100)$. Αυτό σημαίνει ότι για οποιαδήποτε τάση εισόδου μπορεί να έχουμε ένα σφάλμα $\pm 20 \text{ mV}$.

Χρόνος μετατροπής (Conversion time). Ορίζεται ως ο χρόνος που απαιτείται για την ψηφιοποίηση της αναλογικής τάσης που εφαρμόζεται στην είσοδο του μετατροπέα A/D. Ο χρόνος μετατροπής είναι συνήθως ανάλογος του αριθμού των bits του μετατροπέα. Ο χρόνος μετατροπής αποτελεί ένα μέτρο της ταχύτητας ενός μετατροπέα A/D. Ο χρόνος μεταξύ των διαδοχικών δειγμάτων της εισόδου του θα πρέπει να είναι μεγαλύτερος από το χρόνο μετατροπής (ή ισοδύναμα η μέγιστη συχνότητα δειγματοληψίας θα πρέπει να είναι μικρότερη από το αντίστροφο του χρόνου μετατροπής του). Ο χρόνος μετατροπής των μετατροπέων A/D σε Ο.Κ. κυμαίνεται από msec έως nsec.

11.10 ΕΦΑΡΜΟΓΕΣ ΜΕΤΑΤΡΟΠΕΩΝ D/A ΚΑΙ A/D

Οι μετατροπείς A/D και D/A αποτελούν τα κυκλώματα προσαρμογής των ψηφιακών συστημάτων με τον αναλογικό κόσμο. Οποιοδήποτε ψηφιακό σύστημα το οποίο αλληλεπιδρά με τον εξωτερικό αναλογικό κόσμο θα έχει είτε έναν μετατροπέα A/D, είτε έναν μετατροπέα D/A, είτε και τους δύο.

Συστήματα ελέγχου (control systems)

Στα συστήματα αυτά το ψηφιακό σύστημα παίρνει πληροφορίες από το σύστημα το οποίο ελέγχει μετρώντας κάποιες παραμέτρους. Οι παράμετροι που ενδιαφέρουν (για παράδειγμα πίεση, θερμοκρασία, συγκέντρωση κάποιου αερίου, κατάσταση κάποιου διαδικασίας) συνήθως ψηφιοποιούνται με ένα μετατροπέα A/D. Στη συνέχεια τα δεδομένα είναι διαθέσιμα σε ψηφιακή μορφή και μπορούμε να τα επεξεργασθούμε με υπολογιστικά συστήματα, χρησιμοποιώντας κατάλληλα για την εφαρμογή προγράμματα. Το ψηφιακό σύστημα με βάση τις μετρήσεις και ανάλογα με το πρόγραμμα λειτουργίας επεμβαίνει με τη χρήση

μετατροπέα D/A στο σύστημα ρυθμίζοντας (αλλάζοντας) κάποιες παραμέτρους. Με βάση αυτές τις αρχές λειτουργούν είτε απλά συστήματα όπως η μηχανή ενός αυτοκινήτου, είτε πολύπλοκα όπως η λειτουργία ενός αεροπλάνου ή η αυτόματη παραγωγή ενός εργοστασίου.

Για παράδειγμα τα συστήματα ABS (Anti blocking System) στα αυτοκίνητα χρησιμοποιούν αισθητήρες με τους οποίους το ψηφιακό σύστημα ελέγχου γνωρίζει την ταχύτητα περιστροφής των τροχών, καθώς και την πορεία του αυτοκινήτου σε κάθε χρονική στιγμή. Οι παράμετροι αυτοί ψηφιοποιούνται με τη χρήση μετατροπέων A/D και επεξεργάζονται από μικροεπεξεργαστή. Σε περίπτωση που ο οδηγός φρενάρει, το σύστημα ρυθμίζει αυτόματα το φρενάρισμα (πέδηση) του κάθε τροχού έτσι ώστε να μην ακινητοποιείται και το αυτοκίνητο να παραμένει στην πορεία του. Για τον έλεγχο του φρεναρίσματος χρησιμοποιούνται μετατροπείς D/A και ειδικοί ηλεκτρομηχανικοί μηχανισμοί.

Συστήματα συλλογής δεδομένων (data acquisition systems)

Στα συστήματα αυτά ενδιαφέρει κυρίως η συλλογή μετρήσεων από κάποιες παραμέτρους (π.χ. σεισμική δραστηριότητα, ηλιακή ακτινοβολία, ταχύτητα ανέμου, ένταση ηλεκτρομαγνητικών κυμάτων). Οι παράμετροι που ενδιαφέρουν ψηφιοποιούνται με μετατροπείς A/D και είτε επεξεργάζονται και αποθηκεύονται σε τοπικό υπολογιστικό σύστημα, είτε μεταδίδονται σε απομακρυσμένα κεντρικά υπολογιστικά συστήματα. Παραδείγματα τέτοιων συστημάτων αποτελούν οι σταθμοί καταγραφής και παρακολούθησης σεισμικής δραστηριότητας, μετεωρολογικοί σταθμοί, ωκεανογραφικοί σταθμοί. Αυτοί οι σταθμοί είτε συλλέγουν τα δεδομένα τοπικά, είτε τα μεταδίδουν ενσύρματα ή ασύρματα σε απομακρυσμένους κεντρικούς σταθμούς.

Συστήματα μετρήσεων

Τα συστήματα εργαστηριακών μετρήσεων σήμερα χρησιμοποιούν σε μεγάλο βαθμό μετατροπείς A/D και D/A. Στα εργαστηριακά συστήματα ηλεκτρονικών μετρήσεων συναντάμε ψηφιακά πολύμετρα με πολύ υψηλές αναλύσεις, ψηφιακούς παλμογράφους (DSO Digital Storage Oscilloscopes) με δυνατότητες ψηφιοποίησης έως και 8 Gsamples/sec, και ψηφιακές γεννήτριες σήματος. Τα αναλογικά συστήματα εκτοπίζονται με γοργούς ρυθμούς, αφού τα ψηφιακά προσφέρουν συνήθως υψηλότερες επιδόσεις με μικρότερο κόστος. Τα συστήματα μετρήσεων για ιατρικούς σκοπούς χρησιμοποιούν σε μεγάλο βαθμό μετατροπείς A/D και D/A με παραδείγματα όπως η αξονική τομογραφία, η μαγνητική τομογραφία, τα υπερηχογραφήματα, τα συστήματα αυτόματης ανάλυσης αίματος, μέτρησης σακχάρου κλπ.

Συστήματα επικοινωνίας

Στα συστήματα επικοινωνιών τα ψηφιακά συστήματα έχουν επικρατήσει λόγω της αξιοπιστίας που εξασφαλίζει η ψηφιακή μετάδοση και λήψη πληροφο-

ριών. Τα ψηφιακά σήματα επειδή έχουν μόνο δύο στάθμες, επηρεάζονται λιγότερο από θορύβους, συγκριτικά με τα αναλογικά. Σήμερα σχεδόν όλα τα τηλεπικοινωνιακά συστήματα τηλεφωνίας είναι ψηφιακά, στα οποία η φωνή του κάθε συνδρομητή ψηφιοποιείται με μετατροπείς A/D (οι οποίοι είναι εγκατεστημένοι στα κέντρα του τηλεπικοινωνιακού οργανισμού), μεταδίδεται ενσύρματα ή ασύρματα ψηφιακά και τελικά ξαναμετατρέπεται σε αναλογικό σήμα με τη χρήση μετατροπέων D/A. Επίσης οι συσκευές των ψηφιακών κινητών τηλεφώνων (τύπου GSM) έχουν ενσωματωμένους μετατροπείς A/D και D/A για την ψηφιοποίηση και την αναπαραγωγή της φωνής των συνομιλητών.

Επιπλέον για τη σύνδεση των υπολογιστικών συστημάτων μέσω του τηλεφωνικού δικτύου χρησιμοποιούνται τα modem. Με τα modem γίνεται δυνατή η διακίνηση της ψηφιακής πληροφορίας μέσα από το τηλεφωνικό δίκτυο το οποίο κατασκευάστηκε για τη μετάδοση αναλογικών σημάτων. Τα βασικά κυκλώματα ενός modem για τη μετατροπή του ψηφιακού σήματος σε αναλογικό και αντίστροφα είναι οι μετατροπείς D/A και A/D αντίστοιχα.

Συσκευές πολυμέσων

Στην καθημερινή μας ζωή τα συστήματα εγγραφής και αναπαραγωγής ήχου και εικόνας από αναλογικά μετατρέπονται σε ψηφιακά. Μετατροπείς A/D χρησιμοποιούνται για την ψηφιοποίηση του ήχου και την αποθήκευσή του (για παράδειγμα σε CD ήχου) και για την αναπαραγωγή του χρησιμοποιούνται μετατροπείς D/A.

Στον τομέα της φωτογραφίας με γοργούς ρυθμούς εξαπλώνεται η χρήση ψηφιακών φωτογραφικών μηχανών οι οποίες συνδυάζουν τους αισθητήρες φωτός τύπου CCD, με μετατροπέα A/D για την ψηφιοποίηση της εικόνας, η οποία στην συνέχεια αποθηκεύεται σε μνήμες FLASH. Στο χώρο του video σύντομα θα επικρατήσει η ψηφιακή τεχνολογία DVD (Digital Versatile ή Video Disk) η οποία συνδυάζει μετατροπείς A/D για την ψηφιοποίηση της εικόνας από αισθητήρες CCD και μετατροπείς D/A για την αναπαραγωγή της. Τέλος τα κυκλώματα οδήγησης των οθονών υπολογιστών χρησιμοποιούν μετατροπείς D/A.

11.11 ΠΕΡΙΛΗΨΗ

1. Ο μετατροπέας D/A ψηφιακού σήματος σε αναλογικό μετατρέπει μια ψηφιακή λέξη σε ένα αναλογικό σήμα εξόδου (τάση ή ρεύμα). Ο μετατροπέας A/D εκτελεί την αντίστροφη διαδικασία από τον D/A, μετατρέποντας ένα αναλογικό σήμα στην είσοδό του (τάση) σε μία ανάλογη ψηφιακή λέξη εξόδου.
2. Ο μετατροπέας D/A τύπου R/2R κατασκευάζεται με αντιστάσεις δύο τιμών και έναν τελεστικό ενισχυτή. Σε μορφή Ο.Κ. υπάρχουν μετατροπείς D/A με 8, 10, 12, 14 και 16 bits εισόδου, και εξόδους τάσης ή ρεύματος.

3. Η διακριτική ικανότητα ενός μετατροπέα D/A είναι ο αριθμός των bits της λέξης εισόδου που χρησιμοποιεί ο μετατροπέας για την παραγωγή του αναλογικού σήματος στην έξοδό του.
4. Η ακρίβεια ενός μετατροπέα D/A είναι η διαφορά της πραγματικής εξόδου από την ιδανική.
5. Ο χρόνος αποκατάστασης ενός μετατροπέα D/A είναι ο χρόνος από τη στιγμή που εφαρμόζεται στις εισόδους του μετατροπέα D/A μία ψηφιακή λέξη μέχρι την εμφάνιση της αντίστοιχης αναλογικής εξόδου του.
6. Οι μετατροπείς D/A χρησιμοποιούνται σε όλες τις εφαρμογές στις οποίες ένα ψηφιακό σύστημα οδηγεί μια αναλογική διάταξη. Αποτελούν το κύκλωμα διασύνδεσης (interface) από τον ψηφιακό προς τον αναλογικό κόσμο.
7. Η μετατροπή του αναλογικού σήματος σε ψηφιακό γίνεται με δύο διαδοχικές διαδικασίες, τη δειγματοληψία και την κβάντιση. Για τη δειγματοληψία χρησιμοποιείται το κύκλωμα S/H, ενώ για την κβάντιση χρησιμοποιείται ο μετατροπέας A/D. Το τελικό αποτέλεσμα της δειγματοληψίας και της κβάντισης είναι ότι ένα αναλογικό σήμα συνεχές στο πλάτος και στο χρόνο μετατρέπεται σε ένα ψηφιακό σήμα διακριτό στο πλάτος και στο χρόνο.
8. Ο μετατροπέας A/D διαδοχικών προσεγγίσεων κατασκευάζεται με ένα συγκριτή, έναν μετατροπέα D/A και τον καταχωρητή διαδοχικών προσεγγίσεων (SAR).
9. Η διακριτική ικανότητα του ενός μετατροπέα A/D είναι ο αριθμός των bits που χρησιμοποιεί ο μετατροπέας A/D για να αναπαραστήσει ένα αναλογικό σήμα.
10. Η ακρίβεια ενός μετατροπέα A/D είναι η διαφορά της πραγματικής εξόδου από την ιδανική.
11. Ο χρόνος μετατροπής ενός μετατροπέα A/D είναι ο χρόνος που απαιτείται για την ψηφιοποίηση της αναλογικής τάσης που εφαρμόζεται στην είσοδο του μετατροπέα A/D.
12. Οι μετατροπείς A/D χρησιμοποιούνται σε όλες τις εφαρμογές στις οποίες ένα ψηφιακό σύστημα χρειάζεται να εισάγει δεδομένα από τον αναλογικό κόσμο. Αποτελούν το κύκλωμα διασύνδεσης (interface) από τον αναλογικό κόσμο προς τον ψηφιακό.

11.12 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ

1. Να ορίστε την διακριτική ικανότητα, την ακρίβεια και το χρόνο αποκατάστασης ενός μετατροπέα D/A.
2. Ποια είναι η διακριτική ικανότητα ενός μετατροπέα D/A των 12 bits; Εάν η περιοχή τάσης λειτουργίας του είναι 10 V, ποια είναι η ελάχιστη μεταβολή της αναλογικής τάσης εξόδου του;

3. Ένας μετατροπέας D/A των 4 bits παράγει μια τάση εξόδου 8 V με ψηφιακή λέξη εισόδου 1000. Αν η ελάχιστη τάση που παράγει ο μετατροπέας D/A είναι 0 V, ποια θα είναι η τάση εξόδου του για την ψηφιακή λέξη εισόδου 1111; Ποια είναι η διακριτική ικανότητα του μετατροπέα D/A.
4. Σε μία εφαρμογή πρέπει να επιλέξετε ένα μετατροπέα D/A με ανάλυση μέτρησης 1 V και περιοχή τάσης λειτουργίας 0 V έως 15 V. Να καθορίσετε τη διακριτική ικανότητα του μετατροπέα D/A που θα επιλέξετε.
5. Να ορίσετε τη διακριτική ικανότητα, την ακρίβεια και το χρόνο μετατροπής ενός μετατροπέα A/D.
6. Ποια είναι η διακριτική ικανότητα ενός μετατροπέα A/D των 12 bits; Εάν η συνολική τάση εισόδου του είναι 10 V, ποιο είναι το βήμα κβάντισης του μετατροπέα A/D;
7. Ένας μετατροπέας A/D των 4 bits παράγει για τάση εισόδου 1 V την ψηφιακή λέξη 1000. Αν η ελάχιστη τάση που ψηφιοποιεί ο μετατροπέας A/D είναι τα 0 V, ποια θα είναι η ψηφιακή του έξοδος για την τάση εισόδου των 1.25 V; Να βρείτε το βήμα κβάντισης του μετατροπέα A/D.
8. Αν η ελάχιστη είσοδος ενός μετατροπέα A/D είναι 0 V και η μέγιστη 10 V, ποια διακριτική ικανότητα πρέπει να έχει ο μετατροπέας A/D ώστε το βήμα κβάντισης να είναι μικρότερο από 20 mV;
9. Σε μία εφαρμογή πρέπει να επιλέξετε έναν μετατροπέα A/D με βήμα κβάντισης 1 V και περιοχή τάσης λειτουργίας 0 V έως 15 V. Να καθορίσετε τη διακριτική ικανότητα του μετατροπέα A/D που θα επιλέξετε.
10. Σε μία εφαρμογή μέτρησης θερμοκρασίας του περιβάλλοντος θέλουμε την ψηφιοποίηση της εξόδου ενός κυκλώματος προσαρμογής ενός αισθητήρα θερμοκρασίας. Η περιοχή των θερμοκρασιών που θέλουμε να μετρήσουμε είναι από -30°C έως $+70^{\circ}\text{C}$ σε βήματα των 1°C . Ποια η διακριτική ικανότητα του μετατροπέα A/D που θα επιλέξουμε για την εφαρμογή αυτή;
11. Σε μία εφαρμογή κατασκευής μιας ηλεκτρονικής ψηφιακής ζυγαριάς θέλουμε να ψηφιοποιείται η έξοδος του αισθητήρα ζύγισης. Αν η ζυγαριά πρέπει να ζυγίζει βάρη έως 120 Kgr σε βήματα του 0,5 Kgr, ποια η διακριτική ικανότητα του μετατροπέα A/D που θα επιλέξουμε;

1. Να γνωρίζετε τις βασικές έννοιες που χρησιμοποιούνται στα κυκλώματα χρονισμού.
2. Να διακρίνετε τα κυκλώματα ασταθή και μονοσταθή πολυδονητή.
3. Να μελετάτε τα φύλλα δεδομένων του Ο.Κ. 555.
4. Να μπορείτε να χρησιμοποιείτε, σε εφαρμογές, το Ο.Κ. 555.

12

κεφάλαιο

ΚΥΚΛΩΜΑΤΑ ΧΡΟΝΙΣΜΟΥ

12.1 ΟΡΙΣΜΟΙ

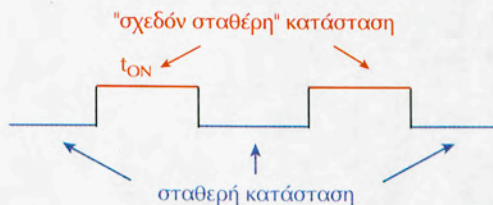
Όπως είναι γνωστό από τα προηγούμενα κεφάλαια, πολλά ψηφιακά κυκλώματα απαιτούν για τη λειτουργία τους παλμούς ρολογιού.

Για το σκοπό αυτό χρησιμοποιούνται ειδικά Ο.Κ., στα οποία συνδέονται εξωτερικά παθητικά ηλεκτρονικά στοιχεία (αντιστάσεις και πυκνωτές).

Ένα είδος πολυδονητή είναι ο **μονοσταθής πολυδονητής** (one shot multivibrator), ο οποίος έχει μία **σταθερή κατάσταση** εξόδου, στην οποία παραμένει **μέχρι ότου διεγερθεί από κάποιο εξωτερικό σήμα**.

Τότε η έξοδος του κυκλώματος οδηγείται σε μία **“σχεδόν σταθερή”** κατάσταση, στην οποία παραμένει για ένα προκαθορισμένο χρονικό διάστημα και εν συνεχεία επανέρχεται στη σταθερή κατάσταση.

Οι παλμοί εξόδου ενός μονοσταθή πολυδονητή φαίνονται στο σχήμα 12.1.1.



Σχήμα 12.1.1 Παλμοί που παράγονται από κύκλωμα ασταθή πολυδονητή

Ένα κύκλωμα, το οποίο παράγει τετραγωνικούς παλμούς **χωρίς να απαιτείται εξωτερική διέγερση**, ονομάζεται **ασταθής πολυδονητής** (free running multivibrator).

Ο ασταθής πολυδονητής χαρακτηρίζεται από δύο καταστάσεις:

α) Η έξοδος σε υψηλή στάθμη : t_H ή t_{ON} και

β) Η έξοδος σε χαμηλή στάθμη : t_L ή t_{OFF}

Οι τετραγωνικοί παλμοί που παράγονται από ασταθή πολυδονητή φαίνονται στο σχ. 12.1.2



Σχήμα 12.1.2 Παλμοί που παράγονται από κύκλωμα μονοσταθή πολυδονητή

Ένα από τα χαρακτηριστικά μίας τετραγωνικής κυματομορφής είναι ο **κύκλος εργασίας** (duty cycle), που δίνεται από τη σχέση:

$$\text{κύκλος εργασίας \%} = \frac{t_H}{T} \cdot 100\%$$

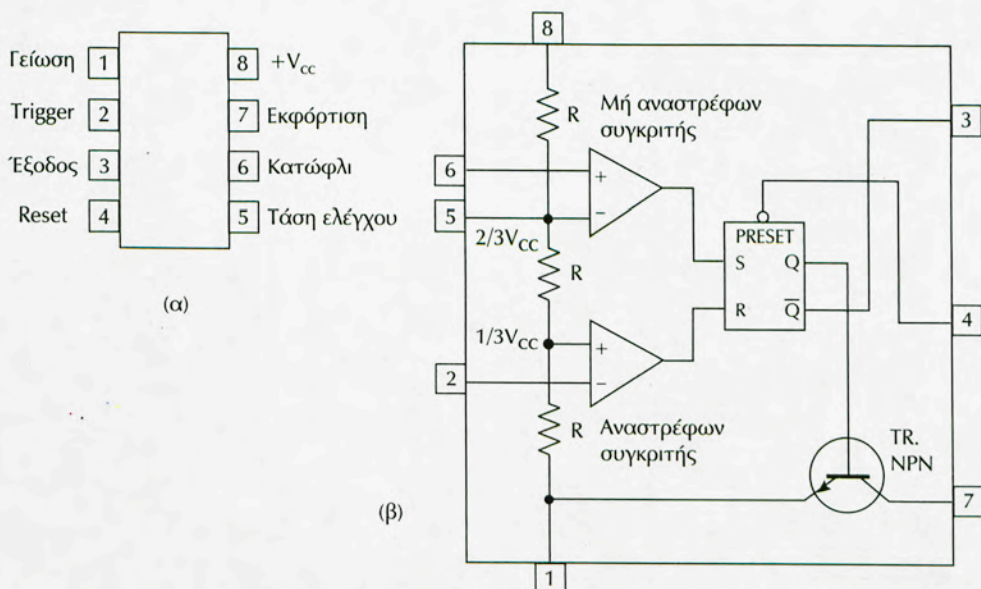
όπου t_H : ο χρόνος που η κυματομορφή είναι σε υψηλή στάθμη
 T : η περίοδος της κυματομορφής.

12.2 ΤΟ ΟΛΟΚΛΗΡΩΜΕΝΟ ΚΥΚΛΩΜΑ ΧΡΟΝΙΣΜΟΥ 555

Το ολοκληρωμένο κύκλωμα 555 παράγει στην έξοδό του παλμούς με ορισμένη χρονική διάρκεια, μεγάλης ακρίβειας και σταθερότητας. Το ολοκληρωμένο κύκλωμα χρονισμού 555 μπορεί να λειτουργήσει:

- ✓ ως μονοσταθής πολυδονητής ή
- ✓ ως ασταθής πολυδονητής.

Στο σχήμα 12.2.1 φαίνεται το διάγραμμα διασυνδέσεων και το λειτουργικό διάγραμμα του Ο.Κ 555.



Σχήμα 12.2.1 (α) Διάγραμμα διασυνδέσεων Ο.Κ. 555 (β) Λειτουργικό διάγραμμα Ο.Κ. 555

Από το σχήμα 12.2.1 (β) βλέπουμε ότι το Ο.Κ. διαθέτει εσωτερικά τα εξής λειτουργικά στοιχεία:

α) τρεις ίσες αντιστάσεις $R=5K\Omega$ (από όπου πήρε το όνομα 555), οι οποίες λειτουργούν ως διαιρέτης τάσης για τη V_{CC} .

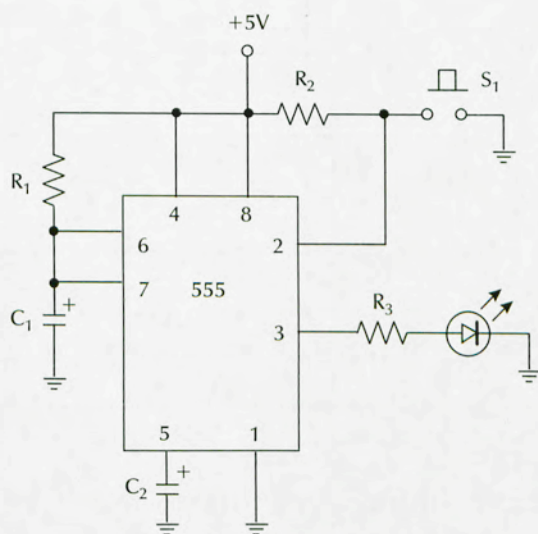
- β) έναν αναστρέφοντα συγκριτή,
- γ) ένα μη αναστρέφοντα συγκριτή
- δ) ένα R-S flip – flop,
- ε) ένα τρανζίστορ NPN.

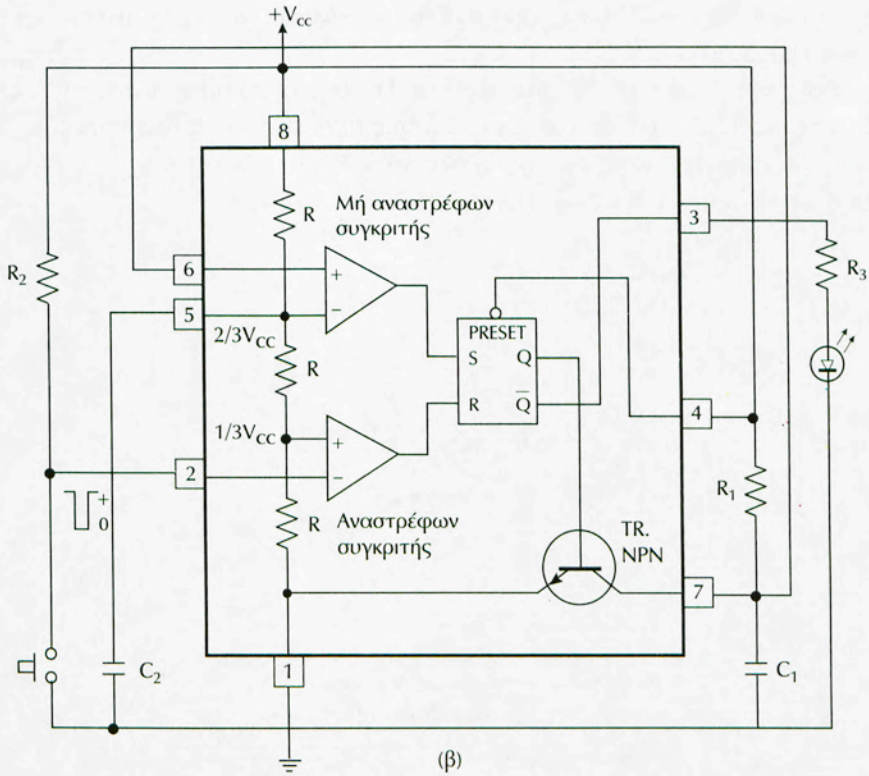
12.2.1 Το Ο.Κ. 555 ως μονοσταθής πολυδονητής

Ο μονοσταθής πολυδονητής είναι μία γεννήτρια παλμών, η διάρκεια των οποίων εξαρτάται από ένα κύκλωμα RC, το οποίο συνδέεται εξωτερικά στο Ο.Κ. 555 (στο σχήμα 12.2.2 (α): R_1 , C_1). Ο μονοσταθής πολυδονητής παρουσιάζει δύο καταστάσεις εξόδου:

- Μία σταθερή, στην οποία η τάση εξόδου είναι περίπου ίση με μηδέν (λογικό "0") και
- Μία ασταθή, στην οποία η τάση εξόδου είναι υψηλής στάθμης (λογικό "1").

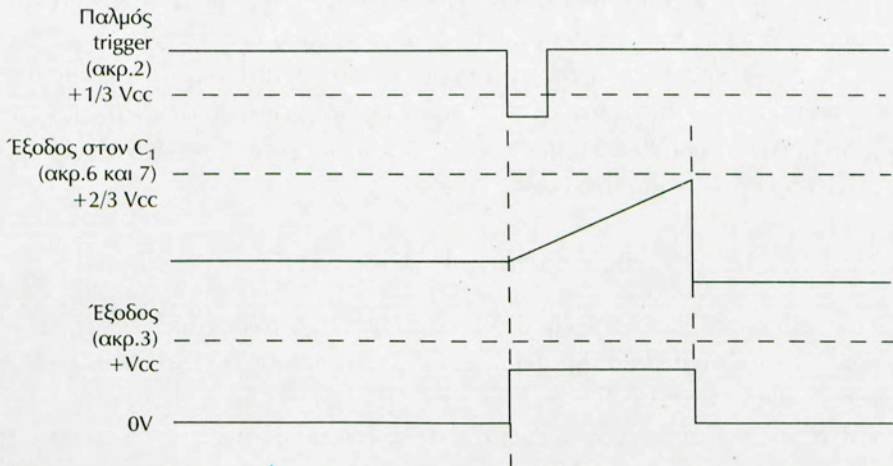
Η υψηλή αυτή στάθμη στην έξοδο λαμβάνεται όταν στην είσοδο trigger του Ο.Κ. 555 (Pin 2) εφαρμοστεί ένας παλμός με μέγωπο καθόδου και απόλυτη τιμή τάσης μεγαλύτερη από το $1/3$ της V_{CC} . Η διάρκεια του παλμού στην έξοδο (δηλαδή ο χρόνος που η έξοδος θα είναι σε HIGH στάθμη) εξαρτάται από την τιμή της RC. Όταν περάσει ο χρόνος αυτός, η έξοδος επανέρχεται αυτόματα στη σταθερή της κατάσταση (λογικό "0") και παραμένει έτσι μέχρι να εφαρμοστεί ένας νέος παλμός στο Pin 2.





Σχήμα 12.2.2 Μονοσταθής πολυδονητής με το Ο.Κ. 555

Στο σχήμα 12.2.3 φαίνονται ο παλμός που εφαρμόζεται στο trigger, η τάση στα άκρα του πυκνωτή C_1 (τάση φόρτισης – εκφόρτισης) και η κυματομορφή στην έξοδο του Ο.Κ. 555.

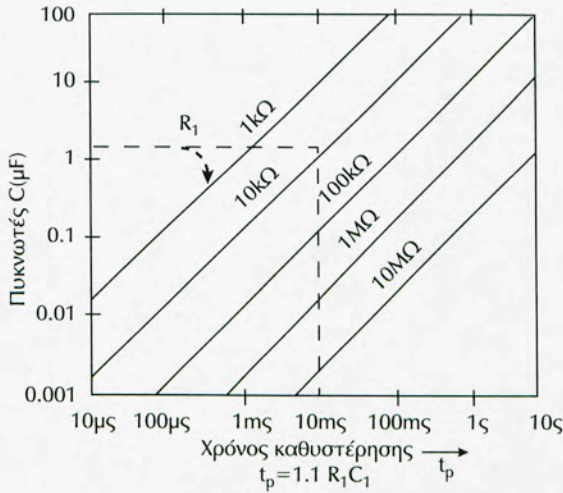


Σχήμα 12.2.3 Κυματομορφές εισόδου – εξόδου μονοσταθής πολυδονητή

Η διάρκεια των παλμών trigger πρέπει να είναι μικρότερη από εκείνη των παλμών εξόδου του Ο.Κ. 555.

Η τάση εξόδου του Ο.Κ. 555 παραμένει σε HIGH στάθμη για χρόνο: $t_p = 1,1 \cdot R_1 \cdot C_1$.

Στο σχήμα 12.2.4 φαίνονται οι χαρακτηριστικές καμπύλες οι οποίες μας βοηθούν στην επιλογή των τιμών της αντίστασης R_1 και του πυκνωτή C_1 , ώστε να πετύχουμε την επιθυμητή διάρκεια παλμού t_p .



Σχήμα 12.2.4 Χαρακτηριστικές για τον προσδιορισμό της t_p

Πρέπει να σημειωθεί ότι από τη στιγμή που θα διεγερθεί ο μονοσταθής πολυδονητής που περιγράψαμε, η έξοδος του θα παραμείνει σε HIGH στάθμη μέχρι το τέλος του χρόνου t_p (set time). Η έξοδος δεν αλλάζει κατάσταση, ακόμα και αν εφαρμοστεί νέος παλμός trigger πριν το τέλος του χρόνου t_p .

Ο μοναδικός τρόπος για την επαναφορά του μονοσταθή πολυδονητή στη σταθερή του κατάσταση (λογικό "0"), κατά τη διάρκεια του t_p , είναι να ενεργοποιήσουμε την είσοδο Reset (Pin 4). Η είσοδος Reset ενεργοποιείται όταν εφαρμοστεί μια αρνητική τάση στο Pin 4.

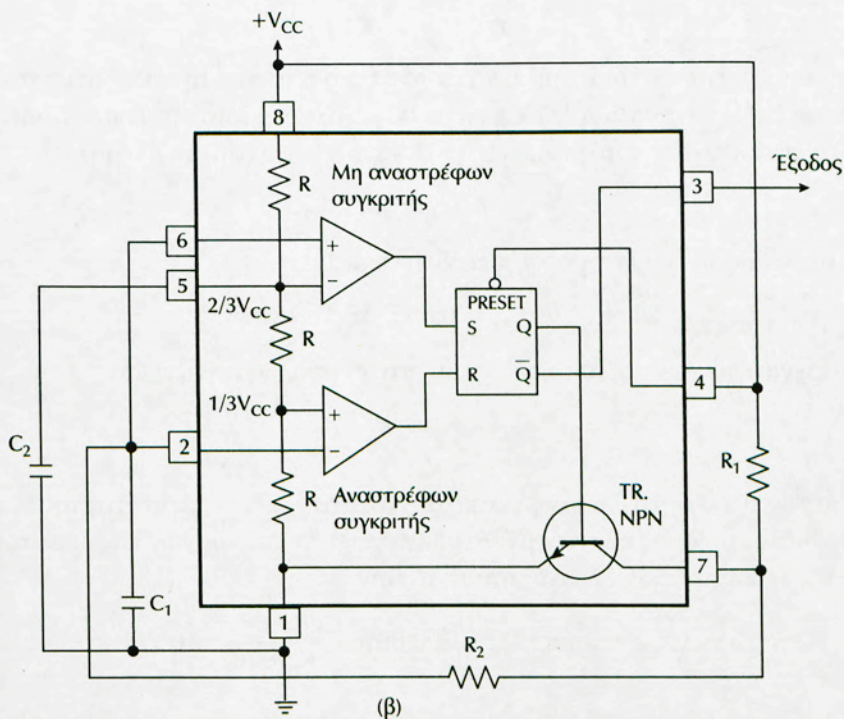
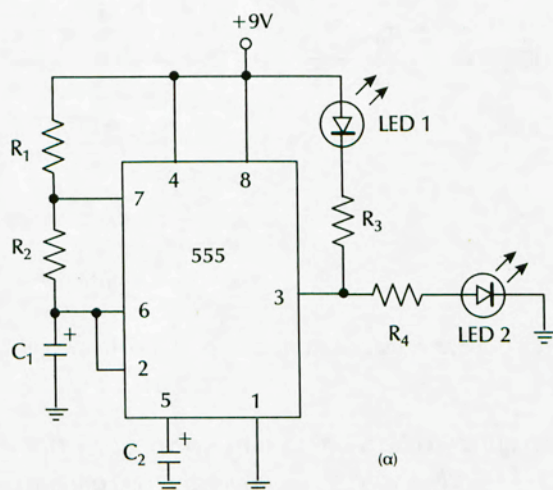
12.2.2 Το Ο.Κ. 555 ως ασταθής πολυδονητής

Ο ασταθής πολυδονητής είναι ένα κύκλωμα το οποίο παράγει στην έξοδο του μία τετραγωνική κυματομορφή, και καμμία από τις δύο καταστάσεις της εξόδου δεν είναι σταθερή.

Ο ασταθής πολυδονητής δε χρειάζεται εξωτερικούς παλμούς διέγερσης για την αλλαγή της κατάστασης εξόδου και γι' αυτό ονομάζεται "κύκλωμα ελεύθερης ταλάντωσης".

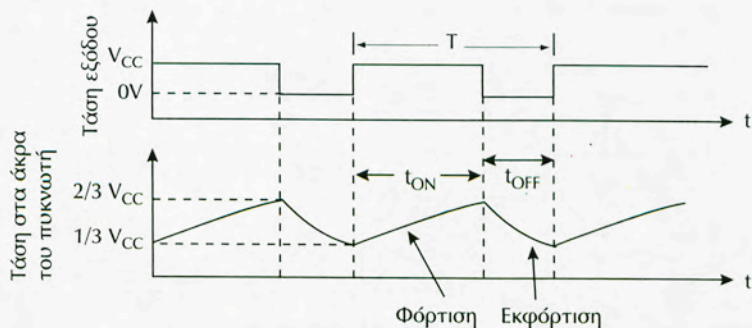
Ο κύκλος εργασίας (duty cycle) της τετραγωνικής κυματομορφής εξόδου καθορίζεται από δύο αντιστάσεις και έναν πυκνωτή που συνδέονται εξωτερικά στο Ο.Κ. 555 (R_1 , R_2 , C_1).

Στο σχήμα 12.2.5 (α) φαίνεται το κύκλωμα ασταθής πολυδονητή ο οποίος χρησιμοποιεί το Ο.Κ. 555.



Σχήμα 12.2.5 Ασταθής πολυδονητής με το Ο.Κ. 555

Ο πυκνωτής C_1 φορτίζεται και εκφορτίζεται μεταξύ των τιμών $2/3 V_{cc}$ και $1/3 V_{cc}$. Η εκφόρτιση του πυκνωτή δεν είναι ακαριαία, όπως συμβαίνει στον μονοσταθή πολυδονητή, γιατί τώρα στο ρεύμα εκφόρτισης παρεμβάλλεται η αντίσταση R_2 (βλέπε σχήμα 12.2.6).



Σχήμα 12.2.6 Κυματομορφές τάσης πυκνωτή – εξόδου ασταθή πολυδονητή

Το χρονικό διάστημα, κατά το οποίο ο πυκνωτής φορτίζεται από την τάση $1/3 V_{cc}$ στην τάση $2/3 V_{cc}$, είναι ίσο με το χρόνο που η έξοδος παραμένει σε HIGH στάθμη τάσης (περίπου ίση με V_{cc}) και δίνεται από τη σχέση:

$$t_{ON} = 0,693 \cdot (R_1 + R_2) \cdot C_1$$

Επίσης, το χρονικό διάστημα, κατά το οποίο ο πυκνωτής εκφορτίζεται από την τάση $2/3 V_{cc}$ στην τάση $1/3 V_{cc}$, είναι ίσο με το χρόνο που η έξοδος παραμένει σε LOW στάθμη τάσης (περίπου ίση με $0V$) και δίνεται από τη σχέση:

$$t_{OFF} = 0,693 \cdot R_2 \cdot C_1$$

Η περίοδος της κυματομορφής εξόδου είναι $T = t_{ON} + t_{OFF}$

$$T = t_{ON} + t_{OFF} = 0,693 \cdot (R_1 + 2R_2) \cdot C_1$$

Η συχνότητα των ταλαντώσεων του ασταθή πολυδονητή είναι:

$$f = \frac{1}{T} = \frac{1,44}{(R_1 + 2R_2) \cdot C_1}$$

Από τον τύπο αυτό βλέπουμε ότι η συχνότητα f είναι ανεξάρτητη της V_{cc} .

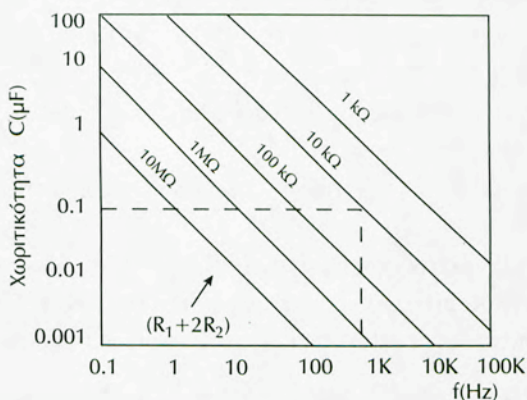
Ο κύκλος εργασίας ή λειτουργίας (duty cycle) της τετραγωνικής κυματομορφής στην έξοδο του 555 δίνεται από τη σχέση:

$$\text{κύκλος εργασίας \%} = \frac{t_{ON}}{T} \cdot 100\% = \frac{R_1 + R_2}{R_1 + 2R_2} \cdot 100\%$$

Όπως προκύπτει από την προηγούμενη εξίσωση, όταν $R_1 \neq 0$, ο ασταθής πολυδονητής δεν μπορεί να παράγει συμμετρική τετραγωνική κυματομορφή

(τετραγωνική κυματομορφή που έχει κύκλο εργασίας 50%). Παράγει συμμετρική τετραγωνική κυματομορφή όταν $R_1 = 0$.

Η συχνότητα των ταλαντώσεων του ασταθής πολυδονητή μπορεί να προσδιοριστεί και γραφικά με τη βοήθεια του σχήματος 12.2.7 στο οποίο οι ευθείες αντιστοιχούν στο άθροισμα $R_1 + 2R_2$.



Σχήμα 12.2.7 Χαρακτηριστικές για τον προσδιορισμό της f

12.3 ΠΕΡΙΛΗΨΗ

1. Ένα κύκλωμα, το οποίο παράγει τετραγωνικούς παλμούς χωρίς να απαιτείται εξωτερική διέγερση, ονομάζεται ασταθής πολυδονητής.
2. Ένα άλλο είδος πολυδονητή είναι ο μονοσταθής πολυδονητής, ο οποίος έχει μία σταθερή κατάσταση εξόδου, στην οποία παραμένει, μέχρις ότου διεγερθεί από κάποιο εξωτερικό σήμα.
3. Το ολοκληρωμένο κύκλωμα 555 είναι ένα κύκλωμα χρονισμού, το οποίο παράγει στην έξοδό του παλμούς με ορισμένη χρονική διάρκεια, μεγάλης ακρίβειας και σταθερότητας. Το ολοκληρωμένο κύκλωμα χρονισμού 555 λειτουργεί βασικά με δύο τρόπους: ως μονοσταθής πολυδονητής ή ως ασταθής πολυδονητής.

12.4 ΛΥΜΕΝΕΣ ΑΣΚΗΣΕΙΣ

Παράδειγμα 1

Στο κύκλωμα του μονοσταθής πολυδονητή του σχήματος 12.2.2, τα εξωτερικά εξαρτήματα έχουν τις ακόλουθες τιμές: $R_1 = 10 \text{ k}\Omega$, $R_2 = 10 \text{ k}\Omega$, $R_3 = 470 \Omega$, $C_1 = 4,7 \mu\text{F}$, $C_2 = 0,01 \mu\text{F}$.

Να υπολογιστεί ο χρόνος που η κυματομορφή στην έξοδο του Ο.Κ. 555 παραμένει σε HIGH στάθμη τάσης.

Η διάρκεια του παλμού στην έξοδο του Ο.Κ. 555 εξαρτάται από τις τιμές των R_1 και C_1 και δίνεται από τη σχέση : $t_p = 1,1 \cdot R_1 \cdot C_1$, επομένως:

$$t_p = 1,1 \cdot R_1 \cdot C_1 = 1,1 \cdot 10 \text{ k}\Omega \cdot 4,7 \text{ }\mu\text{F} = 51,7 \text{ ms}$$

Παράδειγμα 2

Στο κύκλωμα του ασταθή πολυδονητή του σχήματος 12.2.5, τα εξωτερικά εξαρτήματα έχουν τις ακόλουθες τιμές: $R_1 = 47 \text{ k}\Omega$, $R_2 = 4,7 \text{ k}\Omega$, $C_1 = 0,1 \text{ }\mu\text{F}$, $C_2 = 0,01 \text{ }\mu\text{F}$.

Να υπολογιστούν:

α) ο χρόνος που η κυματομορφή στην έξοδο του Ο.Κ. 555 παραμένει σε HIGH στάθμη τάσης (t_{ON})

β) ο χρόνος που η κυματομορφή στην έξοδο του Ο.Κ. 555 παραμένει σε LOW στάθμη τάσης (t_{OFF})

γ) η περίοδος T της κυματομορφής στην έξοδο του Ο.Κ. 555

δ) η συχνότητα f της κυματομορφής στην έξοδο του Ο.Κ. 555

ε) ο κύκλος εργασίας (duty cycle) της κυματομορφής στην έξοδο του Ο.Κ. 555

$$\begin{aligned} \alpha) t_{\text{ON}} &= 0,693 \cdot (R_1 + R_2) \cdot C_1 = 0,693 \cdot (47 \text{ k}\Omega + 4,7 \text{ k}\Omega) \cdot 0,1 \text{ }\mu\text{F} \\ &= 0,693 \cdot 51,7 \text{ k}\Omega \cdot 0,1 \text{ }\mu\text{F} = 3,6 \text{ ms} \end{aligned}$$

$$\beta) t_{\text{OFF}} = 0,693 \cdot R_2 \cdot C_1 = 0,693 \cdot 4,7 \text{ k}\Omega \cdot 0,1 \text{ }\mu\text{F} = 0,3 \text{ ms}$$

$$\gamma) T = t_{\text{ON}} + t_{\text{OFF}} = 3,6 \text{ ms} + 0,3 \text{ ms} = 3,9 \text{ ms}$$

$$\delta) f = \frac{1}{T} = \frac{1}{3,9 \text{ ms}} = \frac{10^3}{3,9 \text{ s}} = 256,4 \text{ Hz}$$

$$\epsilon) \text{ κύκλος εργασίας } \% = \frac{t_{\text{ON}}}{T} \cdot 100 \% = \frac{3,6 \text{ ms}}{3,9 \text{ ms}} \cdot 100 \% = 92,3 \%$$

12.5 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ

1. Ποια η βασική διαφορά ενός κυκλώματος ασταθή πολυδονητή από ένα κύκλωμα μονοστασταθή πολυδονητή;
2. Στο κύκλωμα μονοσταθή πολυδονητή (σχήμα 12.2.2) οι τιμές των εξωτερικών εξαρτημάτων είναι: $R_1 = 100 \text{ k}\Omega$, $R_2 = 10 \text{ k}\Omega$, $R_3 = 330 \Omega$, $C_1 = 10 \mu\text{F}$, $C_2 = 0.01 \mu\text{F}$. Ποια είναι η διάρκεια του παλμού εξόδου;
3. Στο κύκλωμα ασταθή πολυδονητή (σχήμα 12.2.5) οι τιμές των εξωτερικών εξαρτημάτων είναι: $R_1 = 22 \text{ k}\Omega$, $R_2 = 820 \text{ k}\Omega$, $R_3 = 330 \Omega$, $R_4 = 330 \Omega$, $C_1 = 0.47 \mu\text{F}$, $C_2 = 0.01 \mu\text{F}$. Να υπολογισθούν: t_{ON} , t_{OFF} , T , f , και το duty cycle της κυματομορφής εξόδου.

1. Ευρετήριο ελληνικών όρων

A	
Αθροιστής BCD	210
Αλγεβρα Boole	11
Αλφαριθμητικός κώδικας	51
Αμφίδρομοι απαριθμητές	190
Ανάγνωση από μνήμη	220
Αναλογικό μέγεθος	10
Ανάλυση συνδυαστικού κυκλώματος	80
Αναπαράσταση προσημασμένου μέτρου	200
Αναπαράσταση συμπληρώματος ως προς δύο	202
Αναπαράσταση συμπληρώματος ως προς ένα	201
Αντιμεταθετική ιδιότητα	14
Αξιώματα Huntington	12
Απαριθμητές	180
Απαριθμητές modulo N	192
Απλοποίηση λογικών συναρτήσεων	66
Αποκωδικοποιητής	112
Αποκωδικοποιητής BCD σε δεκαδικό	114
Αποκωδικοποιητής BCD σε 7 τμήματα	118
Αποκωδικοποιητής 3x8	112
Αποκωδικοποιητής οδηγός	117
Αποπολυπλέκτης	101
Αποπολυπλέκτης 1x2	102
Αποπολυπλέκτης 1x4	103
Αρίθμηση στο δεκαεξαδικό σύστημα	41
Αρίθμηση στο δυαδικό σύστημα	35
Αρίθμηση στο οκταδικό σύστημα	38
Αριθμητικό σύστημα	34
Ασύγχρονες ειδοδοί	141
Ασύγχρονοι απαριθμητές	180
Ασύγχρονος BCD απαριθμητής	184
Ασύγχρονος δυαδικός απαριθμητής	180
Αφαίρεση δεκαεξαδικών αριθμών	46
Αφαίρεση δυαδικών αριθμών	45
B	
Βάρος	34
Βάση αριθμητικού συστήματος	34

Γ	
Γραμμές επιλογής αποπολυπλέκτη	101
Γραμμές επιλογής πολυπλέκτη	94

Δ	
Δειγματοληψία	262
Δεκαεξαδικό Σύστημα	40
Δεκαδικό Σύστημα	34
Διαγραφόμενη PROM	227
Διακριτική ικανότητα	268
Διέγερση (triggering)	140
Διεύθυνση μνήμης	220
Δυαδικό μέγεθος	35
Δυαδικό Σύστημα	35
Δυαδικοί κώδικες με βάρη	48
Δυαδικοί κώδικες χωρίς βάρη	50
Δυαδικός κώδικας	47
Δυναμικές μνήμες	234

E	
Εγγραφή στη μνήμη	220
Ελάχιστοι όροι	67
Ενδείκτης 7 τμημάτων	117
Επιμεριστική ιδιότητα	14

H	
Ηλεκτρικά διαγραφόμενη PROM	228
Ημιαθροιστής	207

Θ	
Θεώρημα De Morgan	14
Θεωρήματα Αλγεβρας Boole	14
Θεώρημα απορρόφησης	14

K	
Καταχωρητής	158
Καταχωρητής αριστερής ολίσθησης	163
Καταχωρητής δεξιάς ολίσθησης	160
Καταχωρητής κυκλικής ολίσθησης	167
Καταχωρητής ολίσθησης	159
Καταχωρητής ολίσθησης παράλληλης εισόδου-παράλληλης εξόδου	168
Καταχωρητής ολίσθησης παράλληλης εισόδου-σειριακής εξόδου	168
Καταχωρητής ολίσθησης σειριακής εισόδου-παράλληλης εξόδου	165

Πύλη AND	15
Πύλη Buffer (Απομονωτής)	15
Πύλη NAND	15
Πύλη NOR	15
Πύλη NOT	15
Πύλη OR	15
Πύλη XNOR	15
Πύλη XOR	15

Σ

Σειριακή μεταφορά δεδομένων	169
Στατικές μνήμες	234
Συγκριτής μεγέθους δυαδικών αριθμών	78
Σύγχρονοι απαριθμητές	186
Συμπλήρωμα	201, 202
Συνδυαστικά κυκλώματα	64
Σχεδίαση συνδυαστικού κυκλώματος	76

Υ

Υπερχείλιση	206
-------------	-----

Φ

Φόρτωση καταχωρητή	159
Φύλλα δεδομένων	24

Χ

Χάρτες Karnaugh	67
Χρόνος προοπείλασης μνήμης	220
Χωρητικότητα μνήμης	220

Ψ

Ψηφιακά κυκλώματα	10
Ψηφιακό μέγεθος	10

2. Ευρετήριο Ξένων Όρων

A

Access time	220
Analog to Digital Converter (A/D Converter, ADC)	261
AND	15
ASCII code	52
Asynchronous counters	180
Asynchronous sequential circuits	130

B

BCD code	48
BCD to 7 segments decoder	118
Boole	11

Boolean algebra	11
Buffer	15

C

Chip	20
Clock	140
Clock pulse	141
Combinatorial circuits	64
Counters	180

D

Data Sheet	24
Decoder	112
De Morgan	14
Demultiplexer	101
D flip-flop	136
Digital circuits	10
Digital to Analog Converter (D/A Converter, DAC)	254
Down counter	188
DRAM (Dynamic RAM)	234

E

Encoder	119
EEPROM (Electrically Erasable PROM)	228
EPROM (Erasable PROM)	227

F

Feedback	131
Flip-flop	135
Full adder	208

G

Gray code	50
-----------	----

H

Half adder	207
Huntington	12

I

Integrated circuits	20
Integration scale	21

J

J-K flip-flop	138
---------------	-----

K

Karnaugh maps	67
---------------	----

L

Latch	131
LCD	117

LED	117	Register	158
Left shift register	163	Resolution	268
LSB	35	Right shift register	160
LSI	21	ROM (Read Only Memory)	224
M		R-S flip-flop	135
Memory	218	S	
Memory address	220	Sampling	262
Memory capacity	220	Sequential circuits	180
Memory word	220	Seven segment display	117
Minterms	67	Shift register	160
Modulo	192	SIPO register	165
MSB	35	SISO register	160
MSI	21	SSI	21
Multiplexer	94	SRAM (Static RAM)	234
N		Synchronous counters	186
NAND	15	Synchronous sequential circuits	131
NGT	141	T	
NOR	15	T flip-flop	139
NOT	15	Toggle	139
O		Tows complement	202
Ones complement	201	Triggering	140
OR	15	U	
Overflow	206	ULS	21
P		Universal gates	82
PGT	141	Up counter	187
PIPO register	168	Up/Down counter	190
PROM (Programmable ROM)	227	Y	
PISO register	168	VLSI	21
Q		W	
Quantisation	262	Write cycle	237
R		X	
RAM (Random Access Memory)	231	XNOR	15
Read cycle	236	XOR	15

2. ΕΥΡΕΤΗΡΙΟ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

2.1. Κατά αριθμητική σειρά

7400	4 πύλες NAND 2 εισόδων	22
7442	Αποκωδικοποιητής BCD σε δεκαδικό	116
7447	Αποκωδικοποιητής BCD σε 7 τμήματα	118
7474	2 D flip-flops	143
7483	Παράλληλος δυαδικός αθροιστής 4 bits	213
7490	BCD απαριθμητής	185
74112	2 J-K flip-flops	144
74138	Αποπολυπλέκτης 1x8 / Αποκωδικοποιητής 3x8	104
74147	Κωδικοποιητής προτεραιότητας από δεκαδικό σε BCD	121
74148	Κωδικοποιητής προτεραιότητας 8x3	121
74151	Πολυπλέκτης 8 εισόδων	97
74193	Σύγχρονος αμφίδρομος δυαδικός απαριθμητής 4-bits	190
74194	Γενικής χρήσης Καταχωρητής Ολίσθησης 4-bits	173
74293	Ασύγχρονος δυαδικός απαριθμητής 4-bits	183
ADC0801	Μετατροπέας A/D	267
DAC0808	Μετατροπέας D/A	260
MK6116	Στατική Μνήμη RAM 2K	238
555	Χρονιστής	277

2.2. Κατά αλφαβητική σειρά

Flip-flops

7474	2 D flip-flops	143
74112	2 J-K flip-flops	144

Αθροιστές

7483	Παράλληλος δυαδικός αθροιστής 4 bits	213
------	--	-----

Απαριθμητές (Counters)

7490	BCD απαριθμητής	185
74193	Σύγχρονος αμφίδρομος δυαδικός απαριθμητής 4-bits	190
74293	Ασύγχρονος δυαδικός απαριθμητής 4-bits	183

Αποκωδικοποιητές (Decoders)

7442	Αποκωδικοποιητής BCD σε δεκαδικό	116
7447	Αποκωδικοποιητής BCD σε 7 τμήματα	118
74138	Αποκωδικοποιητής 3x8	104

Αποπολυπλέκτες (Demultiplexers)

74138	Αποπολυπλέκτης 1x8	104
-------	--------------------------	-----

Καταχωρητές (Registers)

74194	Γενικής χρήσης Καταχωρητής Ολίσθησης 4-bits	173
-------	---	-----

Κωδικοποιητές (Encoders)

74147	Κωδικοποιητής προτεραιότητας από δεκαδικό σε BCD	121
74148	Κωδικοποιητής προτεραιότητας 8x3	121

Μετατροπείς A/D και D/A

ADC0801	Μετατροπέας A/D	267
DAC0808	Μετατροπέας D/A	260

Μνήμες

ΜΚ6116	Στατική Μνήμη RAM 2K	238
--------	----------------------------	-----

Πολυπλέκτες (Multiplexers)

74151	Πολυπλέκτης 8 εισόδων	97
-------	-----------------------------	----

NAND

7400	4 πύλες NAND 2 εισόδων	22
------	------------------------------	----

Χρονιστές

555	Χρονιστής	277
-----	-----------------	-----

1. ΕΛΛΗΝΙΚΗ ΒΙΒΛΙΟΓΡΑΦΙΑ

- [1] ΑΣΗΜΑΚΗΣ Ν., «Ψηφιακά Κυκλώματα Ι», Τμήμα Ηλεκτρονικής, Σχολή Τεχνολογικών Εφαρμογών, ΤΕΙ Λαμίας, 1996.
- [2] ΑΣΗΜΑΚΗΣ Ν., «Ψηφιακά Κυκλώματα Ι - Εργαστηριακές Ασκήσεις», Τμήμα Ηλεκτρονικής, Σχολή Τεχνολογικών Εφαρμογών, ΤΕΙ Λαμίας, 1997.
- [3] ΑΣΗΜΑΚΗΣ Ν., «Ψηφιακά Κυκλώματα ΙΙ - Εργαστηριακές Ασκήσεις», Τμήμα Ηλεκτρονικής, Σχολή Τεχνολογικών Εφαρμογών, ΤΕΙ Λαμίας, 1998.
- [4] ΑΣΗΜΑΚΗΣ Ν., ΓΛΩΣΣΑΣ Ν., «Ψηφιακά Ηλεκτρονικά», Τμήμα Ηλεκτρονικής, Σχολή Τεχνολογικών Εφαρμογών, ΤΕΙ Λαμίας, 1999.
- [5] ΑΣΗΜΑΚΗΣ Ν., ΓΛΩΣΣΑΣ Ν., «Ψηφιακά Ηλεκτρονικά – Εργαστηριακές Ασκήσεις», Τμήμα Ηλεκτρονικής, Σχολή Τεχνολογικών Εφαρμογών, ΤΕΙ Λαμίας, 1999.
- [6] ΓΑΡΙΔΗΣ Π., ΔΕΛΗΓΙΑΝΝΑΚΗΣ Μ., «Σύγχρονο Λεξικό Πληροφορικής. Ελληνοαγγλικό-Αγγλοελληνικό», Εκδόσεις Δίαυλος ISBN 960-7140-00-1.
- [7] ΔΕΛΗΓΙΑΝΝΗΣ Θ., «Ηλεκτρονικά Αναλογικά και Ψηφιακά Κυκλώματα», Πάτρα, 1982.
- [8] ΚΟΥΛΑΣ Κ., ΜΟΥΣΤΑΚΑΣ Γ., «Ψηφιακά Ηλεκτρονικά», Εκδόσεις ΙΩΝ, Αθήνα, 1998.
- [9] ΠΟΓΑΡΙΔΗ Δ. «Ψηφιακά Συστήματα», Εκδόσεις ΙΩΝ, Αθήνα, 1994.
- [10] ΦΡΑΓΚΑΚΗΣ Γ., «Λογικά Κυκλώματα», Αθήνα, 1975.
- [11] «Γενική και ειδική ορολογία. Στιγμιότυπο της βάσης TELETERM», Έκδοση 9η, ΟΤΕ, 1975.

2. ΞΕΝΗ ΒΙΒΛΙΟΓΡΑΦΙΑ

- [1] BELOVE and SCHILLING., «Electronic Circuits», McGraw-Hill, 1989.
- [2] CAVANAGH J. J., «Digital Computer Arithmetic», New York: McGraw-Hill, 1984.
- [3] KATZ R.H., «Contemporary Logic Design», The Benjamin/Cummings Publishing Company Inc., 1994.
- [4] LESNIEVSKI P.J., JAIN L.C., «Digital Circuits, an Advanced Primer», BPB Publications, 1994.
- [5] LIN S. and COSTELLO J., «Error Control Coding», Englewood Cliffs, NJ: Prentice-Hall, 1983.

[6] MALVINO A.P., LEACH TATA D.P., «Digital Principles and Applications», McGraw Hill, 1992.

[7] MANO M. M., «Computer Engineering: Hardware Design», Englewood Cliffs, NJ: Prentice-Hall, 1988.

[8] MANO M. M., «Computer System Architecture», 2nd Ed., Englewood Cliffs, NJ: Prentice-Hall, 1982.

[9] MANO M. M., «Digital Design», 2nd Ed., Englewood Cliffs, NJ: Prentice-Hall, 1992.

[10] McCLUSKEY E. J., «Logic Design Principles», Englewood Cliffs, NJ: Prentice-Hall, 1986.

[11] PEATMAN J. B., «Digital Hardware Design», New York: McGraw-Hill, 1980.

[12] ROTH C. H., «Fundamentals of Logic Design», 3rd Ed., New York: West Publishing Co., 1985.

[13] SLATER M., «Microprocessor-Based Design», Prentice Hall, Englewood Cliffs, NJ, 1989.

[14] TOCCI R.J., «Digital System – Principles and Applications», Prentice-Hall International, 1990.

[15] WAKERLY J., «Digital Design: Principles and Practices Hall», Englewood Cliffs, NJ, 1990.

3. DATABOOKS

[1] CMOS Logic Databook, National, 1988.

[2] Data Acquisition Databook, National, 1993.

[3] Linear Application Specific IC's Databook, National, 1993.

[4] LS/S/TTL Logic Databook, National, 1989.

4. ΔΙΕΥΘΥΝΣΕΙΣ ΔΙΑΔΙΚΤΥΟΥ

☞ <http://www.ti.com>

☞ <http://www.Fairchildsemi.com>

☞ <http://www.burr-brown.com/>

☞ <http://www.national.com/>

☞ <http://www-us.semiconductors.philips.com/>

Οι παραπάνω διευθύνσεις οδηγούν στις ιστοσελίδες εταιρειών κατασκευής ψηφιακών κυκλωμάτων σε ολοκληρωμένη μορφή.

☞ <http://www.tec.puv.fi/~t0100357/dsheet.htm>

Η ιστοσελίδα αυτή αποτελεί ένα συνοπτικό κατάλογο με τις διευθύνσεις διαδικτύου διάφορων εταιρειών κατασκευής ολοκληρωμένων κυκλωμάτων.

☞ <http://www.electronictech.com/weblinks/index.html>

Ιστοσελίδα με αρκετά ενδιαφέρουσες διευθύνσεις σχετικές με την κατασκευή ψηφιακών κυκλωμάτων όπως επίσης και περιοδικών σε ψηφιακή μορφή. Προτείνεται για τον εμπλουτισμό των γνώσεων των μαθητών.

☞ <http://icat.snu.ac.kr/chipdir/f/sram.htm>

☞ <http://www.et-info.com/08/types/dt-08-10-da.htm>

Ιστοσελίδες για την εύρεση φύλλων δεδομένων για ένα μεγάλο αριθμό ολοκληρωμένων κυκλωμάτων από διάφορες κατασκευάστριες εταιρείες.

☞ <http://www.nickhardware.da.ru/>

☞ <http://www.aade.com/links.htm>

Ιστοσελίδες με αρκετές ενδιαφέρουσες διευθύνσεις ηλεκτρονικών κατασκευών γενικού περιεχομένου.

☞ <http://www.ednmag.com/>

☞ <http://www.circuitcellar.com/>

Ιστοσελίδες περιοδικών διαθέσιμων σε ψηφιακή μορφή. Η δεύτερη διεύθυνση προτείνεται για μαθητές με ενδιαφέρον σε ηλεκτρονικές κατασκευές ερασιτεχνικής μορφής.

ΕΚΔΟΣΗ 2009 - ΑΝΤΙΤΥΠΑ: 4.000 - ΑΡ. ΣΥΜΒΑΣΗΣ 1784/12-11-2008

ΕΚΤΥΠΩΣΗ - ΒΙΒΛΙΟΔΕΣΙΑ: Γ. ΣΥΚΑΡΗΣ Α.Ε.Β.Ε.



ISBN 960-06-1265-X